(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-89874
(P2008-89874A)
(43)公開日　平成20年4月17日(2008.4.17)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/36	(2006.01)	G09G	3/36		2H092
G02F	1/1345	(2006.01)	G02F	1/1345		2H093
G09G	3/20	(2006.01)	G09G	3/20	670J	5C006
G02F	1/133	(2006.01)	G09G	3/20	622B	5C080
			G02F	1/133	505	

審査請求 未請求　請求項の数 19　ＯＬ　（全 200 頁）

(21)出願番号　特願2006-269689 (P2006-269689)
(22)出願日　平成18年9月29日 (2006.9.29)

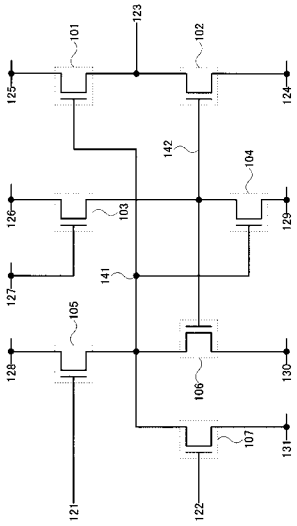
(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　梅崎　敦司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　2H092 GA11 GA14 JA24 JA25 JA26 JA37 JA41 JA46 JB22 JB31 JB56 JB58 MA08 MA13 MA17 NA25 NA26 NA27 PA03 PA06 PA08 PA11 PA13 QA07 RA05
2H093 NA33 NC01 NC09 NC10 NC11 NC12 NC22 NC34 ND39 ND54 ND60 NE03 NE04 NF05

最終頁に続く

(54)【発明の名称】液晶表示装置

(57)【要約】
【課題】劣化しやすいトランジスタのゲートに交流パルスを印加することで、当該トランジスタのしきい値電圧のシフトを抑制している。しかしながら、トランジスタの半導体層としてアモルファスシリコンを用いた場合、当然、交流パルスを生成する回路を構成するトランジスタも、しきい値電圧のシフトを生じてしまうことが問題となる。
【解決手段】劣化しやすいトランジスタのゲート電極に、オンしたトランジスタを介して信号を入力することで、劣化しやすいトランジスタのしきい値電圧のシフト及びオンしたトランジスタのしきい値電圧のシフトを抑制するものである。すなわち、高電位（ＶＤＤ）がゲート電極に印加されているトランジスタを介して（若しくは抵抗成分を持つ素子を介して）、交流パルスを劣化しやすいトランジスタのゲート電極に加える構成を含んでいる。
【選択図】図１



【特許請求の範囲】
【請求項１】
液晶素子を有する画素と、駆動回路とを有し、
前記駆動回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタを有し、
前記第１のトランジスタの第１の電極が第４の配線に電気的に接続され、前記第１のトランジスタの第２の電極が第３の配線に電気的に接続され、
前記第２のトランジスタの第１の電極が第６の配線に電気的に接続され、前記第２のトランジスタの第２の電極が前記第３の配線に電気的に接続され、
前記第３のトランジスタの第１の電極が第５の配線に電気的に接続され、前記第３のトランジスタの第２の電極が前記第２のトランジスタのゲート電極に電気的に接続され、前記第３のトランジスタのゲート電極が第７の配線に電気的に接続され、
前記第４のトランジスタの第１の電極が前記第６の配線に電気的に接続され、前記第４のトランジスタの第２の電極が前記第２のトランジスタのゲート電極に電気的に接続され、前記第４のトランジスタのゲート電極が前記第１のトランジスタのゲート電極に電気的に接続され、
前記第５のトランジスタの第１の電極が前記第７の配線に電気的に接続され、前記第５のトランジスタの第２の電極が前記第１のトランジスタのゲート電極に電気的に接続され、
前記第５のトランジスタのゲート電極が第１の配線に電気的に接続され、
前記第６のトランジスタの第１の電極が前記第６の配線に電気的に接続され、前記第６のトランジスタの第２の電極が前記第１のトランジスタのゲート電極に電気的に接続され、
前記第６のトランジスタのゲート電極が前記第２のトランジスタのゲート電極に電気的に接続され、
前記第７のトランジスタの第１の電極が前記第６の配線に電気的に接続され、前記第７のトランジスタの第２の電極が前記第１のトランジスタのゲート電極に電気的に接続され、
前記第７のトランジスタのゲート電極が第２の配線に電気的に接続されていることを特徴とする液晶表示装置。
【請求項２】
請求項１において、
前記第１のトランジスタ乃至前記第７のトランジスタのチャネル長Ｌとチャネル幅Ｗの比Ｗ／Ｌの値の中で、第１のトランジスタのＷ／Ｌの値が最大となることを特徴とする液晶表示装置。
【請求項３】
請求項１又は請求項２において、
前記第１のトランジスタのＷ／Ｌの値は、前記第５のトランジスタのＷ／Ｌの値の２倍乃至５倍となることを特徴とする液晶表示装置。
【請求項４】
請求項１乃至請求項３のいずれか一項において、
前記第３のトランジスタのチャネル長Ｌは、前記第４のトランジスタのチャネル長Ｌよりも大きいことを特徴とする液晶表示装置。
【請求項５】
請求項１乃至請求項４のいずれか一項において、
前記第１のトランジスタの第２の電極と、前記第１のトランジスタのゲート電極との間に容量素子が配置されていることを特徴とする液晶表示装置。
【請求項６】
請求項１乃至請求項５のいずれか一項において、
前記第１のトランジスタ乃至前記第７のトランジスタは、Ｎチャネル型トランジスタであることを特徴する液晶表示装置。
【請求項７】

請求項１乃至請求項６のいずれか一項において、
前記第１のトランジスタ乃至前記第７のトランジスタは、半導体層としてアモルファスシリコンを用いることを特徴とする液晶表示装置。
【請求項８】
液晶素子を有する画素と、第１の駆動回路と、第２の駆動回路を有し、
前記第１の駆動回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタを有し、
前記第１のトランジスタの第１の電極が第４の配線に電気的に接続され、前記第１のトランジスタの第２の電極が第３の配線に電気的に接続され、
前記第２のトランジスタの第１の電極が第６の配線に電気的に接続され、前記第２のトランジスタの第２の電極が前記第３の配線に電気的に接続され、
前記第３のトランジスタの第１の電極が第５の配線に電気的に接続され、前記第３のトランジスタの第２の電極が前記第２のトランジスタのゲート電極に電気的に接続され、前記第３のトランジスタのゲート電極が第７の配線に電気的に接続され、
前記第４のトランジスタの第１の電極が前記第６の配線に電気的に接続され、前記第４のトランジスタの第２の電極が前記第２のトランジスタのゲート電極に電気的に接続され、前記第４のトランジスタのゲート電極が前記第１のトランジスタのゲート電極に電気的に接続され、
前記第５のトランジスタの第１の電極が前記第７の配線に電気的に接続され、前記第５のトランジスタの第２の電極が前記第１のトランジスタのゲート電極に電気的に接続され、前記第５のトランジスタのゲート電極が第１の配線に電気的に接続され、
前記第６のトランジスタの第１の電極が前記第６の配線に電気的に接続され、前記第６のトランジスタの第２の電極が前記第１のトランジスタのゲート電極に電気的に接続され、前記第６のトランジスタのゲート電極が前記第２のトランジスタのゲート電極に電気的に接続され、
前記第７のトランジスタの第１の電極が前記第６の配線に電気的に接続され、前記第７のトランジスタの第２の電極が前記第１のトランジスタのゲート電極に電気的に接続され、前記第７のトランジスタのゲート電極が第２の配線に電気的に接続され、
前記第２の駆動回路は、第８のトランジスタと、第９のトランジスタと、第１０のトランジスタと、第１１のトランジスタと、第１２のトランジスタと、第１３のトランジスタと、第１４のトランジスタを有し、
前記第８のトランジスタの第１の電極が第１１の配線に電気的に接続され、前記第８のトランジスタの第２の電極が第１０の配線に電気的に接続され、
前記第９のトランジスタの第１の電極が第１３の配線に電気的に接続され、前記第９のトランジスタの第２の電極が前記第１０の配線に電気的に接続され、
前記第１０のトランジスタの第１の電極が第１２の配線に電気的に接続され、前記第１０のトランジスタの第２の電極が前記第９のトランジスタのゲート電極に電気的に接続され、前記第１０のトランジスタのゲート電極が第１４の配線に電気的に接続され、
前記第１１のトランジスタの第１の電極が前記第１３の配線に電気的に接続され、前記第１１のトランジスタの第２の電極が前記第９のトランジスタのゲート電極に電気的に接続され、前記第１１のトランジスタのゲート電極が前記第８のトランジスタのゲート電極に電気的に接続され、
前記第１２のトランジスタの第１の電極が前記第１４の配線に電気的に接続され、前記第１２のトランジスタの第２の電極が前記第８のトランジスタのゲート電極に電気的に接続され、前記第１２のトランジスタのゲート電極が第８配線に電気的に接続され、
前記第１３のトランジスタの第１の電極が前記第１３の配線に電気的に接続され、前記第１３のトランジスタの第２の電極が前記第８のトランジスタのゲート電極に電気的に接続され、前記第１３のトランジスタのゲート電極が前記第９のトランジスタのゲート電極に電気的に接続され、

前記第１４のトランジスタの第１の電極が前記第１３の配線に電気的に接続され、前記第１４のトランジスタの第２の電極が前記第８のトランジスタのゲート電極に電気的に接続され、前記第１４のトランジスタのゲート電極が第９の配線に電気的に接続されていることを特徴とする液晶表示装置。

【請求項９】

請求項８において、

前記第４の配線と前記第１１の配線とが電気的に接続され、

前記第５の配線と前記第１２の配線とが電気的に接続され、

前記第６の配線と前記第１３の配線とが電気的に接続され、

前記第７の配線と前記第１４の配線とが電気的に接続されていることを特徴とする液晶表示装置。

【請求項１０】

請求項９において、

前記第４の配線と前記第１１の配線とは同一の配線であり、

前記第５の配線と前記第１２の配線とは同一の配線であり、

前記第６の配線と前記第１３の配線とは同一の配線であり、

前記第７の配線と前記第１４の配線とは同一の配線であることを特徴とする液晶表示装置。

【請求項１１】

請求項８乃至請求項１０のいずれか一項において、

前記第３の配線と前記第１０の配線とが電気的に接続されていることを特徴とする液晶表示装置。

【請求項１２】

請求項１１において、

前記第３の配線と前記第１０の配線とは同一の配線であることを特徴とする液晶表示装置。

【請求項１３】

請求項８乃至請求項１２のいずれか一項において、

前記第１のトランジスタ乃至第７のトランジスタのチャネル長Ｌとチャネル幅Ｗの比Ｗ／Ｌの値の中で、前記第１のトランジスタのＷ／Ｌの値が最大となり、

前記第８のトランジスタ乃至前記第１４のトランジスタのチャネル長Ｌとチャネル幅Ｗの比Ｗ／Ｌの値の中で、第８のトランジスタのＷ／Ｌの値が最大となることを特徴とする液晶表示装置。

【請求項１４】

請求項８乃至請求項１３のいずれか一項において、

前記第１のトランジスタのＷ／Ｌの値は、前記第５のトランジスタのＷ／Ｌの値の２倍乃至５倍となり、

前記第８のトランジスタのＷ／Ｌの値は、前記第１２のトランジスタのＷ／Ｌの値の２倍乃至５倍となることを特徴とする液晶表示装置。

【請求項１５】

請求項８乃至請求項１４のいずれか一項において、

前記第３のトランジスタのチャネル長Ｌは、前記第４のトランジスタのチャネル長Ｌよりも大きく、

前記第１０のトランジスタのチャネル長Ｌは、前記第１１のトランジスタのチャネル長Ｌよりも大きいことを特徴とする液晶表示装置。

【請求項１６】

請求項８乃至請求項１５のいずれか一項において、

前記第１のトランジスタの第２の電極と、前記第１のトランジスタのゲート電極との間に容量素子が配置され、

前記第８のトランジスタの第２の電極と、前記第８のトランジスタのゲート電極との間に

容量素子が配置されていることを特徴とする液晶表示装置。
【請求項１７】
請求項１乃至請求項１６のいずれか一項において、
前記第１のトランジスタ乃至前記第１４のトランジスタは、Ｎチャネル型トランジスタであることを特徴する液晶表示装置。
【請求項１８】
請求項１乃至請求項１７のいずれか一項において、
前記第１のトランジスタ乃至前記第１４のトランジスタは、半導体層としてアモルファスシリコンを用いることを特徴とする液晶表示装置。
【請求項１９】
請求項１乃至請求項１８に記載の液晶表示装置を具備する電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明はトランジスタを用いて構成された回路を有する表示装置に関する。特に液晶等の電気光学素子若しくは発光素子等を表示媒体として用いる表示装置及びその駆動方法に関する。
【背景技術】
【０００２】
近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、絶縁基板上に非結晶半導体（以下、アモルファスシリコンともいう）によって構成されたトランジスタを用いて、画素回路及びシフトレジスタ等を含む駆動回路（以下、内部回路ともいう）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、ＦＰＣ等を介してコントローラＩＣ等（以下、外部回路ともいう）に接続され、その動作が制御される。
【０００３】
上記示した内部回路の中でも、非結晶半導体によって構成されたトランジスタ（以下、アモルファスシリコントランジスタともいう）を用いたシフトレジスタが考案されている。従来のシフトレジスタが有するフリップフロップの構成を図１２４（Ａ）に示す（特許文献１）。図１２４（Ａ）のフリップフロップは、トランジスタ１１、トランジスタ１２、トランジスタ１３、トランジスタ１４、トランジスタ１５及びトランジスタ１７を有し、信号線２１、信号線２２、配線２３、信号線２４、電源線２５、電源線２６に接続されている。信号線２１、信号線２２、信号線２４、電源線２５、電源線２６には、それぞれスタート信号、リセット信号、クロック信号、電源電位ＶＤＤ、電源電位ＶＳＳが入力される。図１２４（Ａ）のフリップフロップの動作期間は、図１２４（Ｂ）のタイミングチャートに示すように、セット期間、選択期間、リセット期間、非選択期間に分割され、動作期間のうちのほとんどが非選択期間となる。
【０００４】
ここで、非選択期間においてトランジスタ１２及びトランジスタ１６がオンしている。よって、トランジスタ１２及びトランジスタ１６の半導体層にアモルファスシリコンを用いているので、劣化等によりしきい値電圧（Ｖｔｈ）に変動が生じる。より具体的には、しきい値電圧が上昇する。つまり、従来のシフトレジスタは、トランジスタ１２及びトランジスタ１６のしきい値電圧が上昇してオンできなくなるため、ノード４１及び配線２３にＶＳＳを供給することができずに誤動作を起こす。
【０００５】
この問題を解決すべく、非特許文献１、非特許文献２及び非特許文献３において、トランジスタ１２のしきい値電圧のシフトを抑制できるシフトレジスタが考案されている。非特許文献１、非特許文献２及び非特許文献３では、新たなトランジスタ（第１のトランジスタとする）をトランジスタ１２（第２のトランジスタとする）と並列に配置し、非選択期

間において、第１のトランジスタのゲート電極及び第２のトランジスタのゲート電極にそれぞれ反転した信号を入力することで、第１のトランジスタ及び第２のトランジスタのしきい値電圧のシフトを抑制している。

【０００６】

さらに、非特許文献４では、トランジスタ１２だけでなく、トランジスタ１６のしきい値電圧のシフトも抑制できるシフトレジスタが考案されている。非特許文献４では、新たなトランジスタ（第１のトランジスタとする）をトランジスタ１２（第２のトランジスタとする）と並列に配置し、さらに別の新たなトランジスタ（第３のトランジスタとする）をトランジスタ１６（第４のトランジスタとする）と並列に配置する。そして、非選択期間において、第１のトランジスタのゲート電極及び第２のトランジスタのゲート電極にそれぞれ反転した信号を入力し、第３のトランジスタのゲート電極及び第４のトランジスタのゲート電極にそれぞれ反転した信号を入力することで、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ及び第４のトランジスタのしきい値電圧のシフトを抑制している。

【０００７】

さらに、非特許文献５では、トランジスタ１２のゲート電極に交流パルスを印加することで、トランジスタ１２のしきい値電圧のシフトを抑制している。

【０００８】

なお、非特許文献６及び非特許文献７の表示装置は、アモルファスシリコントランジスタで構成されるシフトレジスタを走査線駆動回路として用いて、さらにＲ、Ｇ、Ｂのサブ画素に１つの信号線からビデオ信号を入力することで、信号線の数を１／３に減らしている。こうして、非特許文献６及び非特許文献７の表示装置は、表示パネルとドライバＩＣとの接続数を減らしている。

【特許文献１】特開２００４－１５７５０８号公報

【非特許文献１】Ｓｏｏ Ｙｏｕｎｇ Ｙｏｏｎ, ｅｔ ａｌ., ”Ｈｉｇｈｌｙ Ｓｔａｂｌｅ Ｉｎｔｅｇｒａｔｅｄ Ｇａｔｅ Ｄｒｉｖｅｒ Ｃｉｒｃｕｉｔ ｕｓｉｎｇ ａ－Ｓｉ ＴＦＴ ｗｉｔｈ Ｄｕａｌ Ｐｕｌｌ－ｄｏｗｎ Ｓｔｒｕｃｔｕｒｅ”, ＳＯＣＩＥＴＹ ＦＯＲ ＩＮＦＯＲＭＡＴＩＯＮ ＤＩＳＰＬＡＹ ２００５ ＩＮＴＥＲＮＡＴＩＯＮＡＬ ＳＹＭＰＯＳＩＵＭ ＤＩＧＥＳＴ ＯＦ ＴＥＣＨＮＩＣＡＬ ＰＡＰＥＲＳ, Ｖｏｌｕｍｅ ＸＸＸＶＩ, ｐ. ３４８－３５１

【非特許文献２】Ｂｉｎｎ Ｋｉｍ, ｅｔ ａｌ., ”ａ－Ｓｉ Ｇａｔｅ Ｄｒｉｖｅｒ Ｉｎｔｅｇｒａｔｉｏｎ ｗｉｔｈ Ｔｉｍｅ Ｓｈａｒｅｄ Ｄａｔａ Ｄｒｉｖｉｎｇ”, Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ Ｔｈｅ １２ｔｈ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｄｉｓｐｌａｙ Ｗｏｒｋｓｈｏｐｓ ｉｎ ｃｏｎｊｕｎｃｔｉｏｎ ｗｉｔｈ Ａｓｉａ Ｄｉｓｐｌａｙ ２００５, ｐ. １０７３－１０７６

【非特許文献３】Ｍｉｎｄｏｏ Ｃｈｕｎ, ｅｔ ａｌ., ”Ｉｎｔｅｇｒａｔｅｄ Ｇａｔｅ Ｄｒｉｖｅｒ Ｕｓｉｎｇ Ｈｉｇｈｌｙ Ｓｔａｂｌｅ ａ－Ｓｉ ＴＦＴ’ｓ”, Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ Ｔｈｅ １２ｔｈ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｄｉｓｐｌａｙ Ｗｏｒｋｓｈｏｐｓ ｉｎ ｃｏｎｊｕｎｃｔｉｏｎ ｗｉｔｈ Ａｓｉａ Ｄｉｓｐｌａｙ ２００５, ｐ. １０７７－１０８０

【非特許文献４】Ｃｈｕｎ－Ｃｈｉｎｇ, ｅｔ ａｌ., ”Ｉｎｔｅｇｒａｔｅｄ Ｇａｔｅ Ｄｒｉｖｅｒ Ｃｉｒｃｕｉｔ Ｕｓｉｎｇ ａ－Ｓｉ ＴＦＴ”, Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ Ｔｈｅ １２ｔｈ Ｉｎｔｅｒｎａｔｉｏｎａｌ Ｄｉｓｐｌａｙ Ｗｏｒｋｓｈｏｐｓ ｉｎ ｃｏｎｊｕｎｃｔｉｏｎ ｗｉｔｈ Ａｓｉａ Ｄｉｓｐｌａｙ ２００５, ｐ. １０２３－１０２６

【非特許文献５】Ｙｏｎｇ Ｈｏ Ｊａｎｇ, ｅｔ ａｌ., ”Ａ－Ｓｉ ＴＦＴ Ｉｎｔｅｇｒａｔｅｄ Ｇａｔｅ Ｄｒｉｖｅｒ ｗｉｔｈ ＡＣ－Ｄｒｉｖｅｎ Ｓｉｎｇｌｅ Ｐｕｌｌ－ｄｏｗｎ Ｓｔｒｕｃｔｕｒｅ”, ＳＯＣＩＥＴＹ ＦＯＲ ＩＮＦＯＲＭＡＴＩＯＮ ＤＩＳＰＬＡＹ ２００６ ＩＮＴＥＲＮＡＴＩＯＮＡＬ ＳＹＭＰＯＳＩＵＭ ＤＩＧＥＳＴ ＯＦ ＴＥＣＨＮＩＣＡＬ ＰＡＰＥＲＳ, Ｖｏｌｕ

me XXXVII, p.208－211
【非特許文献6】Jin Young Choi, et al., ”A Compact and Cost－efficient TFT－LCD through the Triple－Gate Pixcel Structure”, SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVII, p.274－276
【非特許文献7】Yong Soon Lee, et al., ”Advanced TFT－LCD Data Line Reduction Method”, SOCIETY FOR INFORMATION DISPLAY 2006 INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS, Volume XXXVII, p.1083－1086
【発明の開示】
【発明が解決しようとする課題】
【０００９】
従来の技術によれば、劣化しやすいトランジスタのゲートに交流パルスを印加することで、当該トランジスタのしきい値電圧のシフトを抑制している。しかしながら、トランジスタの半導体層としてアモルファスシリコンを用いた場合、当然、交流パルスを生成する回路を構成するトランジスタも、しきい値電圧のシフトを生じてしまうことが問題となる。また、信号線の数を１／３に減らして表示パネルとドライバＩＣとの接点の数を削減することが提案されているが（非特許文献６及び非特許文献７）、実用的にはドライバＩＣの接点の数をより削減することが求められている。
【００１０】
すなわち従来の技術で解決されないものとして、トランジスタのしきい値電圧の変動を抑制する回路技術が課題として残されている。表示パネルに実装するドライバＩＣの接点数を削減する技術が課題として残されている。表示装置の低消費電力化が課題として残されている。表示装置の大型化又は高精細化が課題として残されている。
【００１１】
本明細書で開示する発明は、このような課題の一又は複数を解決することにより産業上有益な技術を提供することを目的としている。
【課題を解決するための手段】
【００１２】
本発明に係わる表示装置は、劣化しやすいトランジスタのゲート電極に、オンしたトランジスタを介して信号を入力することで、劣化しやすいトランジスタのしきい値電圧のシフト及びオンしたトランジスタのしきい値電圧のシフトを抑制するものである。すなわち、本発明は、高電位（ＶＤＤ）がゲート電極に印加されているトランジスタを介して（若しくは抵抗成分を持つ素子を介して）、交流パルスを劣化しやすいトランジスタのゲート電極に加える構成を含んでいる。
【００１３】
本明細書に示すスイッチは、様々な形態のものを用いることができる。例としては、電気的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトランジスタなど）、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（ＭｅｔａｌＩｎｓｕｌａｔｏｒＭｅｔａｌ）ダイオード、ＭＩＳ（ＭｅｔａｌＩｎｓｕｌａｔｏｒＳｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタなど）、サイリスタなどを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。
【００１４】
スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして

動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流を抑えたい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、ＬＤＤ領域を有するトランジスタやマルチゲート構造を有するトランジスタ等がある。または、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ＶＳＳ、ＧＮＤ、０Ｖなど）に近い状態で動作する場合はＮチャネル型トランジスタを用いることが望ましい。反対に、ソース端子の電位が、高電位側電源（ＶＤＤなど）に近い状態で動作する場合はＰチャネル型トランジスタを用いることが望ましい。なぜなら、Ｎチャネル型トランジスタではソース端子が低電位側電源に近い状態で動作するとき、Ｐチャネル型トランジスタではソース端子が高電位側電源に近い状態で動作するとき、ゲートソース間電圧の絶対値を大きくできるため、スイッチング特性が良好となる。また、ソースフォロワ動作をしてしまうことが少ないため、出力電圧の大きさが小さくなってしまうことが少ないからである。

【００１５】

ＮチャネルトランジスタとＰチャネル型トランジスタの両方を用いて、ＣＭＯＳ型のスイッチをスイッチとして用いてもよい。ＣＭＯＳ型のスイッチにすると、Ｐチャネル型トランジスタまたはＮチャネル型トランジスタのどちらか一方のトランジスタが導通すれば電流が流れるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。さらに、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【００１６】

スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

【００１７】

本明細書において、「ＡとＢとが接続されている」と明示的に記載する場合は、ＡとＢとが電気的に接続されている場合と、ＡとＢとが機能的に接続されている場合と、ＡとＢとが直接接続されている場合とを含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、本明細書が開示する構成において、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【００１８】

例えば、ＡとＢとが電気的に接続されている場合として、ＡとＢとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、ＡとＢとの間に１個以上配置されていてもよい。あるいは、ＡとＢとが機能的に接続されている場合として、ＡとＢとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路など）、信号変換回路（ＤＡ変換回路、ＡＤ変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、ＡとＢとの間に１個以上配置されていてもよい。あるいは、ＡとＢとが直接接続されている場合として、ＡとＢとの間に他の素子や他の回路を挟まずに、ＡとＢとが直接接続されていてもよい。

【００１９】

「ＡとＢとが直接接続されている」と明示的に記載する場合は、ＡとＢとが直接接続されている場合（つまり、ＡとＢとの間に他の素子や他の回路を間に介さずに接続されている

場合）と、ＡとＢとが電気的に接続されている場合（つまり、ＡとＢとの間に別の素子や別の回路を挟んで接続されている場合）とを含むものとする。

【００２０】

「ＡとＢとが電気的に接続されている」と明示的に記載する場合は、ＡとＢとが電気的に接続されている場合（つまり、ＡとＢとの間に別の素子や別の回路を挟んで接続されている場合）と、ＡとＢとが機能的に接続されている場合（つまり、ＡとＢとの間に別の回路を挟んで機能的に接続されている場合）と、ＡとＢとが直接接続されている場合（つまり、ＡとＢとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電気的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【００２１】

表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、ＥＬ素子（有機ＥＬ素子、無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（ＧＬＶ）、プラズマディスプレイ（ＰＤＰ）、デジタルマイクロミラーデバイス（ＤＭＤ）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を用いることができる。なお、ＥＬ素子を用いた表示装置としてはＥＬディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（ＦＥＤ）やＳＥＤ方式平面型ディスプレイ（ＳＥＤ：Ｓｕｒｆａｃｅ－ｃｏｎｄｕｃｔｉｏｎＥｌｅｃｔｒｏｎ－ｅｍｉｔｔｅｒＤｉｓｐｌｙ）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【００２２】

本明細書に記載されたトランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（ＴＦＴ）などを用いることが出来る。ＴＦＴを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストが安くなったり、製造装置を大きくすることが可能になる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透明基板上にトランジスタを製造できる。そして、透明な基板上のトランジスタを用いて表示素子での光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

【００２３】

多結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路（信号線駆動回路）、信号処理回路（信号生成回路、ガンマ補正回路、ＤＡ変換回路など）を基板上に一体形成することが出来る。

【００２４】

微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザーを用いず、熱処理を加えるだけで、結晶性を向上させることができる。その結果、ゲートドライバ回路（走査線駆動回路）やソースドライバ回路の一部（アナログスイッ

チなど）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザーを用いない場合は、シリコンの結晶性のムラを抑えることができる。そのため、綺麗な画像を表示することが出来る。

【００２５】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

【００２６】

または、半導体基板やＳＯＩ基板などを用いてトランジスタを形成することが出来る。その場合、ＭＯＳ型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを本明細書に記載されたトランジスタとして用いることが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、消費電力の少ない回路を構成し、又は高集積化を図ることが出来る。

【００２７】

または、ＺｎＯ、ａ－ＩｎＧａＺｎＯ、ＳｉＧｅ、ＧａＡｓ、ＩＺＯ、ＩＴＯ、ＳｎＯなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透明電極として用いることができる。さらに、それらをトランジスタと同時に成膜し、又は形成することが出来て、コストを低減できる。

【００２８】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温での製造、低真空度での製造、又は大型基板上への製造をすることができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

【００２９】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。そのため、衝撃に強くできる。

【００３０】

その他、様々なトランジスタを用いることができる。

【００３１】

トランジスタが形成されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。トランジスタが形成される基板としては、例えば、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。または、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板としては、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、、木材基板、

布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、ゴム基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。あるいは、人などの動物の皮膚（皮表、真皮）又は皮下組織を基板として用いてもよい。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、又は軽量化を図ることが出来る。

【００３２】

トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が２個以上のマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることができる。あるいは、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレインとソース間の電流があまり変化せず、電圧・電流特性の傾きがフラットな特性にすることができる。電圧対電流特性の傾きがフラットである特性を利用すると、理想的な電流源回路や、非常に高い抵抗値をもつ能動負荷を実現することが出来る。その結果、特性のよい差動回路やカレントミラー回路を実現することが出来る。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値を大きくすることができる。あるいは、空乏層ができやすくなってＳ値を小さくすることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【００３３】

あるいは、チャネル領域の上にゲート電極が配置されている構造でもよいし、チャネル領域の下にゲート電極が配置されている構造でもよい。あるいは、正スタガ構造または逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれていてもよいし、チャネル領域が並列に接続されていてもよいし、チャネル領域が直列に接続されていてもよい。また、チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル領域（もしくはその一部）にソース電極やドレイン電極が重なる構造にすることにより、チャネル領域の一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、ＬＤＤ領域を設けても良い。ＬＤＤ領域を設けることにより、オフ電流の低減、トランジスタの耐圧向上による信頼性の向上を図ることが出来る。あるいは、飽和領域で動作する時に、ドレインとソース間の電圧が変化しても、ドレインとソース間の電流があまり変化せず、電圧対電流特性の傾きがフラットな特性にすることができる。

【００３４】

本明細書においては、一画素とは画像の最小単位を示すものとする。よって、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるフルカラー表示装置の場合には、一画素とはＲの色要素のドットとＧの色要素のドットとＢの色要素のドットとから構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）としてもよい。また、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。または、例えば、ＲＧＢの中の少なくとも一色に類似した色を、ＲＧＢに追加してもよい。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としてもよい。Ｂ１とＢ２とは、どちらも青色であるが、少し周波数が異なっている。同様に、Ｒ１、Ｒ２、Ｇ、Ｂとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減することが出来る。なお、一画素に、同じ色の色要素のドットが複数個あってもよい。そのとき、その複数の色要素は、各々、表示に寄与する領域の大きさが異なっていても良い。また、複数個ある、同じ色の色要素のドットを各々制御することによって、階調を表現してもよい。これを、面積階調方式と呼ぶ。あるいは、複数個ある、同じ色の色要素のドットを用いて、各々のドットに供給する信号を僅かに異ならせるようにして、視野角を

広げるようにしてもよい。つまり、複数個ある、同じ色の色要素が各々有する画素電極の電位が、各々異なっていてもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【００３５】

本明細書においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、Ｒ（赤）Ｇ（緑）Ｂ（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Ｒの画素とＧの画素とＢの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、三色以上を用いても良いし、ＲＧＢ以外の色を用いても良い。例えば、白色を加えて、ＲＧＢＷ（Ｗは白）としてもよい。また、ＲＧＢに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加してもよい。また、例えば、ＲＧＢの中の少なくとも一色に類似した色を、ＲＧＢに追加してもよい。例えば、Ｒ、Ｇ、Ｂ１、Ｂ２としてもよい。Ｂ１とＢ２とは、どちらも青色であるが、少し周波数が異なっている。同様に、Ｒ１、Ｒ２、Ｇ、Ｂとしてもよい。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減することが出来る。また、別の例としては、１つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素としてもよい。よって、一例として、面積階調を行う場合または副画素（サブ画素）を有している場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素としてもよい。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。あるいは、明るさを制御する領域が１つの色要素の中に複数あっても、それらをまとめて、１つの色要素を１画素としてもよい。よって、その場合は、一つの色要素は、一つの画素で構成されることとなる。また、１つの色要素について、複数の領域を用いて明るさを制御する場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。つまり、１つの色要素について、複数個ある領域が各々有する画素電極の電位が、各々異なっていてもよい。その結果、液晶分子に加わる電圧が各画素電極によって各々異なる。よって、視野角を広くすることが出来る。

【００３６】

一画素（三色分）と明示的に記載する場合は、ＲとＧとＢの三画素分を一画素と考える場合であるとする。一画素（一色分）と明示的に記載する場合は、一つの色要素につき、複数の領域がある場合、それらをまとめて一画素と考える場合であるとする。

【００３７】

本明細書において、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に並んで配置されている場合や、ギザギザな線上に配置されている場合を含む。例えば三色の色要素（例えばＲＧＢ）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、ＲＧＢＷ（Ｗは白）や、ＲＧＢに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なっていてもよい。これにより、消費電力を低下させることができる。あるいは、表示素子の寿命を延ばすことが出来る。

【００３８】

本明細書において、画素に能動素子を有するアクティブマトリクス方式、または、画素に能動素子を有しないパッシブマトリクス方式を用いることが出来る。

【００３９】

アクティブマトリクス方式では、能動素子（アクティブ素子、非線形素子）として、トランジスタだけでなく、さまざまな能動素子（アクティブ素子、非線形素子）を用いること

が出来る。例えば、ＭＩＭ（ＭｅｔａｌＩｎｓｕｌａｔｏｒＭｅｔａｌ）やＴＦＤ（ＴｈｉｎＦｉｌｍＤｉｏｄｅ）などを用いることも可能である。これらの素子は、製造工程が少ないため、低コストで製造することができる。あるいは、歩留まりを高くできたりすることが可能である。さらに、素子のサイズが小さいため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【００４０】

アクティブマトリクス方式以外のものとして、能動素子（アクティブ素子、非線形素子）を用いないパッシブマトリクス型を用いることも可能である。能動素子（アクティブ素子、非線形素子）を用いないため、製造工程が少なく、低コストで製造することができる。あるいは、歩留まりを高くできたりすることが可能である。また、能動素子（アクティブ素子、非線形素子）を用いないため、開口率を向上させることができ、低消費電力化や高輝度化をはかることが出来る。

【００４１】

トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本明細書においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第１の電極、第２の電極と表記する場合がある。

【００４２】

トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第１端子、第２端子と表記する場合がある。

【００４３】

ゲートとは、ゲート電極とゲート配線（ゲート線、ゲート信号線、走査線、走査信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャネル領域を形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。なお、ゲート電極の一部は、ＬＤＤ（ＬｉｇｈｔｌｙＤｏｐｅｄＤｒａｉｎ）領域またはソース領域及びドレイン領域と、ゲート絶縁膜を介してオーバーラップしている場合もある。ゲート配線とは、各トランジスタのゲート電極の間の接続、又はゲート電極と別の配線との接続をするための配線のことを言う。

【００４４】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線の一部とチャネル領域がオーバーラップしている場合、その部分（領域、導電膜、配線など）はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【００４５】

ゲート電極と同じ材料で形成され、ゲート電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）も、ゲート配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、チャネル領域とオーバーラップせずに、別のゲート電極と接続させる機能を有していない場合がある。しかし、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）がある。そのような部分（領

域、導電膜、配線など）もゲート電極またはゲート配線と呼んでも良い。

【００４６】

例えば、マルチゲートのトランジスタにおいて、１つのゲート電極と、別のゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような部分（領域、導電膜、配線など）は、ゲート電極とゲート電極とを接続させるための部分（領域、導電膜、配線など）であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを１つのトランジスタと見なすことも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極またはゲート配線と同じ材料で形成され、ゲート電極またはゲート配線と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）は、ゲート電極やゲート配線と呼んでも良い。さらに、例えば、ゲート電極とゲート配線とを接続させている部分の導電膜であって、ゲート電極またはゲート配線とは異なる材料で形成された導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【００４７】

ゲート端子とは、ゲート電極の部分（領域、導電膜、配線など）または、ゲート電極と電気的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【００４８】

ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線などと呼ぶ場合、配線にトランジスタのゲートが接続されていない場合もある。この場合、ゲート配線、ゲート線、ゲート信号線、走査線、走査信号線は、トランジスタのゲートと同じ層で形成された配線、トランジスタのゲートと同じ材料で形成された配線またはトランジスタのゲートと同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【００４９】

ソースとは、ソース領域とソース電極とソース配線（ソース線、ソース信号線、データ線、データ信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、Ｐ型不純物（ボロンやガリウムなど）やＮ型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけＰ型不純物やＮ型不純物が含まれる領域、いわゆる、ＬＤＤ（ＬｉｇｈｔｌｙＤｏｐｅｄＤｒａｉｎ）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電気的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間の接続、又はソース電極と別の配線との接続をするための配線のことを言う。

【００５０】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分（領域、導電膜、配線など）も存在する。そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線の一部とソース領域とがオーバーラップしている場合、その部分（領域、導電膜、配線など）はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような部分（領域、導電膜、配線など）は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【００５１】

ソース電極と同じ材料で形成され、ソース電極と同じ島（アイランド）を形成してつながっている部分（領域、導電膜、配線など）や、ソース電極とソース電極とを接続する部分（領域、導電膜、配線など）も、ソース電極と呼んでも良い。さらに、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線と同じ島（アイランド）を形成してつながっている領域も、ソース配線と呼んでも良い。このような部分（領域、導電膜、配線など）は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、

ソース電極またはソース配線と同じ材料で形成され、ソース電極またはソース配線とつながっている部分（領域、導電膜、配線など）がある。よって、そのような部分（領域、導電膜、配線など）もソース電極またはソース配線と呼んでも良い。

【００５２】

例えば、ソース電極とソース配線とを接続させている部分の導電膜であって、ソース電極またはソース配線とは異なる材料で形成された導電膜も、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【００５３】

ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電気的に接続されている部分（領域、導電膜、配線など）について、その一部分のことを言う。

【００５４】

ソース配線、ソース線、ソース信号線、データ線、データ信号線などと呼ぶ場合、配線にトランジスタのソース（ドレイン）が接続されていない場合もある。この場合、ソース配線、ソース線、ソース信号線、データ線、データ信号線は、トランジスタのソース（ドレイン）と同じ層で形成された配線、トランジスタのソース（ドレイン）と同じ材料で形成された配線またはトランジスタのソース（ドレイン）と同時に成膜された配線を意味している場合がある。例としては、保持容量用配線、電源線、基準電位供給配線などがある。

【００５５】

ドレインについては、ソースと同様である。

【００５６】

半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。

【００５７】

表示素子とは、光学変調素子、液晶素子、発光素子、ＥＬ素子（有機ＥＬ素子、無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、電気泳動素子、放電素子、光反射素子、光回折素子、デジタルマイクロミラーデバイス（ＤＭＤ）、などのことを言う。ただし、これに限定されない。

【００５８】

表示装置とは、表示素子を有する装置のことを言う。なお、表示装置とは、表示素子を含む複数の画素またはそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオングラス（ＣＯＧ）で接続されたＩＣチップ、または、ＴＡＢなどで接続されたＩＣチップを含んでいても良い。なお、表示装置は、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブル配線基板（ＦＰＣ）を含んでもよい。なお、表示装置は、フレキシブル配線基板（ＦＰＣ）などを介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基盤（ＰＷＢ）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。ここで、バックライトユニットのような照明装置は、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管など）、冷却装置（水冷式、空冷式）などを含んでいても良い。

【００５９】

照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管、熱陰極管など）、冷却装置などを有している装置のことをいう。

【００６０】

なお、発光装置とは、発光素子などを有している装置のことをいう。

【００６１】

反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【００６２】

液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

【００６３】

駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

【００６４】

表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有していたり、半導体装置が、表示装置および駆動装置を有している場合がある。

【００６５】

本明細書において、Ａの上にＢが形成されている、あるいは、Ａ上にＢが形成されている、と明示的に記載する場合は、Ａの上にＢが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、ＡとＢと間に別の対象物が介在する場合も含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【００６６】

従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、と明示的に記載されている場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄなど）は、単層でもよいし、複層でもよい。

【００６７】

さらに、Ａの上方にＢが形成されている、と明示的に記載されている場合についても同様であり、Ａの上にＢが直接接していることに限定されず、ＡとＢとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Ａの上方に、層Ｂが形成されている、という場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄなど）は、単層でもよいし、複層でもよい。

【００６８】

Ａの上にＢが直接接して形成されている、と明示的に記載する場合は、Ａの上に直接接してＢが形成されている場合を含み、ＡとＢと間に別の対象物が介在する場合は含まないものとする。

【００６９】

Ａの下にＢが、あるいは、Ａの下方にＢが、の場合についても、同様である。

【発明の効果】

【００７０】

シフトレジスタが有する全てのトランジスタの特性劣化を抑制することができる。そのため、液晶表示装置をはじめとする当該シフトレジスタを適用した半導体装置の誤動作を抑制することができる。

【発明を実施するための最良の形態】

【００７１】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

【００７２】

（実施の形態１）

本実施の形態では、フリップフロップ、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。

【００７３】

本実施の形態のフリップフロップの基本構成について、図１を参照して説明する。図１に示すフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１０５、第６のトランジスタ１０６及び第７のトランジスタ１０７を有する。本実施の形態において、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１０５、第６のトランジスタ１０６及び第７のトランジスタ１０７は、Ｎチャネル型トランジスタとし、ゲート及びソース間電圧（Ｖｇｓ）がしきい値電圧（Ｖｔｈ）を上回ったとき導通状態になるものとする。

【００７４】

図１のフリップフロップの接続関係について説明する。第１のトランジスタ１０１の第１の電極（ソース電極及びドレイン電極の一方）が第５の配線１２５に接続され、第１のトランジスタ１０１の第２の電極（ソース電極及びドレイン電極の他方）が第３の配線１２３に接続される。第２のトランジスタ１０２の第１の電極が第４の配線１２４に接続され、第２のトランジスタ１０２第２の電極が第３の配線１２３に接続される。第３のトランジスタ１０３の第１の電極が第６の配線１２６に接続され、第３のトランジスタ１０３の第２の電極が第２のトランジスタ１０２のゲート電極に接続され、第３のトランジスタ１０３のゲート電極が第７の配線１２７に接続される。第４のトランジスタ１０４の第１の電極が第９の配線１２９に接続され、第４のトランジスタ１０４の第２の電極が第２のトランジスタ１０２のゲート電極に接続され、第４のトランジスタ１０４のゲート電極が第１のトランジスタ１０１のゲート電極に接続される。第５のトランジスタ１０５の第１の電極が第８の配線１２８に接続され、第５のトランジスタ１０５の第２の電極が第１のトランジスタ１０１のゲート電極に接続され、第５のトランジスタ１０５のゲート電極が第１の配線１２１に接続される。第６のトランジスタ１０６の第１の電極が第１０の配線１３０に接続され、第６のトランジスタ１０６の第２の電極が第１のトランジスタ１０１のゲート電極に接続され、第６のトランジスタ１０６のゲート電極が第２のトランジスタ１０２のゲート電極に接続される。第７のトランジスタ１０７の第１の電極が第１１の配線１３１に接続され、第７のトランジスタ１０７の第２の電極が第１のトランジスタ１０１のゲート電極に接続され、第７のトランジスタ１０７のゲート電極が第２の配線１２２に接続される。

【００７５】

なお、第１のトランジスタ１０１のゲート電極、第４のトランジスタ１０４のゲート電極、第５のトランジスタ１０５の第２の電極、第６のトランジスタ１０６の第２の電極及び第７のトランジスタ１０７の第２の電極の接続箇所をノード１４１とする。さらに、第２のトランジスタ１０２のゲート電極、第３のトランジスタ１０３の第２の電極、第４のトランジスタ１０４の第２の電極及び第６のトランジスタ１０６のゲート電極の接続箇所をノード１４２とする。

【００７６】

なお、第４の配線１２４、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１は互いに接続されてもよいし、同一の配線としてもよい。さらに、第７の配線１２７及び第８の配線１２８は互いに接続されてもよいし、同一の配線としてもよい。

【００７７】

なお、第１の配線１２１、第２の配線１２２、第３の配線１２３、第５の配線１２５及び第６の配線１２６を、それぞれ第１の信号線、第２の信号、第３の信号線、第４の信号線、第５の信号線と呼んでもよい。さらに、第４の配線１２４、第７の配線１２７、第８の配線１２８、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１を、それぞれ第１の電源線、第２の電源線、第３の電源線、第４の電源線、第５の電源線、第６の電源線と呼んでもよい。

【００７８】

なお、第７の配線１２７及び第８の配線１２８にはそれぞれＶ１の電位が供給され、第４の配線１２４、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１にはそれぞれＶ２の電位が供給される。さらに、Ｖ１＞Ｖ２である。

【００７９】

なお、第１の配線１２１、第２の配線１２２、第５の配線１２５及び第６の配線１２６には、それぞれ信号が入力される。第１の配線１２１に入力される信号はスタート信号であり、第２の配線１２２に入力される信号はリセット信号であり、第５の配線１２５に入力される信号は第１のクロック信号であり、第６の配線１２６に入力される信号は第２のクロック信号である。さらに、第１の配線１２１、第２の配線１２２、第５の配線１２５及び第６の配線１２６にそれぞれ入力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【００８０】

なお、第１の配線１２１、第２の配線１２２、第２の配線１２２～第１１の配線１３１には、それぞれ様々な信号、電位及び電流が入力されてもよい。

【００８１】

なお、第３の配線１２３からは信号が出力される。第３の配線１２３から出力される信号は、各ステージのフリップフロップの出力信号であり、次のステージのフリップフロップのスタート信号（以下、転送信号ともいう）でもある。さらに、第３の配線１２３から出力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【００８２】

次に、図１に示したフリップフロップの動作について、図２のタイミングチャート及び図３を参照して説明する。さらに、図２のタイミングチャートを選択期間及び非選択期間に分割して説明する。さらに、非選択期間を第１の非選択期間、第２の非選択期間、セット期間及びリセット期間に分割して説明する。さらに、非選択期間において、セット期間、選択期間及びリセット期間を除く動作期間は、第１の非選択期間及び第２の非選択期間を順に繰り返す。

【００８３】

なお、図２において、信号２２１、信号２２５、信号２２６、電位２４１、電位２４２、信号２２２及び信号２２３は、それぞれ第１の配線１２１に入力される信号、第５の配線１２５に入力される信号、第６の配線１２６に入力される信号、ノード１４１の電位、ノード１４２の電位、第２の配線１２２に入力される信号、第３の配線１２３から出力される信号を示している。

【００８４】

まず、図２（Ａ）及び図３（Ａ）に示すセット期間において、信号２２１がＨレベルなので第５のトランジスタ１０５がオンし、信号２２２がＬレベルなので第７のトランジスタ１０７がオフする。このときのノード１４１の電位は、第５のトランジスタ１０５の第２の電極がソース電極となって、第８の配線１２８の電位から第５のトランジスタ１０５のしきい値電圧を引いた値となるためＶ１－Ｖｔｈ（１０５）（Ｖｔｈ（１０５）：第５のトランジスタ１０５のしきい値電圧）となる。よって、第１のトランジスタ１０１及び第４のトランジスタ１０４がオンし、第５のトランジスタ１０５がオフする。このときのノード１４２の電位（電位２４２）は、第３のトランジスタ１０３と第４のトランジスタ１０４との抵抗比（Ｌ／Ｗ及び印加電圧）によって決定され、Ｖ２＋β（β：任意の正の数

）となる。さらに、β＜Ｖｔｈ（１０２）（Ｖｔｈ（１０２）：第２のトランジスタ１０２のしきい値電圧）及びβ＜Ｖｔｈ（１０６）（第６のトランジスタ１０６のしきい値電圧）とする。つまり、第９の配線１２９の電位（Ｖ２）と第６の配線１２６の電位（Ｖ１）との電位差（Ｖ１－Ｖ２）が第３のトランジスタ１０３及び第４のトランジスタ１０４によって分圧される。よって、第２のトランジスタ１０２及び第６のトランジスタ１０６がオフする。このように、セット期間では、第３の配線１２３はＬ信号が入力されている第５の配線１２５と導通するため、第３の配線１２３の電位がＶ２となる。したがって、Ｌ信号が第３の配線１２３から出力される。さらに、ノード１４１は、電位をＶ１－Ｖｔｈ（１０５）に維持したまま浮遊状態となる。

【００８５】

図２（Ｂ）及び図３（Ｂ）に示す選択期間では、信号２２１がＬレベルとなって第５のトランジスタ１０５がオフし、信号２２２がＬレベルのままなので第７のトランジスタ１０７がオフのままである。このときのノード１４１は電位をＶ１－Ｖｔｈ（１０５）に維持している。よって、第１のトランジスタ１０１及び第４のトランジスタ１０４はオンのままである。このときのノード１４２の電位は、第６の配線１２６がＬレベルとなるためＶ２となる。よって、第２のトランジスタ１０２及び第６のトランジスタ１０６はオフのままである。ここで、第５の配線１２５にH信号が入力されるので、第３の配線１２３の電位が上昇し始める。このとき、ノード１４１の電位は、ブートストラップ動作によってＶ１－Ｖｔｈ（１０５）から上昇し、Ｖ１＋Ｖｔｈ（１０１）＋α（Ｖｔｈ（１０１）：第１のトランジスタ１０１のしきい値電圧、α：任意の正の数）となる。したがって、第３の配線１２３の電位は、第５の配線１２５と等しい電位となるのでＶ１となる。なお、このブートストラップ動作は、第１のトランジスタ１０１のゲート電極と第２の電極との間の寄生容量の容量結合によって行われる。このように、選択期間では、第３の配線１２３はH信号が入力されている第５の配線１２５と導通するため、第３の配線１２３の電位がＶ１となる。したがって、H信号が第３の配線１２３から出力される。

【００８６】

図２（Ｃ）及び図３（Ｃ）に示すリセット期間では、信号２２１がＬレベルのままなので第５のトランジスタ１０５がオフのままであり、信号２２２がHレベルとなって第７のトランジスタ１０７がオンする。このときのノード１４１の電位は、第１１の配線の電位（Ｖ２）が第７のトランジスタ１０７を介して供給されるためＶ２となる。よって、第１のトランジスタ１０１及び第４のトランジスタ１０４がオフする。このときのノード１４２の電位は、第３のトランジスタ１０３の第２の電極がソース電極となって、第６の配線１２６の電位（Ｖ１）から第３のトランジスタ１０３のしきい値電圧を引いた値となるためＶ１－Ｖｔｈ（１０３）（Ｖｔｈ（１０３）：第３のトランジスタ１０３のしきい値電圧）となる。よって、第２のトランジスタ１０２及び第６のトランジスタ１０６がオンする。このように、リセット期間では、第３の配線１２３はＶ２が供給されている第４の配線１２４と導通するため、第３の配線１２３の電位がＶ２となる。したがって、Ｌ信号が第３の配線１２３から出力される。

【００８７】

図２（Ｄ）及び図３（Ｄ）に示す第１の非選択期間では、信号２２１がＬレベルのままなので第５のトランジスタ１０５がオフのままであり、信号２２２がＬレベルとなって第７のトランジスタ１０７がオフする。このときのノード１４２の電位は、第６の配線１２６にＬ信号が入力されるためＶ２となる。よって、第２のトランジスタ１０２及び第６のトランジスタ１０６がオフする。このときのノード１４１は、浮遊状態となるため電位をＶ２に維持する。よって、第１のトランジスタ１０１及び第４のトランジスタ１０４はオフのままである。このように、第１の非選択期間では、第３の配線１２３は浮遊状態となるため、第３の配線１２３の電位はＶ２を維持する。

【００８８】

図２（Ｅ）及び図３（Ｅ）に示す第２の非選択期間では、信号２２１がＬレベルのままなので第５のトランジスタ１０５がオフのままであり、信号２２２がＬレベルのままなので

第７のトランジスタ１０７がオフのままである。このときのノード１４２の電位は、第６の配線１２６にＨ信号が入力され、トランジスタ１０４がオフしているためＶ１－Ｖｔｈ（１０３）となる。よって、第２のトランジスタ１０２及び第６のトランジスタ１０６がオンする。このときのノード１４１の電位は、第１０の配線１３０の電位（Ｖ２）が第６のトランジスタ１０６を介して供給されるためＶ２のままである。よって、第１のトランジスタ１０１及び第４のトランジスタ１０４はオフのままである。このように、第２の非選択期間では、第３の配線１２３はＶ２が供給されている第４の配線１２４と導通するため、第３の配線１２３の電位がＶ２のままである。したがって、Ｌ信号が第３の配線１２３から出力される。

【００８９】

以上のことから、図１のフリップフロップは、選択期間においてブートストラップ動作動作を用いて、ノード１４１の電位をＶ１＋Ｖｔｈ（１０１）よりも高くすることによって、第３の配線１２３の電位をＶ１とすることができる。さらに、図１のフリップフロップは、このブートストラップ動作が第１のトランジスタ１０１の第２の電極とゲート電極との間の寄生容量の容量結合を用いて行われることによって、レイアウト面積の縮小及び素子数の低減などのメリットを得ることができる。

【００９０】

さらに、図１のフリップフロップは、第２のトランジスタ１０２及び第６のトランジスタ１０６が第２の非選択期間においてのみオンするため、第２のトランジスタ１０２及び第６のトランジスタ１０６のしきい値電圧のシフトを抑制することができる。

【００９１】

なお、図１のフリップフロップは、第３のトランジスタ１０３のゲート電極にＶ１を供給し、第１の電極に第２のクロック信号を入力することで、第３のトランジスタ１０３のしきい値電圧のシフトも抑制でることができる。

【００９２】

さらに、図１のフリップフロップは、第１のトランジスタ１０１、第４のトランジスタ１０４、第５のトランジスタ１０５及び第７のトランジスタ１０７が第１の非選択期間及び第２の非選択期間においてオンしないため、第１のトランジスタ１０１、第４のトランジスタ１０４、第５のトランジスタ１０５及び第７のトランジスタ１０７のしきい値電圧のシフトを抑制することができる。

【００９３】

さらに、図１のフリップフロップは、ノード１４１の電位及び第３の配線１２３の電位が第１の非選択期間において変動しても、次の第２の非選択期間においてノード１４１及び第３の配線１２３にＶ２を供給することで、ノード１４１の電位及び第３の配線１２３の電位をＶ２にリセットすることができる。したがって、図１のフリップフロップは、ノード１４１及び配線１２３が浮遊状態となって、ノード１４１及び第３の配線１２３の電位が変動することが原因となる誤動作を抑制することができる。

【００９４】

さらに、図１のフリップフロップは、トランジスタのしきい値シフトを抑制できるため、トランジスタのしきい値電圧シフトが原因となる誤動作を抑制することができる。

【００９５】

さらに、図１のフリップフロップは、第１のトランジスタ１０１乃至第７のトランジスタ１０７が全てＮチャネル型トランジスタで構成されている。したがって、図１のフリップフロップは、トランジスタの半導体層として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示装置を作製することも可能となる。ただし、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても製造工程の簡略化を図ることができる。

【００９６】

なお、図１のフリップフロップは、トランジスタの半導体層として特性劣化（しきい値電

圧のシフト）が顕著に表れるアモファスシリコンを用いても、トランジスタの特性劣化を抑制することができるため、長寿命な表示装置を作製することができる。

【００９７】

ここで、第１のトランジスタ１０１乃至第８のトランジスタ１０８が有する機能を説明する。第１のトランジスタ１０１は、第５の配線１２５の電位を第３の配線１２３に供給するタイミングを選択し、ノード１４１の電位をブートストラップ動作によって上昇させる機能を有し、ブートストラップ用トランジスタとして機能する。第２のトランジスタ１０２は、第４の配線１２４の電位を第３の配線１２３に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第３のトランジスタ１０３は、第６の配線の電位と第９の配線１２９の電位とを分圧する機能を有し、抵抗素子又は抵抗成分を有するトランジスタとして機能する。第４のトランジスタ１０４は、第９の配線１２９の電位をノード１４２に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第５のトランジスタは、第８の配線の電位をノード１４１に供給するタイミングを選択する機能を有し、入力用トランジスタとして機能する。第６のトランジスタ１０６は、第１０の配線１３０の電位をノード１４１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。第７のトランジスタ１０７は、第１１の配線１３１の電位をノード１４１に供給するタイミングを選択する機能を有し、スイッチングトランジスタとして機能する。ただし、第１のトランジスタ１０１乃至第７のトランジスタ１０７は上記説明した機能を有していれば、トランジスタとは限定されない。例えば、スイッチングトランジスタとして機能する第２のトランジスタ１０２、第４のトランジスタ１０４、第６のトランジスタ１０６及び第７のトランジスタ１０７は、スイッチング機能を有する素子であれば、ダイオード、ＣＭＯＳアナログスイッチ又は様々な論理回路などを適用してもよい。さらに、入力用トランジスタとして機能する第５のトランジスタ１０５は、ノード１４１の電位を上昇させてオフするタイミングを選択する機能有していればよく、ＰＮ接合ダイオード又はダイオード接続したトランジスタなどを適用してもよい。

【００９８】

なお、第３のトランジスタ１０３と第４のトランジスタ１０４とで交流パルス生成回路を構成している。交流パルス生成回路は、第３のトランジスタ１０３の第１の電極から入力される信号をノード１４２に出力する。ただし、交流パルス生成回路は、第４のトランジスタ１０４のゲート電極がＨレベルの場合は、第３のトランジスタ１０３の第１の電極から入力される信号に関係なくノード１４２にＬ信号を出力する。

【００９９】

なお、本実施の形態のフリップフロップにおいて、第１のトランジスタ１０１～第７のトランジスタ１０７のそれぞれのＷ／Ｌの値の中で、第１のトランジスタ１０１のＷ／Ｌの値が最大になるようにすると、信号２２３の立ち下がり時間及び立ち上がり時間を短くすることができる。これにより、本実施の形態のフリップフロップは、配線１２３に大きな負荷が接続されても、なまりや遅延が少ない信号を出力することができる。

【０１００】

さらに、本実施の形態のフリップフロップにおいて、第１のトランジスタ１０１のＷ／Ｌの値は、第５のトランジスタ１０５のＷ／Ｌの値よりも２倍乃至５倍であることが好ましく、より好ましくは３倍～４倍である。これにより、実施の形態１のフリップフロップは、配線１２３に大きな負荷が接続されても、なまりや遅延が少ない信号を出力することができる。

【０１０１】

さらに、本実施の形態のフリップフロップにおいて、第４のトランジスタ１０４のＷ／Ｌの値を第３のトランジスタ１０３のＷ／Ｌの値よりも大きくすると、セット期間におけるノード１４２の電位を小さくすることができる。これにより、本実施の形態のフリップフロップは、セット期間に第６のトランジスタ１０６を確実にオフできるため、誤動作を抑制することができる。

【０１０２】
さらに、本実施の形態のフリップフロップにおいて、第３のトランジスタ１０３のＬの値は、第４のトランジスタ１０４のＬの値よりも大きいことが好ましく、より好ましくは２倍乃至３倍である。これにより、本実施の形態のフリップフロップは、第３のトランジスタ１０３のＷ／Ｌの値が小さくなるため、第４のトランジスタ１０４のＷの値を小さくすることができ、レイアウト面積を縮小を図ることができる。
【０１０３】
なお、図１と同様の動作を行うものであれば、各トランジスタの配置及び数などは図１に限定されない。図１のフリップフロップの動作を説明した図３から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、第１の非選択期間及び第２の非選択期間は、それぞれ図３（Ａ）乃至（Ｅ）に示す実線のように導通がとれていればよい。よって、これを満たすようにトランジスタ等を配置し、動作させうる構成であれば、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。
【０１０４】
例えば、図４（Ａ）に示すフリップフロップは、第１のトランジスタ１０１のゲート電極と第２の電極との間に容量素子４０１を配置することで、選択期間でのブートストラップ動作をより安定して行うことができる。さらに、図４（Ａ）のフリップフロップは、第１のトランジスタ１０１のゲート電極と第２の電極との間の寄生容量を小さくできるため、各トランジスタが高速にスイッチングできる。あるいは、図４（Ｂ）に示すように、容量素子４０１としてトランジスタ４０２を用いてもよい。トランジスタ４０２は、ゲート電極がノード１４１に接続され、第１の電極及び第２の電極が第３の配線１２３に接続されることで、大きな容量成分を持つ容量素子として機能することができる。ただし、トランジスタ４０２は、第１の電極及び第２の電極のうちどちらか一方を浮遊としても容量素子として機能できる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。
【０１０５】
なお、容量素子４０１は、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び配線層を用いてもよいし、絶縁層としてゲート絶縁膜を用いて導電層としてゲート電極層及び不純物が添加された半導体層を用いてもよいし、絶縁層として層間膜（絶縁膜）を用いて導電層として配線層及び透明電極層を用いてもよい。ただし、容量素子４０１は、導電膜としてゲート電極層及び配線層を用いる場合、ゲート電極層を第１のトランジスタ１０１のゲート電極と接続し、配線層を第１のトランジスタ１０１の第２の電極と接続するとよい。より望ましくは、導電膜としてゲート電極層及び配線層を用いる場合、ゲート電極層を第１のトランジスタ１０１のゲート電極と直接接続し、配線層を第１のトランジスタ１０１の第２の電極と直接接続するとよい。なぜなら、容量素子４０１の配置によるフリップフロップのレイアウト面積の増加が小さくなるからである。
【０１０６】
別の例として、図４（Ｃ）に示すフリップフロップは、第１のトランジスタ１０１の第１の電極を第１の配線１２１に接続することで（第１のトランジスタ１０１をダイオード接続することで）、第８の配線１２８が不必要になり、配線及び電源（Ｖ１）を１つ減らすことができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。
【０１０７】
別の例として、図４（Ｄ）に示すフリップフロップは、第３のトランジスタ１０３の代わりに抵抗素子４０３を用いることで、配線及び電源を１つ減らすことができる。さらに、図４（Ｄ）のフリップフロップは、第２の非選択期間においてノード１４２の電位を第６の配線１２６の電位（Ｖ１）と等しくできるので、駆動能力の向上を図ることができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。
【０１０８】

別の例として、図７（Ａ）に示すフリップフロップは、第２のトランジスタ１０２のゲート電極を任意の信号が入力される配線７１１に接続することで、第２のトランジスタ１０２のゲート電極に逆バイアスを印加できる。さらに、第２のトランジスタ１０２のＶｇｓを小さくできる。したがって、第２のトランジスタ１０２のしきい値シフトをさらに抑制することができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１０９】

別の例として、図７（Ｂ）に示すフリップフロップは、第２のトランジスタ１０２のゲート電極が第６の配線１２６に接続されることで、セット期間においても第２のトランジスタ１０２をオンできるため、駆動能力の向上を図ることができる。さらに、第３の配線１２３のノイズの低減を図ることができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１１０】

別の例として図７（Ｃ）に示すフリップフロップは、第３のトランジスタ１０３の代わりに、ダイオード接続のトランジスタ７０１及びダイオード接続のトランジスタ７０２を用いることで、配線及び電源を１つ減らすことができる。トランジスタ７０１の第１の電極、トランジスタ７０２の第２の電極及びトランジスタ７０１のゲート電極が第６の配線１２６に接続され、トランジスタ７０１の第２の電極、トランジスタ７０２の第２の電極及びトランジスタ７０２のゲート電極がノード１４１に接続される。つまり、第６の配線１２６とノード１４１との間に２つの逆向きのダイオードが並列に接続される。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１１１】

別の例として、図２１（Ａ）に示すように、第６のトランジスタ１０６は必ずしも必要ではない。なぜなら、第６のトランジスタ１０６は、非選択期間においてノード１４１の電位をＬレベルに維持することができれば、必ずしも必要ではないからである。よって、図２１（Ａ）のフリップフロップは、トランジスタ数を減らすことができるため、レイアウト面積の縮小などのメリットを得ることができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１１２】

別の例として、図２１（Ｂ）に示すように、第４のトランジスタ１０４の代わりに、第８のトランジスタ２１０８を用いてもよい。第８のトランジスタ２１０８の第１の電極が第１２の配線２１３２に接続され、第８のトランジスタ２１０８の第２の電極がノード１４２に接続され、第８のトランジスタ２１０８のゲート電極が第１の配線１２１に接続される。さらに、第１２の配線２１３２にはＶ２が供給される。こうすることで、図２１（Ｂ）のフリップフロップは、スタート信号によって第８のトランジスタ２１０８のオン・オフが制御されるため、セット期間においてノード１４２の電位の立ち下がり時間を短くすることができ、かつ、第２のトランジスタ１０２及び第６のトランジスタ１０６がオフする時間も早くすることができる。さらに、図２１（Ｂ）のフリップフロップは、第６のトランジスタ１０６がオフする時間が早くなるため、セット期間においてノード１４１の電位の立ち上がり時間を短くすることができる。こうして、図２１（Ｂ）のフリップフロップは、フリップフロップの駆動能力の向上を図ることができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１１３】

なお、第８の配線１２８は、第４の配線１２４、第９の配線１２９、第１０の配線１３０又は第１１の配線１３１に接続されていてもよい。

【０１１４】

別の例として、図２１（Ｃ）に示すように、第８のトランジスタ２１０８を追加してもよい。第８のトランジスタ２１０８は、スタート信号がＨレベルの場合にノード１４２の電位をＬレベルにできればよいので、トランジスタサイズを小さくできる。さらに、図２２（Ｃ）のフリップフロップは、スタート信号によって第８のトランジスタ２１０８のオン

・オフが制御されるので、図２２（Ｂ）のフリップフロップと同様に、フリップフロップの駆動能力の向上を図ることができる。なお、図１、図２１（Ｂ）の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１１５】

なお、図１と同様の動作を行うものであれば、各配線の接続関係は図１に限定されない。図１のフリップフロップの動作を説明した図３から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、第１の非選択期間及び第２の非選択期間は、それぞれ図３（Ａ）乃至（Ｅ）に示す実線のように導通がとれていればよい。よって、これを満たすように各配線が配置又は接続されていればよい。

【０１１６】

例えば、図５（Ａ）に示すように、第２のトランジスタ１０２の第１の電極、第４のトランジスタ１０４の第１の電極、第６のトランジスタ１０６の第１の電極及び第７のトランジスタ１０７の第１の電極が第６の配線５０６に接続されていてもよい。さらに、第３のトランジスタ１０３の第１の電極及び第５のトランジスタ１０５の第１の電極が第７の配線５０７に接続されていてもよい。こうして、図５（Ａ）のフリップフロップは、図１のフリップフロップに比べて、配線数を１１本から７本に減らすことができる。さらに、図５（Ａ）のフリップフロップは、配線数が減ることによって、シフトレジスタの歩留まりの向上を図ることができる。さらに、図５（Ａ）のフリップフロップは、配線の引き回し面積を小さくでき、シフトレジスタのレイアウト面積の縮小を図ることができる。さらに、図５（Ａ）のフリップフロップは、各配線の幅を大きくできるため電圧降下を小さくでき、シフトレジスタの駆動能力の向上を図ることができる。なお、図１の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１１７】

なお、図５（Ａ）に示す第６の配線５０６は、図１に示した第４の配線１２４、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１に相当する。さらに、図５（Ａ）に示す第７の配線１２７は、図１に示した第７の配線１２７及び第８の配線１２８に相当する。さらに、図５（Ａ）に示す第１の配線５０１、第２の配線５０２、第３の配線５０３、第４の配線５０４及び第５の配線５０５は、それぞれ図１に示した第１の配線１２１、第２の配線１２２、第３の配線１２３、第５の配線１２５、第６の配線１２６に相当する。

【０１１８】

なお、第６の配線５０６及び第７の配線５０７を、それぞれ第１の電源線、第２の電源線と呼んでもよい。さらに、第１の配線５０１、第２の配線５０２、第３の配線５０３、第４の配線５０４及び第５の配線５０５を、それぞれ第１の信号線、第２の信号線、第３の信号線、第４の信号線、第５の信号線と呼んでもよい。

【０１１９】

別の例として、図５（Ｂ）に示すように、第４のトランジスタ１０４の第１の電極が第８の配線５０８に接続されてもよい。図５（Ｂ）のフリップフロップは、セット期間において第４のトランジスタ１０４に生じる瞬間電流を第８の配線５０８に流すことで、第６の配線５０６の電圧降下による誤動作を抑制することができる。なお、図１及び図５（Ａ）の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１２０】

別の例として、図５（Ｃ）に示すように、第２のトランジスタ１０２の第１の電極が第９の配線５０９に接続されてもよい。図５（Ｂ）のフリップフロップは、リセット期間において第２のトランジスタ１０２に生じる瞬間電流を第９の配線５０９に流すことで、第６の配線５０６の電圧降下による誤動作を抑制することができる。なお、図１及び図５（Ａ）の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１２１】

別の例として、図５（Ｄ）に示すように、第３のトランジスタ１０３のゲート電極が第１０の配線５１０に接続されてもよい。図５（Ｄ）のフリップフロップは、第１０の配線５

１０にＶ１よりも低い電位を供給すれば、第２の非選択期間において第２のトランジスタ１０２のゲート電極の電位及び第６のトランジスタ１０６のゲート電極の電位が下がるため、第２のトランジスタ１０２及び第６のトランジスタ１０６の特性劣化を抑制することができる。なお、図１及び図５（Ａ）の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１２２】

なお、図１と同様の動作を行うものであれば、電源電位、信号振幅及び信号タイミングは図２のタイミングチャートに限定されない。図１のフリップフロップの動作を説明した図３から分かるように、本実施の形態では、セット期間、選択期間、リセット期間、第１の非選択期間及び第２の非選択期間は、それぞれ図３（Ａ）乃至（Ｅ）に示す実線のように導通がとれていればよい。よって、これを満たすように電源電位、信号振幅及び信号タイミングを変えてもよい。

【０１２３】

例えば、図６のタイミングチャートに示すように、第１の配線１２１、第５の配線１２５、第６の配線１２６にＨ信号を入力する期間を短くしてもよい。図６は、図２のタイミングチャートと比較して、信号がＬレベルからＨレベルに切り替わるタイミングが期間Ｔａ１だけ遅延し、信号がＨレベルからＬレベルに切り替わるタイミングが期間Ｔａ２だけ早くなっている。つまり、図６は、図２と比較して、信号がＨレベルとなる期間（期間Ｔｂ）が期間Ｔａ１＋期間Ｔａ２だけ短くなっている。したがって、図６のタイミングチャートを適用したフリップフロップは、各配線の瞬間電流が小さくなるため、省電力化、誤動作の抑制、駆動能力の向上などを図ることができる。さらに、図６のタイミングチャートを適用したフリップフロップは、リセット期間において、第３の配線１２３から出力される信号の立ち下がり時間を短くできる。。なぜなら、ノード１４１の電位がＬレベルとなるタイミングが期間Ｔａ１＋期間Ｔａ２だけ遅延するので、第５の配線１２５に入力されているＬ信号が電流能力の大きい（チャネル幅が大きい）第１のトランジスタ１０１を介して第３の配線１２３に供給されるからである。なお、図２のタイミングチャートと共通するところは共通の符号を用いてその説明を省略する。

【０１２４】

なお、期間Ｔａ１、期間Ｔａ２及び期間Ｔｂの関係は、（（Ｔａ１＋Ｔｂ）／（Ｔａ１＋Ｔａ２＋Ｔｂ））×１００＜１０［％］とすることが望ましい。より望ましくは、（（Ｔａ１＋Ｔｂ）／（Ｔａ１＋Ｔａ２＋Ｔｂ））×１００＜５［％］とすることが望ましい。さらに、期間Ｔａ１　期間Ｔａ２とすることが望ましい。

【０１２５】

別の例として、第７の配線１２７にＶａ（Ｖ２＜Ｖａ＜Ｖ１）を供給すると、リセット期間及び第２の非選択期間においてノード１４２の電位がＶａ－Ｖｔｈ（１０３）となるため、第２のトランジスタ１０２及び第６のトランジスタ１０６のしきい値電圧シフトを抑制することができる。

【０１２６】

別の例として、第７の配線１２７にＶｂ（Ｖ１＋Ｖｔｈ（１０３）＜Ｖｂ）を供給すると、リセット期間及び第２の非選択期間においてノード１４２の電位がＶ１となるため、第２のトランジスタ１０２及び第６のトランジスタ１０６をオンしやすくできる。

【０１２７】

別の例として、第６の配線１２６に入力されるＬ信号の電位をＶｃ（Ｖｃ＜Ｖ２）、Ｈ信号の電位をＶｄ（Ｖ１＞Ｖｄ＞Ｖ２）とすることで、第２のトランジスタ１０２及び第６のトランジスタ１０６のしきい値電圧シフトを抑制することができる。なぜなら、セット期間及び第１の非選択期間においてノード１４２の電位がＶｃとなって、第２のトランジスタ１０２及び第６のトランジスタ１０６に逆バイアスが印加されるからである。さらに、リセット期間及び第２の非選択期間においてノード１４２の電位がＶｄとなって、第２のトランジスタ１０２及び第６のトランジスタ１０６のＶｇｓが小さくなるからである。

【０１２８】

図５（Ａ）に示したフリップフロップの上面図の一例を図２５に示す。導電層２５０１は、第２のトランジスタ１０２のゲート電極、第６のトランジスタ１０６のゲート電極として機能する部分を含み、配線２５４７を介して導電層２５０２と接続される。導電層２５０２は、第３のトランジスタ１０３の第２の電極、第４のトランジスタ１０４の第２の電極として機能する部分を含む。導電層２５０３は、第２のトランジスタ１０２の第１の電極、第６のトランジスタ１０６の第１の電極、第４のトランジスタ１０４の第１の電極として機能する部分を含み、第６の配線５０６と接続される。導電層２５０４は、第２のトランジスタ１０２の第２の電極として機能する部分を含み、配線２５４８を介して第３の配線５０３と接続される。導電層２５０５は、第５のトランジスタ１０５の第２の電極、第７のトランジスタ１０７の第２の電極として機能する部分を含み、配線２５４９を介して導電層２５１０と接続される。導電層２５０６は、第７のトランジスタ１０７の第１の電極として機能する部分を含み、第６の配線５０６と接続される。導電層２５０７は、第１のトランジスタ１０１の第１の電極として機能する部分を含み、配線２５４１を介して第４の配線５０４と接続される。導電層２５０８は、第１のトランジスタ１０１の第２の電極として機能する部分を含み、配線２５４８を介して第３の配線５０３と接続される。導電層２５１０は、第１のトランジスタ１０１のゲート電極、第４のトランジスタ１０４のゲート電極として機能する部分を含む。導電層２５１１は、第７のトランジスタ１０７のゲート電極として機能する部分を含み、配線２５４６を介して第２の配線５０２と接続される。導電層２５１２は、第３のトランジスタ１０３のゲート電極として機能する部分を含み、配線２５４４を介して第７の配線５０７に接続される。導電層２５１３は、第３のトランジスタ１０３の第１の電極として機能する部分を含み、配線２５４３を介して第５の配線５０５と接続される。導電層２５１４は、第５のトランジスタ１０５のゲート電極として機能する部分を含み、配線２５４５を介して第１の配線５０１と接続される。導電層２５１５は、第６のトランジスタ１０６の第２の電極として機能する部分を含み、配線２５４７を介して導電層２５１０と接続される。

【０１２９】

なお、第１のトランジスタ１０１のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８１とが重なって形成される部分である。第２のトランジスタ１０２のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８２とが重なって形成される部分である。第３のトランジスタ１０３のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８３とが重なって形成される部分である。第４のトランジスタ１０４のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８４とが重なって形成される部分である。第５のトランジスタ１０５のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８５とが重なって形成される部分である。第６のトランジスタ１０６のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８６とが重なって形成される部分である。第７のトランジスタ１０７のゲート電極、第１の電極及び第２の電極として機能する部分は、それぞれを含む導電層と半導体層２５８７とが重なって形成される部分である。

【０１３０】

上述した本実施の形態のフリップフロップを有するシフトレジスタの構成及び駆動方法について説明する。

【０１３１】

本実施の形態のシフトレジスタの構成について図１０を参照して説明する。図１０のシフトレジスタは、ｎ個のフリップフロップ（フリップフロップ１００１＿１～フリップフロップ１００１＿ｎ）を有する。

【０１３２】

図１０のシフトレジスタの接続関係について説明する。図１０のシフトレジスタは、ｉ段目のフリップフロップ１００１＿ｉ（フリップフロップ１００１＿１～１００１＿ｎのう

ちいずれか一）は、第２の配線１０１２、第３の配線１０１３、第４の配線１０１４、第５の配線１０１５、第６の配線１０１６、第８の配線１０１８＿ｉ－１、第８の配線１０１８＿ｉ及び第８の配線１０１８＿ｉ＋１に接続される。ただし、１段目のフリップフロップ１００１＿１は、第１の配線１０１１、第２の配線１０１２、第３の配線１０１３、第４の配線１０１４、第５の配線１０１５、第６の配線１０１６、第８の配線１０１８＿１及び第８の配線１０１８＿２に接続される。さらに、ｎ段目のフリップフロップ１００１＿ｎは、第２の配線１０１２、第３の配線１０１３、第４の配線１０１４、第５の配線１０１５、第６の配線１０１６、第７の配線１０１７、第８の配線１０１８＿ｎ－１及び第８の配線１０１８＿ｎに接続される。

【０１３３】

第１の配線１０１１は、フリップフロップ１００１＿１の図１に示す第１の配線１２１に接続される。第２の配線１０１２は、奇数段目のフリップフロップでは図１に示す第５の配線１２５に接続され、偶数段目のフリップフロップでは図１に示す第６の配線１２６に接続される。第３の配線１０１３は、奇数段目のフリップフロップでは図１に示す第６の配線１２６に接続され、偶数段目のフリップフロップでは図１に示す第５の配線１２５に接続される。第４の配線１０１４は、全段のフリップフロップで図１に示す第７の配線１２７に接続される。第５の配線１０１５は、全段のフリップフロップで図１に示す第８の配線１２８に接続される。第６の配線１０１６は、全段のフリップフロップで図１に示す第４の配線１２４、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１に接続される。第８の配線１０１８＿ｉは、フリップフロップ１００１＿ｉ－１の図１に示す第２の配線１２２、フリップフロップ１００１＿ｉの図１に示す第３の配線１２３及びフリップフロップ１００１＿ｉ＋１の図１に示す第１の配線１２１に接続される。ただし、第８の配線１０１８＿１は、フリップフロップ１００１＿１の図１に示す第３の配線１２３及びフリップフロップ１００１＿２の図１に示す第１の配線１２１に接続される。さらに、第８の配線１０１８＿ｎは、フリップフロップ１００１＿ｎ－１の図１に示す第２の配線１２２及びフリップフロップ１００１＿ｎの図１に示す第３の配線１２３に接続される。

【０１３４】

なお、第４の配線１０１４及び第５の配線１０１５にはそれぞれＶ１の電位が供給され、第６の配線１０１６にはＶ２の電位が供給される。

【０１３５】

なお、第１の配線１０１１、第２の配線１０１２、第３の配線１０１３及び第７の配線１０１７にはそれぞれ信号が入力される。第１の配線１０１１に入力される信号はスタート信号であり、第２の配線１０１２に入力される信号は第１のクロック信号であり、第３の配線１０１３に入力される信号は第２のクロック信号であり、第７の配線１０１７に入力される信号はリセット信号である。さらに、第１の配線１０１１、第２の配線１０１２、第３の配線１０１３及び第７の配線１０１７にそれぞれ入力される信号は、Ｈ信号の電位がＶ１、Ｌ信号の電位がＶ２のデジタル信号である。

【０１３６】

なお、第１の配線１０１１～第７の配線１０１７には、様々な信号、電源電位又は電流が入力されてもよい。

【０１３７】

なお、第８の配線１０１８＿１～第８の配線１０１８＿ｎからは信号が出力される。例えば、第８の配線１０１８＿ｉから出力される信号は、フリップフロップ１００１＿ｉの出力信号となる。さらに、第８の配線１０１８＿ｉから出力される信号は、フリップフロップ１００１＿ｉ＋１のスタート信号及びフリップフロップ１００１＿ｉ－１のリセット信号でもある。

【０１３８】

なお、第１の配線１０１１乃至第７の配線１０１７に入力される信号又は供給される電圧が同じ場合には、第１の配線１０１１乃至第７の配線１０１７それぞれは接続されてもよ

いし、同一の配線としてもよい。

【０１３９】

次に、図１０に示したシフトレジスタの動作について、図１１のタイミングチャート及び図１２のタイミングチャートを参照して説明する。ここで、図１１のタイミングチャートは、走査期間と帰線期間とに分割されている。走査期間は、第８の配線１０１８＿１からの選択信号の出力が開始して第８の配線１０１８＿ｎからの選択信号の出力が終了するまでの期間である。帰線期間は、第８の配線１０１８＿ｎからの選択信号の出力が終了して第８の配線１０１８＿１からの選択信号の出力が開始されるまでの期間である。

【０１４０】

なお、図１１において、第１の配線１０１１に入力される信号１１１１、第２の配線１０１２に入力される信号１１１２、第３の配線１０１３に入力される信号１１１３、第７の配線１０１７に入力される信号１１１７、第８の配線１０１８＿１に出力される信号第８の配線１０１８＿２及び第８の配線１０１８＿ｎに出力される信号１１１８＿ｎを示している。さらに、図１２において、第１の配線１０１１に入力される信号１２１１、第８の配線１０１８＿１に出力される信号１２１８＿１、第８の配線１０１８＿ｉに出力される信号１２１８＿ｉ、第８の配線１０１８＿ｉ＋１に出力される信号１２１８＿ｉ＋１及び第８の配線１０１８＿ｎに出力される信号１２１８＿ｎを示している。

【０１４１】

図１２に示すように、例えば、フリップフロップ１００１＿ｉが選択期間（になると、第８の配線１０１８＿ｉからＨ信号が出力される。このとき、フリップフロップ１００１＿ｉ＋１はセット期間となる。その後、フリップフロップ１００１＿ｉはリセット期間になって、第８の配線１０１８＿ｉからＬ信号が出力される。このとき、フリップフロップ１００１＿ｉ＋１は選択期間となる。その後、フリップフロップ１００１＿ｉは第１の非選択期間になって、第８の配線１０１８＿ｉが浮遊状態になって電位をＬレベルに維持する。このとき、フリップフロップ１００１＿ｉ＋１はリセット期間となる。その後、フリップフロップ１００１＿ｉは第２の非選択期間になって、第８の配線１０１８＿ｉからＬ信号が出力される。このとき、フリップフロップ１００１＿ｉ＋１は第１の非選択期間となる。こうして、フリップフロップ１００１＿ｉは、次のセット期間まで、第１の非選択期間及び第２の非選択期間を繰り返す。

【０１４２】

以上のことから、図１０のシフトレジスタは、選択信号を第８の配線１０１８＿１から順に第８の配線１０１８＿ｎまで出力することができる。つまり、図１０のシフトレジスタは、第８の配線１０１８＿１～第８の配線１０１８＿ｎを走査することができる。したがって、図１０のシフトレジスタは、シフトレジスタとしての機能を十分得ることができる。

【０１４３】

さらに、最終段のフリップフロップ１００１＿ｎに入力されるリセット信号は、第７の配線１０１７を介して入力されることを特徴とする。こうすることで、図１０のシフトレジスタは、ダミーのフリップフロップが必要なくなるため、レイアウト面積を縮小することができる。ただし、ダミーのフリップフロップが配置されていてもよい。

【０１４４】

さらに、図１０のシフトレジスタは、第１の配線１０１１に入力する信号のタイミングによって、自由に帰線期間を決定することができる。

【０１４５】

さらに、図１０のシフトレジスタは、本実施の形態に示したフリップフロップを適用することで、トランジスタのしきい値シフトの抑制を図ることができる。さらに、図１０のシフトレジスタは、長寿命化を図ることができる。さらに、図１０のシフトレジスタは、駆動能力の向上を図ることができる。さらに、誤作動の抑制を図ることができる。さらに、図１０のシフトレジスタは、工程の簡略化などを図ることができる。

【０１４６】

なお、図１０と同様の動作を行うものであれば、図１０の構成に限定されない。

【０１４７】

例えば、図１３に示すように、各フリップフロップの出力信号をそれぞれバッファを介して出力してもよい。図１３のシフトレジスタは、フリップフロップ１００１＿１～フリップフロップ１００１＿ｎがそれぞれバッファ１３０１＿１～バッファ１３０１＿ｎを介して第８の配線１０１８＿１～第８の配線１０１８＿ｎに接続されるため、広い駆動能力を得ることができる。なぜなら、第８の配線１０１８＿１～第８の配線１０１８＿ｎそれぞれに大きな負荷が接続されると、第８の配線１０１８＿１～第８の配線１０１８＿ｎそれぞれから出力される信号に遅延及びなまりが生じる。つまり、第８の配線１０１８＿１～第８の配線１０１８＿ｎそれぞれから出力される信号の遅延及びなまりがシフトレジスタの動作に影響しないからである。なお、図１０の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１４８】

なお、バッファ１３０１＿１～バッファ１３０１＿ｎそれぞれは、ＮＡＮＤ、ＮＯＲなどの論理回路や、オペアンプなどや、これらを組み合わせた回路を用いることができる。つまり、インバータ又はアナログバッファなどを用いることができる。さらに、バッファ１３０１＿１～バッファ１３０１＿ｎそれぞれは、フリップフロップがＮチャネル型トランジスタで構成されている場合、Ｎチャネル型トランジスタで構成されることが望ましい。さらに、バッファ１３０１＿１～バッファ１３０１＿ｎそれぞれは、ブートストラップ動作を行えるような構成にすることが望ましい。さらに、バッファ１３０１＿１～バッファ１３０１＿ｎそれぞれの駆動電圧（負電源と正電源との電位差）は、フリップフロップ１００１＿１～フリップフロップ１００１＿ｎそれぞれの駆動電圧よりも大きいほうが好ましい。

【０１４９】

ここで、図１３に示すシフトレジスタが有するバッファ１３０１＿１～バッファ１３０１＿ｎの一例について図１２３（Ａ）及び図１２３（Ｂ）を参照して説明する。図１２３（Ａ）に示すバッファ８０００は、配線８０１１と配線８０１２と間にインバータ８００１ａ、インバータ８００１ｂ、インバータ８００１ｃが接続されることで、配線８０１１に入力される信号の反転信号が配線８０１２から出力される。ただし、配線８０１１と配線８０１２と間に接続されるインバータの数に限定はなく、例えば配線８０１１と配線８０１２と間に偶数個のインバータが接続される場合は、配線８０１１に入力される信号と同じ極性の信号が配線８０１２から出力される。さらに、図１２３（Ｂ）のバッファ８１００に示すように、直列に接続されたインバータ８００２ａ、インバータ８００２ｂ及びインバータ８００２ｃと、直列に配置されたインバータ８００３ａ、インバータ８００３ｂ及びインバータ８００３ｃとが並列に接続されてもよい。図１２３（Ｂ）のバッファ８１００は、トランジスタの特性のバラツキを平均化できるため、配線８０１２から出力される信号の遅延及びなまりを低減できる。さらに、インバータ８００２ａ及びインバータ８００２ａの出力、並びにインバータ８００２ｂ及びインバータ８００２ｂの出力は、お互いに接続されてもよい。

【０１５０】

なお、図１２３（Ａ）において、インバータ８００１ａが有するトランジスタのＷ＜インバータ８００１ｂが有するトランジスタのＷ＜インバータ８００１ｃが有するトランジスタのＷとすることが好ましい。なぜなら、インバータ８００１ａのＷが小さいことで、フリップフロップの駆動能力（具体的には図１のトランジスタ１０１のＷ／Ｌの値）を小さくできるので、本実施の形態のシフトレジスタは、レイアウト面積を小さくできる。同様に、図１２３（Ｂ）において、インバータ８００２ａが有するトランジスタのＷ＜インバータ８００２ｂが有するトランジスタのＷ＜インバータ８００２ｃが有するトランジスタのＷとすることが好ましい。同様に、図１２３（Ｂ）において、インバータ８００３ａが有するトランジスタのＷ＜インバータ８００３ｂが有するトランジスタのＷ＜インバータ８００３ｃが有するトランジスタのＷとすることが好ましい。さらに、インバータ８００

２ａが有するトランジスタのＷ＝インバータ８００３ａが有するトランジスタのＷ、インバータ８００２ｂが有するトランジスタのＷ＝インバータ８００３ｂが有するトランジスタのＷ、インバータ８００２ｃが有するトランジスタのＷ＝インバータ８００３ｃが有するトランジスタのＷとすることが好ましい。

【０１５１】

なお、図１２３（Ａ）及び図１２３（Ｂ）に示すインバータとしては、入力された信号を反転して出力できるものであれば特に限定されない。例えば、図１２３（Ｃ）に示すように、第１のトランジスタ８２０１及び第２のトランジスタ８２０２によってインバータを構成してもよい。さらに、第１の配線には信号が入力され、第２の配線８２１２からは信号が出力され、第３の配線８２１３にはＶ１が供給され、第４の配線８２１４にはＶ２が供給される。図１２３（Ｃ）のインバータは、第１の配線８２１１にＨ信号を入力すると、Ｖ１－Ｖ２を第１のトランジスタ８２０１と第２のトランジスタ８２０２で分割した電位（第１のトランジスタ８２０１のＷ／Ｌ＜第２のトランジスタ８２０２のＷ／Ｌ）を、第２の配線８２１２から出力する。さらに、図１２３（Ｃ）のインバータは、第１の配線８２１１にＬ信号を入力すると、Ｖ１－Ｖｔｈ（８２０１）（Ｖｔｈ（８２０１）：第１のトランジスタ８２０１のしきい値電圧）を第２の配線８２１２から出力する。さらに、第１のトランジスタ８２０１は抵抗成分を有する素子であればＰＮ接合ダイオードでもよいし、単に抵抗素子としてもよい。

【０１５２】

さらに、図１２３（Ｄ）に示すように、第１のトランジスタ８３０１、第２のトランジスタ８３０２、第３のトランジスタ８３０３及び第４のトランジスタ８３０４によってインバータを構成してもよい。さらに、第１の配線８３１１には信号が入力され、第２の配線８３１２からは信号が出力され、第３の配線８３１３及び第５の配線８３１５にはＶ１が供給され、第４の配線８３１４及び第６の配線８３１６にはＶ２が供給される。図１２３（Ｄ）のインバータは、第１の配線８３１１にＨ信号を入力すると、Ｖ２を第２の配線８３１２から出力する。このとき、ノード８３４１は電位をＬレベルとするため第１のトランジスタ８３０１はオフする。さらに、図１２３（Ｄ）のインバータは、第１の配線８３１１にＬ信号を入力すると、Ｖ１を第２の配線８３１２から出力する。このとき、ノード８３４１の電位がＶ１－Ｖｔｈ（８３０３）（Ｖｔｈ（８３０３）：第３のトランジスタ８３０３のしきい値電圧）となると、ノード８３４１が浮遊状態となり、ノード８３４１の電位がブートストラップ動作によってＶ１＋Ｖｔｈ（８３０１）（Ｖｔｈ（８３０１）：第１のトランジスタ８３０１のしきい値電圧）よりも高くなるので、第１のトランジスタ８３０１はオンする。さらに、第１のトランジスタ８３０１はブートストラップ用トランジスタとして機能するため、第２の電極とゲート電極との間に容量素子が配置されてもよい。

【０１５３】

さらに、図２６（Ａ）に示すように、第１のトランジスタ８４０１、第２のトランジスタ８４０２、第３のトランジスタ８４０３及び第４のトランジスタ８４０４によってインバータを構成してもよい。図２６（Ａ）のインバータは、２入力型のインバータであり、ブートストラップ動作が可能である。さらに、第１の配線８４１１には信号が入力され、第２の配線８４１２には反転信号が入力され、第３の配線８４１３からは信号が出力され、第４の配線８４１４及び第６の配線８４１６にはＶ１が供給され、第５の配線８４１５及び第７の配線８４１７にはＶ２が供給される。図２６（Ａ）のインバータは、第１の配線８４１１にＬ信号、第２の配線８４１２にＨ信号を入力すると、Ｖ２を第３の配線８４１３から出力する。このとき、ノード８４４１の電位はＶ２となるため、第１のトランジスタ８４０１はオフする。さらに、図２６（Ａ）のインバータは、第１の配線８４１１にＨ信号、第２の配線８４１２にＬ信号を入力すると、Ｖ１を第３の配線８４１３から出力する。このとき、ノード８４４１の電位がＶ１－Ｖｔｈ（８４０３）（Ｖｔｈ（８４０３）：第３のトランジスタ８４０３のしきい値電圧）となると、ノード８４４１が浮遊状態となり、ノード８４４１の電位がブートストラップ動作によってＶ１＋Ｖｔｈ（８４０１）

（Ｖｔｈ（８４０１）：第１のトランジスタ８４０１のしきい値電圧）よりも高くなるので、第１のトランジスタ８４０１はオンする。さらに、第１のトランジスタ８４０１はブートストラップ用トランジスタとして機能するため、第２の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第１の配線８４１１及び第２の配線８４１２のうち一方には、図１に示す第３の配線１２３を接続し、他方には図１に示すノード１４２を接続するとよい。

【０１５４】

さらに、図２６（Ｂ）に示すように、第１のトランジスタ８５０１、第２のトランジスタ８５０２及び第３のトランジスタ８５０３によって、インバータを構成してもよい。図２６（Ｂ）のインバータは、２入力型のインバータであり、ブートストラップ動作が可能である。さらに、第１の配線８５１１には信号が入力され、第２の配線８５１２には反転信号が入力され、第３の配線８５１３からは信号が出力され、第４の配線８５１４及び第６の配線８５１６にはＶ２が供給され、第５の配線８５１５にはＶ２が供給される。図２６（Ｂ）のインバータは、第１の配線８５１１にＬ信号、第２の配線８５１２にＨ信号を入力すると、Ｖ２を第３の配線８５１３から出力する。このとき、ノード８５４１の電位はＶ２となるため、第１のトランジスタ８５０１はオフする。さらに、図２６（Ｂ）のインバータは、第１の配線８５１１にＨ信号、第２の配線８５１２にＬ信号を入力すると、Ｖ１を第３の配線８５１３から出力する。このとき、ノード８５４１の電位がＶ１－Ｖｔｈ（８５０３）（Ｖｔｈ（８５０３）：第３のトランジスタ８５０３のしきい値電圧）となると、ノード８５４１が浮遊状態となり、ノード８５４１の電位がブートストラップ動作によってＶ１＋Ｖｔｈ（８５０１）（Ｖｔｈ（８５０１）：第１のトランジスタ８５０１のしきい値電圧）よりも高くなるので、第１のトランジスタ８５０１はオンする。さらに、第１のトランジスタ８５０１はブートストラップ用トランジスタとして機能するため、第２の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第１の配線８５１１及び第２の配線８５１２のうち一方には、図１に示す第３の配線１２３を接続し、他方には図１に示すノード１４２を接続するとよい。

【０１５５】

さらに、図２６（Ｃ）に示すように、第１のトランジスタ８６０１、第２のトランジスタ８６０２、第３のトランジスタ８６０３及び第４のトランジスタ８６０４によってインバータを構成してもよい。図２６（Ｃ）のインバータは、２入力型のインバータであり、ブートストラップ動作が可能である。さらに、第１の配線８６１１には信号が入力され、第２の配線８６１２には反転信号が入力され、第３の配線８６１３からは信号が出力され、第４の配線８６１４にはＶ１が供給され、第５の配線８６１５及び第６の配線８６１６にはＶ２が供給される。図２６（Ａ）のインバータは、第１の配線８６１１にＬ信号、第２の配線８６１２にＨ信号を入力すると、Ｖ２を第３の配線８６１３から出力する。このとき、ノード８６４１の電位はＶ２となるため、第１のトランジスタ８６０１はオフする。さらに、図２６（Ｃ）のインバータは、第１の配線８６１１にＨ信号、第２の配線８６１２にＬ信号を入力すると、Ｖ１を第３の配線８６１３から出力する。このとき、ノード８６４１の電位がＶ１－Ｖｔｈ（８６０３）（Ｖｔｈ（８６０３）：第３のトランジスタ８６０３のしきい値電圧）となると、ノード８６４１が浮遊状態となり、ノード８６４１の電位がブートストラップ動作によってＶ１＋Ｖｔｈ（８６０１）（Ｖｔｈ（８６０１）：第１のトランジスタ８６０１のしきい値電圧）よりも高くなるので、第１のトランジスタ８６０１はオンする。さらに、第１のトランジスタ８６０１はブートストラップ用トランジスタとして機能するため、第２の電極とゲート電極との間に容量素子が配置されてもよい。さらに、第１の配線８６１１及び第２の配線８６１２のうち一方には、図１に示す第３の配線１２３を接続し、他方には図１に示すノード１４２を接続するとよい。

【０１５６】

別の例として、フリップフロップ１００１＿ｎに入力するリセット信号は、シフトレジスタの他の入力信号又は出力信号を用いることができる。つまり、フリップフロップ１００１＿ｎに入力するリセット信号をシフトレジスタ内部で生成することによって、一つの配

線及び一つの信号を削減できる。例えば、フリップフロップ１００１＿ｎが偶数段目の場合は、図１４に示すように、第８の配線１０１８＿１に接続されていてもよい。。別の例として、フリップフロップ１００１＿ｎが偶数段目の場合は、図１５に示すように、第１の配線１０１１に接続されていてもよい。別の例として、図１７に示すようにダミーのフリップフロップ１００１＿ｄを用いて、フリップフロップ１００１＿ｎに入力するリセット信号を生成してもよい。ダミーのフリップフロップ１００１＿ｄは、フリップフロップ１００１＿ｎ－１と同様のものを用いることができる。ただし、ダミーのフリップフロップ１００１＿ｄの図１に示す第２の配線１２２は、図１７の第６の配線１０１６に接続される。なお、図１０の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１５７】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置の構造及び駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【０１５８】

本実施の形態の表示装置の構成について図１８を参照して説明する。図１８の表示装置は、信号線駆動回路１８０１、走査線駆動回路１８０２及び画素部１８０４を有し、画素部１８０４には、信号線駆動回路１８０１から列方向に伸張して配置された複数の信号線Ｓ１～Ｓｍ、走査線駆動回路１８０２から行方向に伸張して配置された複数の走査線Ｇ１～Ｇｎ及び信号線Ｓ１～Ｓｍ並びに走査線Ｇ１～Ｇｎに対応してマトリクス状に配置された複数の画素１８０３を有する。そして、各画素１８０３は、信号線Ｓｊ（信号線Ｓ１～Ｓｍのうちいずれか一）、走査線Ｇｉ（走査線Ｇ１～Ｇｎのうちいずれか一）と接続される。さらに、走査線駆動回路１８０２を駆動回路と呼んでもよい。

【０１５９】

なお、走査線駆動回路１８０２として、本実施の形態のシフトレジスタを適用することができる。もちろん、信号線駆動回路１８０１にも本実施の形態のシフトレジスタを用いてもよい。

【０１６０】

なお、走査線Ｇ１～Ｇｎは、図１０、図１２、図１３、図１４、図１５及び図１７に示した第８の配線１８０８＿１～第８の配線１８０８＿ｎに接続される。

【０１６１】

なお、信号線及び走査線は、単に配線と呼んでもよい。さらに、信号線駆動回路１８０１及び走査線駆動回路１８０２は、それぞれを駆動回路と呼んでもよい。

【０１６２】

なお、画素１８０３は、少なくとも１つのスイッチング素子、１つの容量素子及び画素電極を有している。ただし、画素１８０３は、複数のスイッチング素子又は複数の容量素子を有していてもよい。さらに、容量素子は必ずしも必要ではない。さらに、画素１８０３は、さらに飽和領域で動作するトランジスタを有していてもよい。さらに、画素１８０３は、液晶素子又はＥＬ素子などの表示素子を有していてもよい。ここで、スイッチング素子として、トランジスタ及びＰＮ接合ダイオードを用いることができる。ただし、スイッチング素子としてトランジスタを用いる場合は、トランジスタが線形領域で動作することが望ましい。さらに、走査線駆動回路１８０２がＮチャネル型のトランジスタのみで構成される場合は、スイッチング素子としてＮチャネル型トランジスタを用いることが望ましい。さらに、走査線駆動回路１８０２がＰチャネル型のトランジスタのみで構成される場合は、スイッチング素子としてＰチャネル型トランジスタを用いることが望ましい。

【０１６３】

なお、走査線駆動回路１８０２及び画素部１８０４は絶縁基板１８０５上に形成され、信号線駆動回路１８０１は絶縁基板１８０５上に形成されない。信号線駆動回路１８０１は、単結晶基板上、ＳＯＩ基板上若しくは絶縁基板１８０５とは別の絶縁基板上に形成されている。そして、信号線駆動回路１８０１は、ＦＰＣなどのプリント基板を介して、信号線Ｓ１～Ｓｍと接続される。ただし、信号線駆動回路１８０１は絶縁基板１８０５上に形

成されていてもよいし、信号線駆動回路１８０１の一部の機能を構成する回路が絶縁基板１８０５上に形成されてもよい。

【０１６４】

なお、配線、電極、導電層、導電膜、端子などは、アルミニウム（Ａｌ）、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、ネオジウム（Ｎｄ）、クロム（Ｃｒ）、ニッケル（Ｎｉ）、白金（Ｐｔ）、金（Ａｕ）、銀（Ａｇ）、銅（Ｃｕ）、マグネシウム（Ｍｇ）、スカンジウム（Ｓｃ）、コバルト（Ｃｏ）、亜鉛（Ｚｎ）、ニオブ（Ｎｂ）、シリコン（Ｓｉ）、リン（Ｐ）、ボロン（Ｂ）、ヒ素（Ａｓ）、ガリウム（Ｇａ）、インジウム（Ｉｎ）、錫（Ｓｎ）、酸素（Ｏ）で構成された群から選ばれた一つもしくは複数の元素、または、前記群から選ばれた一つもしくは複数の元素を成分とする化合物、合金材料（例えば、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）、酸化珪素を含むインジウム錫酸化物（ＩＴＳＯ）、酸化亜鉛（ＺｎＯ）、アルミネオジウム（Ａｌ－Ｎｄ）、マグネシウム銀（Ｍｇ－Ａｇ）、モリブデンニオブ（Ｍｏ－Ｎｂ）など）で形成されることが望ましい。または、配線、電極、導電層、導電膜、端子などは、これらの化合物を組み合わせた物質などを有して形成されることが望ましい。もしくは、前記群から選ばれた一つもしくは複数の元素とシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）、前記群から選ばれた一つもしくは複数の元素と窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成されることが望ましい。

【０１６５】

なお、シリコン（Ｓｉ）には、ｎ型不純物（リンなど）またはｐ型不純物（ボロンなど）を含んでいてもよい。シリコンが不純物を含むことにより、導電率が向上できるる。あるいは、通常の導体と同様な振る舞いをすることが可能となる。従って、配線、電極などとして利用しやすくなる。

【０１６６】

なお、シリコンは、単結晶、多結晶（ポリシリコン）、微結晶（マイクロクリスタルシリコン）など、様々な結晶性を有するシリコンを用いることが出来る。あるいは、非晶質（アモルファスシリコン）などを用いることも出来る。単結晶シリコンまたは多結晶シリコンを用いることにより、配線、電極、導電層、導電膜、端子などの抵抗を小さくすることが出来る。非晶質シリコンまたは微結晶シリコンを用いることにより、簡単な工程で配線などを形成することが出来る。

【０１６７】

なお、アルミニウムまたは銀は、導電率が高いため、信号遅延を低減することができる。さらに、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。

【０１６８】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。銅を用いる場合は、密着性を向上させるため、積層構造にすることが望ましい。

【０１６９】

なお、モリブデンまたはチタンは、酸化物半導体（ＩＴＯ、ＩＺＯなど）またはシリコンと接触しても、不良を起こさない、エッチングしやすい、耐熱性が高いなどの利点を有するため、望ましい。

【０１７０】

なお、タングステンは、耐熱性が高いなどの利点を有するため、望ましい。

【０１７１】

なお、ネオジウムは、耐熱性が高いなどの利点を有するため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなる。

【０１７２】

なお、シリコンは、トランジスタが有する半導体層と同時に形成できる、耐熱性が高いな

どの利点を有するため、望ましい。

【０１７３】

なお、ＩＴＯ、ＩＺＯ、ＩＴＳＯ、酸化亜鉛（ＺｎＯ）、シリコン（Ｓｉ）、酸化錫（ＳｎＯ）は、透光性を有しているため、光を透過させる部分に用いることができる。たとえば、画素電極や共通電極として用いることができる。

【０１７４】

なお、配線、電極、導電層、導電膜、端子などは、単層構造でもよいし、多層構造になっていてもよい。単層構造にすることにより、配線、電極、導電層、導電膜、端子などの製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。あるいは、多層構造にすることにより、それぞれの材料のメリットを生かしつつ、デメリットを低減させ、性能の良い配線、電極などを形成することが出来る。たとえば、低抵抗材料（アルミニウムなど）を多層構造の中に含むことにより、配線の低抵抗化を図ることができる。また、低耐熱性の材料を、高耐熱性の材料で挟む積層構造にすることにより、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデン、チタン、ネオジウムなどを含む層で挟む積層構造にすると望ましい。

【０１７５】

また、配線、電極など同士が直接接する場合、お互いに悪影響を及ぼすことがある。例えば、一方の配線、電極などが他方の配線、電極など材料の中に入っていって、性質を変えてしまい、本来の目的を果たせなくなることがある。あるいは、高抵抗な部分を形成することがある。あるいは、製造するときに、問題が生じて、正常に製造できなくなることがある。そのような場合、積層構造により反応しやすい材料を、反応しにくい材料で挟んだり、覆ったりするとよい。例えば、ＩＴＯとアルミニウムとを接続させる場合は、ＩＴＯとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。また、シリコンとアルミニウムとを接続させる場合は、ＩＴＯとアルミニウムとの間に、チタン、モリブデン、ネオジウム合金を挟むことが望ましい。

【０１７６】

なお、配線とは、導電体が配置されているものを言う。線状に伸びていても良いし、伸びずに短く配置されていてもよい。したがって、電極は、配線に含まれている。

【０１７７】

なお、上記説明した配線や電極は、他の表示装置、シフトレジスタ及び画素にも適用することができる。

【０１７８】

なお、信号線駆動回路１８０１は、信号線Ｓ１～Ｓｍにビデオ信号として電圧又は電流を入力する。ただし、ビデオ信号はデジタル信号でもよいし、アナログ信号でもよい。さらに、ビデオ信号は、１フレームごとに正極・負極が反転してもよいし（フレーム反転駆動）、１行毎に正極・負極が反転してもよいし（ゲートライン反転駆動）、１列毎に正極・負極が反転してもよいし（ソースライン反転駆動）、１行及び１列毎に正極・負極が反転してもよい（ドットライン反転駆動）。さらに、ビデオ信号は、信号線Ｓ１～Ｓｍに点順次駆動で入力されてもよいし、線順次駆動で入力されてもよい。さらに、信号線駆動回路１８０１は、ビデオ信号だけでなくプリチャージ電圧などの一定電圧を信号線Ｓ１～Ｓｍに入力してもよい。プリチャージ電圧などの一定電圧は、１ゲート選択期間毎、１フレーム毎に入力することが望ましい。

【０１７９】

なお、走査線駆動回路１８０２は、走査線Ｇ１～Ｇｎに信号を入力し、走査線Ｇ１～Ｇｎを１行目から順に選択（以下、走査するともいう）する。そして、走査線駆動回路１８０２は、選択された走査線に接続される複数の画素１８０３を選択する。ここで、１つの走査線が選択されている期間を１ゲート選択期間と呼び、当該走査線が選択されていない期間を非選択期間と呼ぶ。さらに、走査線駆動回路１８０２が走査線に出力する信号を走査信号と呼ぶ。さらに、走査信号の最大値はビデオ信号の最大値又は信号線の最大電圧より

も大きく、走査信号の最小値はビデオ信号の最小値又は信号線の最小電圧よりも小さいことを特徴とする。

【０１８０】

なお、画素１８０３が選択されている場合には、信号線駆動回路１８０１から信号線を介して画素１８０３にビデオ信号が入力される。さらに、画素１８０３が選択されいない場合には、画素１８０３は選択期間に入力されたビデオ信号（ビデオ信号に対応した電位）を保持している。

【０１８１】

なお、図示はしないが、信号線駆動回路１８０１及び走査線駆動回路１８０２には、複数の電位及び複数の信号が供給されている。

【０１８２】

次に、図１８に示した表示装置の動作について、図１９のタイミングチャートを参照して説明する。さらに、図１９において、１画面分の画像を表示する期間に相当する１フレーム期間を示す。ただし、１フレーム期間は特に限定はしないが、画像を見る人がちらつき（フリッカー）を感じないように少なくとも１／６０秒以下とすることが好ましい。

【０１８３】

なお、図１９のタイミングチャートでは、１行目の走査線Ｇ１、ｉ行目の走査線Ｇｉ、ｉ＋１行目の走査線Ｇｉ＋１及びｎ行目の走査線Ｇｎがそれぞれ選択されるタイミングを示している。

【０１８４】

図１９において、例えばｉ行目の走査線Ｇｉが選択され、走査線Ｇｉに接続される複数の画素１８０３が選択される。そして、走査線Ｇｉに接続される複数の画素１８０３は、それぞれビデオ信号を入力し、ビデオ信号に応じた電位を保持する。その後、ｉ行目の走査線Ｇｉが非選択になって、ｉ＋１行目の走査線Ｇｉ＋１が選択され、走査線Ｇｉ＋１に接続される複数の画素１８０３が選択される。そして、走査線Ｇｉ＋１に接続される複数の画素１８０３は、それぞれビデオ信号を入力し、ビデオ信号に応じた電位を保持する。このように、１フレーム期間において、走査線Ｇ１から走査線Ｇｎまで順に選択され、各々の走査線に接続される画素１８０３も順に選択される。そして、各々の走査線に接続される複数の画素１８０３は、それぞれビデオ信号を入力し、ビデオ信号に応じた電位を保持する。

【０１８５】

以上のことから、図１８の表示装置は、全画素に独立してビデオ信号を入力することができるため、アクティブマトリクス型表示装置としての機能を十分に得ることができる。

【０１８６】

さらに、図１８の表示装置は、走査線駆動回路１８０２として本実施の形態のシフトレジスタを用いるため、トランジスタのしきい値シフトの抑制を図ることが出来る。図１８の表示装置は、長寿命化を図ることができる。図１８の表示装置は、駆動能力の向上を図ることができる。図１８の表示装置は、誤動作を抑制できる。図１８の表示装置は、工程の簡略化を図ることができる。

【０１８７】

さらに、図１８の表示装置は、高速動作が必要な信号線駆動回路１８０１と、走査線駆動回路１８０２及び画素１８０３とを別々の基板上に形成するため、走査線駆動回路１８０２が有するトランジスタの半導体層及び画素１８０３が有するトランジスタの半導体層として、アモルファスシリコンを用いることができる。したがって、製造工程の簡略化を図ることができ、製造コストの削減を図ることができる。さらに、図１８の表示装置は、歩留まりの向上を図ることができる。さらに、本実施の形態の表示装置は、大型化を図ることができる。あるいは、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０１８８】

なお、信号線駆動回路１８０１と、走査線駆動回路１８０２及び画素１８０３とを同一基

板上に形成する場合は、走査線駆動回路１８０２が有するトランジスタの半導体層及び画素１８０３が有するトランジスタの半導体層としてポリシリコンや多結晶シリコンを用いるとよい。

【０１８９】

なお、図１８のように、画素を選択し、画素に独立してビデオ信号を書き込むことができれば、各駆動回路の数や配置などは図１８に限定されない。

【０１９０】

例えば、図２０に示すように、走査線Ｇ１～走査線Ｇｎが第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂによって走査されてもよい。第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂは、図１８に示した走査線駆動回路１８０２と同様の構成であり、同じタイミングで走査線Ｇ１～走査線Ｇｎを走査する。さらに、第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂを、それぞれ第１の駆動回路、第２の駆動回路と呼んでもよい。

【０１９１】

図２０の表示装置は、第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂのうち一方に不良が生じても、走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂのうち他方が走査線Ｇ１～走査線Ｇｎを走査できるため、冗長性を持つことができる。さらに、図２０の表示装置は、第１の走査線駆動回路２００２ａの負荷（走査線の配線抵抗及び走査線の寄生容量）及び第２の走査線駆動回路２００２ｂの負荷を図１８に比べ半分程度にできるため、走査線Ｇ１～走査線Ｇｎに入力される信号（第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂの出力信号）の遅延及びなまりを低減できる。さらに、図２０の表示装置は、第１の走査線駆動回路２００２ａの負荷及び第２の走査線駆動回路２００２ｂの負荷が低減されるので、走査線Ｇ１～走査線Ｇｎを高速に走査することができる。さらに、走査線Ｇ１～走査線Ｇｎを高速に走査することができるので、パネルの大型化又はパネルの高精細化を可能にできる。さらに、図２０の表示装置が有するメリットは、第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂが有するトランジスタの半導体層にアモルファスシリコンを用いた場合に、さらに効果的である。なお、図１８の構成と共通するところは共通の符号を用いてその説明を省略する。

【０１９２】

別の例として、図８は、画素にビデオ信号を高速に書き込むことができる表示装置である。図８の表示装置は、奇数行目の画素１８０３には奇数列目の信号線からビデオ信号を入力し、偶数行目の画素１８０３には偶数列目の信号線からビデオ信号を入力する。さらに、図８の表示装置は、走査線Ｇ１～走査線Ｇｎのうち奇数段目の走査線が第１の走査線駆動回路８０２ａによって走査され、走査線Ｇ１～走査線Ｇｎのうち偶数段目の走査線が第２の走査線駆動回路８０２ｂによって走査される。さらに、第１の走査線駆動回路８０２ｂに入力されるスタート信号は、第１の走査線駆動回路８０２ａ入力されるスタート信号よりもクロック信号の１／４周期分遅延して入力される。

【０１９３】

なお、図８の表示装置は、１フレーム期間において各信号線に１列毎に正極のビデオ信号と負極のビデオ信号とを入力するだけで、ドット反転駆動をすることができる。さらに、図８の表示装置は、１フレーム期間毎に、各信号線に入力するビデオ信号の極性を反転することでフレーム反転駆動をすることができる。

【０１９４】

図８の表示装置の動作について、図９のタイミングチャートを参照して説明する。図９のタイミングチャートでは、１行目の走査線Ｇ１、ｉ－１行目の走査線Ｇｉ－１、ｉ行目の走査線Ｇｉ、ｉ＋１行目の走査線Ｇｉ＋１及びｎ行目の走査線Ｇｎがそれぞれ選択されるタイミングを示している。さらに、図９のタイミングチャートでは、１つの選択期間を選択期間ａと選択期間ｂとに分割している。さらに、図９のタイミングチャートでは、図８の表示装置がドット反転駆動及びフレーム反転駆動を行う場合について説明する。

【０１９５】
図９において、例えばｉ行目の走査線Ｇｉの選択期間ａは、ｉ－１行目の走査線Ｇｉ－１の選択期間ｂと重なっており、ｉ行目の走査線Ｇｉの選択期間Ｔｂは、ｉ＋１行目の走査線Ｇｉ＋１の選択期間ａと重なっている。したがって、選択期間ａにおいて、ｉ－１行・ｊ＋１列目の画素１８０３に入力されるビデオ信号と同様なものが、ｉ行ｊ列目の画素１８０３に入力される。さらに、選択期間ｂにおいて、ｉ行ｊ列目の画素１８０３に入力されるビデオ信号と同様なものが、ｉ＋１行・ｊ＋１列目の画素１８０３に入力される。なお、選択期間ｂにおいて画素１８０３に入力されるビデオ信号が本来のビデオ信号であり、選択期間ａにおいて画素１８０３に入力されるビデオ信号が画素１８０３のプリチャージ用のビデオ信号である。したがって、画素１８０３それぞれは、選択期間ａにおいてｉ－１行・ｊ＋１列目の画素１８０３に入力されるビデオ信号によってプリチャージしたあとに、選択期間ｂにおいて本来（ｉ行・ｊ列目）のビデオ信号を入力する。
【０１９６】
以上のことから、図８の表示装置は、画素１８０３に高速にビデオ信号を書き込むことができるため、大型化、又は高精細化を容易に実現することができる。さらに、図８の表示装置は、１フレーム期間において信号線各々は同じ極性のビデオ信号が入力されるため、各信号線の充放電が少なく、低消費電力化を実現できる。さらに、図８の表示装置は、ビデオ信号を供給するためのＩＣの負荷が大幅に低減されるため、ＩＣの発熱及びＩＣの消費電力などを低減することができる。さらに、図８の表示装置は、第１の走査線駆動回路８０２ａ及び第２の走査線駆動回路８０２ｂの駆動周波数を約半分にできる。
【０１９７】
なお、本実施の形態の表示装置は、画素１８０３の構成及び駆動方法によって、様々な駆動方法を行うことができる。例えば、１フレーム期間において、走査線駆動回路は、走査線を複数回走査してもよい。
【０１９８】
なお、図８、図１８及び図２０の表示装置は、画素１８０３の構成によって別の配線などを追加してもよい。例えば、一定の電位に保たれている電源線、容量線及び新たな走査線などを追加してもよい。ただし、新たに走査線を追加する場合には、本実施の形態のシフトレジスタを適用した走査線駆動回路を新たに追加してもよい。別の例として、ダミーの走査線、信号線、電源線又は容量線が画素部に配置されていてもよい。
【０１９９】
なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０２００】
同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０２０１】
なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。
【０２０２】
（実施の形態２）
本実施の形態では、実施の形態１とは別のフリップフロップ、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明す

る。なお、実施の形態１と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０２０３】

本実施の形態のフリップフロップの構成は、実施の形態１と同様のフリップフロップの構成を用いることができる。ただ、フリップフロップを駆動するタイミングが実施の形態１とは異なる。よって、本実施の形態では、フリップフロップの構成の説明を省略する。

【０２０４】

なお、本実施の形態の駆動タイミングを図１のフリップフロップに適用した場合について説明するが、本実施の形態の駆動タイミングを図４（Ａ）、図４（Ｂ）、図４（Ｃ）、図４（Ｄ）、図５（Ａ）、図５（Ｂ）、図５（Ｃ）、図５（Ｄ）、図７（Ａ）、図７（Ｂ）図７（Ｃ）、図２１（Ａ）、図２１（Ｂ）、又は図２１（Ｃ）のフリップフロップと自由に組み合わせて実施することもできる。さらに、本実施の形態の駆動タイミングは、実施の形態１に記載の駆動タイミングと自由に組み合わせて実施することもできる。

【０２０５】

次に、本実施の形態のフリップフロップの動作について、図１のフリップフロップ及び図３１のタイミングチャートを参照して説明する。さらに、図３１タイミングチャートを選択期間及び非選択期間に分割して説明する。さらに、非選択期間は、第１の非選択期間、第２の非選択期間、セット期間ａ、セット期間ｂ及びリセット期間に分割して説明する。さらに、選択期間は、選択期間ａ及び選択期間ｂに分割して説明する。さらに、非選択期間において、セット期間ａ、セット期間ｂ、選択期間ａ、選択期間ｂ及びリセット期間を除く動作期間は、第１の非選択期間及び第２の非選択期間を繰り返す。

【０２０６】

なお、図３１において、信号３１２１、信号３１２５、信号３１２６、電位３１４１、電位３１４２、信号３１２２及び信号３１２３は、それぞれ第１の配線１２１に入力される信号、第５の配線１２５に入力される信号、第６の配線１２６に入力される信号、ノード１４１の電位、ノード１４２の電位、第２の配線１２２に入力される信号、第３の配線１２３から出力される信号を示している。

【０２０７】

なお、信号３１２１、信号３１２５、信号３１２６、電位３１４１、電位３１４２、信号３１２２及び信号３１２３は、図２に示した信号２２１、信号２２５、信号２２６、電位２４１、電位２４２、信号２２２及び信号２２３に対応しており、同様の特徴を有している。

【０２０８】

なお、本実施の形態のフリップフロップは、基本的には実施の形態１で説明したフリップフロップと同様の動作を行う。ただし、本実施の形態のフリップフロップは、第１の配線１２１にＨ信号が入力されるタイミングがクロック信号の１／４周期分遅延しているところが、実施の形態１のフリップフロップと異なる。

【０２０９】

なお、本実施の形態のフリップフロップは、第１の非選択期間及び第２の非選択期間において、実施の形態１で説明したフリップフロップの第１の非選択期間及び第２の非選択期間と同様の動作を行う。さらに、本実施の形態のフリップフロップは、セット期間ａにおいて、第２の非選択期間と同様の動作を行う。さらに、本実施の形態のフリップフロップは、リセット期間において、実施の形態１で説明したフリップフロップのリセット期間と同様の動作を行う。さらに、本実施の形態のフリップフロップは、選択期間ａ及び選択期間ｂにおいて、実施の形態１で説明したフリップフロップの選択期間と同様の動作を行う。ただし、本実施の形態のフリップフロップは、選択期間ａにおいて第１の配線１２１にＨ信号が入力されるとこが、実施の形態１のフリップフロップと異なる。しかし、選択期間ａにおいて第１の配線１２１にＨ信号が入力されても、第５のトランジスタ１０５はオフしているので、本実施の形態の動作にはほとんど影響しない。したがって、セット期間ａ、セット期間ｂ、選択期間ａ、選択期間ｂ、リセット期間、第１の非選択期間及び第２

の非選択期間での、本実施の形態のフリップフロップの詳細な説明を省略する。

【０２１０】

なお、本実施の形態のフリップフロップは、実施の形態１に示したフリップフロップと同様に、レイアウト面積の縮小を図ることができる。さらに本実施の形態のフリップフロップは、トランジスタのしきい値シフトの抑制を図ることができる。さらに、本実施の形態のフリップフロップは、工程の簡略化を図ることができる。

【０２１１】

なお、本実施の形態のフリップフロップに図３２に示したタイミングチャートを適用することで、本実施の形態のフリップフロップは出力信号の立ち下がり時間を大幅に短くすることができる。なぜなら、信号３１２２（リセット信号）がＨレベルになるタイミングをずらすことで、第１のトランジスタ１０１を介して第３の配線１２３にＬ信号を入力できるからである。

【０２１２】

続いて、上述した本実施の形態のフリップフロップを有するシフトレジスタの構成及び駆動方法について説明する。

【０２１３】

本実施の形態のシフトレジスタの構成について図３３を参照して説明する。図３３のシフトレジスタは、ｎ個のフリップフロップ（フリップフロップ３３０１＿１～フリップフロップ３３０１＿ｎ）を有する。

【０２１４】

図３３のシフトレジスタの接続関係について説明する。図３３のシフトレジスタは、ｉ段目のフリップフロップ３３０１＿ｉ（フリップフロップ３３０１＿１～３３０１＿ｎのうちいずれか一）のうち、４Ｎ－３（Ｎは１以上の自然数）段目のフリップフロップ３３０１＿４Ｎ－３、及び４Ｎ－１段目のフリップフロップ３３０１＿４Ｎ－１は、第２の配線３３１２、第４の配線３３１４、第６の配線３３１６、第７の配線３３１７、第８の配線３３１８、第１１の配線３３２１＿ｉ－１、第１１の配線３３２１＿ｉ、第１１の配線３３２１＿ｉ＋２に接続される。さらに、４Ｎ－２段目のフリップフロップ３３０１＿４Ｎ－２、及び４Ｎ段目のフリップフロップ３３０１＿４Ｎは、第３の配線３３１３、第５の配線３３１５、第６の配線３３１６、第７の配線３３１７、第８の配線３３１８、第１１の配線３３２１＿ｉ－１、第１１の配線３３２１＿ｉ、第１１の配線３３２１＿ｉ＋２に接続される。ただし、１段目のフリップフロップ３３０１＿１は、第１の配線３１１１、第２の配線３３１２、第４の配線３３１４、第６の配線３３１６、第７の配線３３１７、第８の配線３３１８、第１１の配線３３２１＿１、第１１の配線３３２１＿３に接続される。さらに、ｎ－１段目のフリップフロップ３１０１＿ｎ－１は、第２の配線３３１２、第４の配線３３１４、第６の配線３３１６、第７の配線３３１７、第８の配線３３１８、第１０の配線３３２０、第１１の配線３３２１＿ｎ－２、第１１の配線３３２１＿ｎ－１に接続される。さらに、ｎ段目のフリップフロップ３３０１＿ｎは、第３の配線３３１３、第５の配線３３１５、第６の配線３３１６、第７の配線３３１７、第８の配線３３１８、第９の配線３３１９、第１１の配線３３２１＿ｎ－１、第１１の配線３３２１＿ｎに接続される。

【０２１５】

第１の配線３３１１は、フリップフロップ３３０１＿１の図１に示す第１の配線１２１に接続される。第２の配線３３１２は、フリップフロップ３３０１＿４Ｎ－３では図１に示す第５の配線１２５に接続され、フリップフロップ３３０１＿４Ｎ－１では図１に示す第６の配線１２６に接続される。第３の配線３３１３は、フリップフロップ３３０１＿４Ｎ－２では図１に示す第５の配線１２５に接続され、フリップフロップ３３０１＿４Ｎでは図１に示す第６の配線１２６に接続される。第４の配線３３１４は、フリップフロップ３３０１＿４Ｎ－３では図１に示す第６の配線１２６に接続され、フリップフロップ３３０１＿４Ｎ－１では図１に示す第５の配線１２５に接続される。第５の配線３３１５は、フリップフロップ３３０１＿４Ｎ－２では図１に示す第６の配線１２６に接続され、フリッ

プフロップ３３０１＿４Ｎでは図１に示す第５の配線１２５に接続される。第６の配線３３０６は、全段のフリップフロップで図１に示す第７の配線１２７に接続される。第７の配線３３１７は、全段のフリップフロップで図１に示す第８の配線１２８に接続される。第８の配線３３１８、全段のフリップフロップで図１に示す第４の配線１２４、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１に接続される。第９の配線３３１９は、フリップフロップ３３０１＿ｎの図１に示す第２の配線１２２に接続される。第１０の配線３１２０は、フリップフロップ３３０１＿ｎ－１の図１に示す第２の配線１２２に接続される。第１１の配線３３２１＿ｉは、フリップフロップ３３０１＿ｉ－２の図１に示す第２の配線１２２、フリップフロップ３３０１＿ｉの図１に示す第３の配線１２３、及びフリップフロップ３３０１＿ｉ＋１の図１に示す第１の配線１２１に接続される。ただし、第１１の配線３３２１＿１は、フリップフロップ３３０１＿１の図１に示す第３の配線１２３、及びフリップフロップ３３０１＿２の図１に示す第１の配線１２１に接続される。さらに、第１１の配線３３２１＿２は、フリップフロップ３３０１＿２の図１に示す第３の配線１２３、及びフリップフロップ３３０１＿３の図１に示す第１の配線１２１に接続される。さらに、第１１の配線３３２１＿ｎは、フリップフロップ３３０１＿ｎの図１に示す第３の配線１２３に接続される。

【０２１６】

なお、第６の配線３３１６及び第７の配線３３１７にはそれぞれＶ１の電位が供給され、第８の配線３３１８にはＶ２の電位が供給される。

【０２１７】

なお、第１の配線３３１１、第２の配線３３１２、第３の配線３３１４、第５の配線３３１５、第９の配線３３１９及び第１０の配線３３２０にはそれぞれ信号が入力される。第１の配線３３１１に入力される信号はスタート信号であり、第２の配線３３１２に入力される信号は第１のクロック信号であり、第３の配線３３１３に入力される信号は第２のクロック信号であり、第４の配線３３１４に入力される信号は第３のクロック信号であり、第５の配線３３１５に入力される信号は第４のクロック信号であり、第９の配線３３１９に入力される信号は第１のリセット信号であり、第１０の配線３３２０に入力される信号は第２のリセット信号である。さらに、第１の配線３３１１、第２の配線３３１２、第３の配線３３１４、第５の配線３３１５、第９の配線３３１９及び第１０の配線３３２０にそれぞれ入力される信号は、Ｈ信号の電位がＶ１、Ｌ信号の電位がＶ２のデジタル信号である。

【０２１８】

なお、第１の配線３３１１～第１０の配線３３２０には、、それぞれ様々な信号、電流又は電圧が入力されてもよい。

【０２１９】

なお、第１１の配線３３２１＿１～第１１の配線３３２１＿ｎからは信号が出力される。例えば、第１１の配線３３２１＿ｉから出力される信号は、フリップフロップ３３０１＿ｉの出力信号となる。さらに、第１１の配線３３２１＿ｉから出力される信号は、フリップフロップ３３０１＿ｉ＋１の入力信号及びフリップフロップ３３０１＿ｉ－２のリセット信号でもある。

【０２２０】

次に、図３３に示したシフトレジスタの動作について、図３５のタイミングチャート及び図３６のタイミングチャートを参照して説明する。ここで、図３５のタイミングチャートは、走査期間と帰線期間とに分割されている。走査期間は、第１１の配線３３１１＿１からの選択信号の出力が開始して第１１の配線３３１１＿ｎからの選択信号の出力が終了するまでの期間である。帰線期間は、第１１の配線３３１１＿ｎからの選択信号の出力が終了して第１１の配線３３１１＿１からの選択信号の出力が開始されるまでの期間である。

【０２２１】

なお、図３５において、第１の配線３３１１に入力される信号３５１１、第２の配線３３１２に入力される信号３５１２、第３の配線３３１３に入力される信号３５１３、第４の

配線３３１４に入力される信号３５１４、第５の配線３３１５に入力される信号３５１５、第９の配線３３１９に入力される信号３５１９、第１０の配線３３２０に入力される信号３５２０、第１１の配線３３２１＿１に出力される信号３５２１＿１及び第１１の配線３３２１＿ｎに出力される信号３５２１＿ｎを示している。さらに、図３６において、第１の配線３３１１に入力される信号３６１１、第１１の配線３３２１＿１に出力される信号３６２１＿１、第１１の配線３３２１＿ｉ－１に出力される信号３６２１＿ｉ－１、第１１の配線３３２１＿ｉに出力される信号３６２１＿ｉ、第１１の配線３３２１＿ｉ＋１に出力される信号３６２１＿ｉ＋１及び第１１の配線３３２１＿ｎに出力される信号３６２１＿ｎを示している。

【０２２２】

図３６に示すように、例えば、フリップフロップ３３０１＿ｉ－１が選択期間ａになると第１１の配線３３２１＿ｉ－１からＨ信号が出力される。このとき、フリップフロップ３３０１＿ｉはセット期間ａとなる。その後、フリップフロップ３３０１＿ｉ－１が選択期間ｂになって第１１の配線３３２１＿ｉ－１からＨ信号が出力されたままである。このとき、フリップフロップ３３０１＿ｉは選択期間ａとなる。その後、フリップフロップ３３０１＿ｉ－１がリセット期間になって第１１の配線３３２１＿ｉ－１からＨ信号が出力される。このとき、フリップフロップ３３０１＿ｉは選択期間ｂとなる。つまり、本実施の形態のシフトレジスタは、フリップフロップ３３０１＿ｉ－１から順にＨ信号が出力されるが、フリップフロップ３３０１＿ｉ－１の選択期間ｂと、フリップフロップ３３０１＿ｉが選択期間ａとが重なる期間を有する。

【０２２３】

なお、本明細書のフリップフロップに図３２のタイミングチャートを適用した場合は、シフトレジスタの構成を図３４に示すようにすればよい。図３４のシフトレジスタは、例えば、ｉ段目のフリップフロップ３３０１＿ｉの図１に示す配線１２２が第１１の配線３３２１＿ｉ＋３に接続される。さらに、フリップフロップ３３０１＿ｎ－２の図１に示す第２の配線１２２が第３のリセット信号が入力される第１２の配線３３２２に接続される。なお、図３３と共通するところは共通の符号を用いてその説明を省略する。

【０２２４】

なお、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを適用しているため、トランジスタのしきい値シフトの抑制、長寿命化、駆動能力の向上、誤作動の抑制、工程の簡略化などを図ることができる。

【０２２５】

なお、本実施の形態のシフトレジスタは、実施の形態１に記載のシフトレジスタと自由に組み合わせて実施できる。例えば、本実施の形態のシフトレジスタは、図１３、図１４、図１５、図１７のシフトレジスタと自由に組み合わせて実施できる。具体的には、本実施の形態のシフトレジスタは、第１１の配線３３２１＿１～第１１の配線３３２１＿ｎにバッファを接続してもよいし、リセット信号を内部で生成してもよいし、ダミーのフリップフロップを配置してもよい。なお、すでに述べたように、実施の形態１と共通するところは共通の符号を用いてその説明を省略する。

【０２２６】

続いて、上述した本実施の形態のシフトレジスタを有する表示装置の構成及び駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。

【０２２７】

本実施の形態の表示装置の構成について図１６を参照して説明する。図１６の表示装置は、走査線Ｇ１～走査線Ｇｎが走査線駆動回路１６０２によって走査される。さらに、図１６の表示装置は、奇数行目の画素１８０３には奇数行目の信号線からビデオ信号を入力し、偶数行目の画素１８０３には偶数行目の信号線からビデオ信号を入力する。なお、図１８の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２２８】

なお、図１６の表示装置は、走査線駆動回路１６０２に本実施の形態のシフトレジスタを適用することによって、図８の表示装置と同様の動作を１つの走査線駆動回路によって行うことができる。したがって、図１６の表示装置は、画素にビデオ信号を高速に書き込むことができる。さらに、図１６の表示装置は、大型化、又は高精細化を図ることができる。さらに、図１６の表示装置は、さらに、図１６の表示装置は、低消費電力化を図ることができる。さらに、図１６の表示装置は、ＩＣの発熱を抑制できる。さらに、図１６の表示装置は、、ＩＣの省電力化を図ることができる。

【０２２９】

なお、図２２に示すように、走査線Ｇ１～走査線Ｇｎが第１の走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂによって走査されてもよい。第１の走査線駆動回路２００２ａ及び第２の走査線駆動回路２００２ｂは、図１６に示した走査線駆動回路１６０２と同様の構成であり、同じタイミングで走査線Ｇ１～走査線Ｇｎを走査する。さらに、第１の走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂを、それぞれ第１の駆動回路、第２の駆動回路と呼んでもよい。

【０２３０】

図２２の表示装置は、第１の走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂのうち一方に不良が生じても、走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂのうち他方が走査線Ｇ１～走査線Ｇｎを走査できるため、冗長性を持つことができる。さらに、図２２の表示装置は、第１の走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂが走査線Ｇ１～走査線Ｇｎを走査するため、第１の走査線駆動回路２２０２ａの負荷（走査線の配線抵抗及び走査線の寄生容量）及び第２の走査線駆動回路２２０２ｂの負荷を図１８に比べ半分にすることができる。したがって、図２２の表示装置は、第１の走査線駆動回路２２０２ａの負荷及び第２の走査線駆動回路２２０２ｂの負荷が低減されるので、走査線Ｇ１～走査線Ｇｎに入力される信号（第１の走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂの出力信号）の遅延及びなまりを低減することができる。さらに、図２２の表示装置は、第１の走査線駆動回路２２０２ａの負荷及び第２の走査線駆動回路２２０２ｂの負荷が低減されるので、走査線Ｇ１～走査線Ｇｎを高速に走査することができる。さらに、走査線Ｇ１～走査線Ｇｎを高速に走査することができるので、パネルの大型化又はパネルの高精細化を可能にできる。さらに、図２２の表示装置が有するメリットは、第１の走査線駆動回路２２０２ａ及び第２の走査線駆動回路２２０２ｂが有するトランジスタの半導体層にアモルファスシリコンを用いた場合に、さらに効果的である。なお、図１６の構成と共通するところは共通の符号を用いてその説明を省略する。

【０２３１】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０２３２】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０２３３】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【０２３４】

（実施の形態３）
本実施の形態では、実施の形態１及び実施の形態２とは別のフリップフロップ、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。本実施の形態のフリップフロップは、フリップフロップの出力信号と、フリップフロップの転送信号とを、別々のトランジスタによって別々の配線から出力することを特徴とする。なお、実施の形態１及び実施の形態２と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。
【０２３５】
本実施の形態のフリップフロップの基本構成について、図２７を参照して説明する。図２７に示すフリップフロップは、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１０５、第６のトランジスタ１０６、第７のトランジスタ１０７、第８のトランジスタ１０８及び第９のトランジスタ１０９を有する。本実施の形態において、第８のトランジスタ１０８及び第９のトランジスタ１０９は、Ｎチャネル型トランジスタとし、ゲート及びソース間電圧（Ｖｇｓ）がしきい値電圧（Ｖｔｈ）を上回ったとき導通状態になるものとする。
【０２３６】
なお、図２７のフリップフロップは、図１のフリップフロップに第８のトランジスタ１０８及び第９のトランジスタ１０９を追加したものと同様である。したがって、第１のトランジスタ１０１、第２のトランジスタ１０２、第３のトランジスタ１０３、第４のトランジスタ１０４、第５のトランジスタ１０５、第６のトランジスタ１０６及び第７のトランジスタ１０７は、図１と同様のものを用いることができる。
【０２３７】
図２７のフリップフロップの接続関係について説明する。第１のトランジスタ１０１の第１の電極（ソース電極及びドレイン電極の一方）が第５の配線１２５に接続され、第１のトランジスタ１０１の第２の電極（ソース電極及びドレイン電極の他方）が第３の配線１２３に接続される。第２のトランジスタ１０２の第１の電極が第４の配線１２４に接続され、第２のトランジスタ１０２第２の電極が第３の配線１２３に接続される。第３のトランジスタ１０３の第１の電極が第６の配線１２６に接続され、第３のトランジスタ１０３の第２の電極が第２のトランジスタ１０２のゲート電極に接続され、第３のトランジスタ１０３のゲート電極が第７の配線１２７に接続される。第４のトランジスタ１０４の第１の電極が第９の配線１２９に接続され、第４のトランジスタ１０４の第２の電極が第２のトランジスタ１０２のゲート電極に接続され、第４のトランジスタ１０４のゲート電極が第１のトランジスタ１０１のゲート電極に接続される。第５のトランジスタ１０５の第１の電極が第８の配線１２８に接続され、第５のトランジスタ１０５の第２の電極が第１のトランジスタ１０１のゲート電極に接続され、第５のトランジスタ１０５のゲート電極が第１の配線１２１に接続される。第６のトランジスタ１０６の第１の電極が第１０の配線１３０に接続され、第６のトランジスタ１０６の第２の電極が第１のトランジスタ１０１のゲート電極に接続され、第６のトランジスタ１０６のゲート電極が第２のトランジスタ１０２のゲート電極に接続される。第７のトランジスタ１０７の第１の電極が第１１の配線１３１に接続され、第７のトランジスタ１０７の第２の電極が第１のトランジスタ１０１のゲート電極に接続され、第７のトランジスタ１０７のゲート電極が第２の配線１２２に接続される。第８のトランジスタ１０８の第１の電極が第１３の配線１３３に接続され、第８のトランジスタ１０８の第２の電極が第１２の配線に接続され、第８のトランジスタ１０８のゲート電極が第１のトランジスタ１０１のゲート電極に接続される。第９のトランジスタ１０９の第１の電極が第１４の配線１３４に接続され、第９のトランジスタ１０９の第２の電極が第１２の配線１３２に接続され、第９のトランジスタ１０９のゲート電極が第２のトランジスタ１０２のゲート電極に接続される。
【０２３８】
なお、第１２の配線１３２、第３の配線１３３を、それぞれ第６の信号線、第７の信号線と呼んでもよい。さらに、第１４の配線を第７の電源線と呼んでもよい。

【０２３９】
なお、第１４の配線１３４には、Ｖ２が供給される。
【０２４０】
なお、第１３の配線１３３には信号が入力される。第３の配線に入力される信号は、第５の配線１２５に入力される信号と同様なものを用いることができる。
【０２４１】
なお、第１２の配線１３２からは信号が出力される。さらに、実施の形態１で説明したように、第３の配線１２３からも信号が出力される。
【０２４２】
なお、第１の配線１２１、第２の配線１２２、第４の配線１２４、第５の配線１２５、第６の配線１２６、第７の配線１２７、第８の配線１２８、第９の配線１２９、第１０の配線１３０及び第１１の配線１３１それぞれに、入力される信号又は供給される電位は図１と同様である。
【０２４３】
なお、図２７のフリップフロップは、図１のフリップフロップに第８のトランジスタ１０８及び第９のトランジスタ１０９を追加した場合について示したが、図４（Ａ）、図４（Ｂ）、図４（Ｃ）、図４（Ｄ）、図５（Ａ）、図５（Ｂ）、図５（Ｃ）、図５（Ｄ）、図７（Ａ）、図７（Ｂ）、図７（Ｃ）、図２１（Ａ）、図２１（Ｂ）及び図２１（Ｃ）に示したフリップフロップに第８のトランジスタ１０８及び第９のトランジスタ１０９を追加してもよい。
【０２４４】
次に、図１に示したフリップフロップの動作について、図２８のタイミングチャートを参照して説明する。さらに、図２のタイミングチャートと共通するところは共通の符号を用いてその説明を省略する。
【０２４５】
なお、信号２３２は、第１２の配線１３２から出力される信号を示している。さらに、信号２２１、信号２２５、信号２２６、電位２４１、電位２４２、信号２２２及び信号２２３は、図２と同様である。ただし、信号２２１、信号２２５、信号２２６、電位２４１、電位２４２、信号２２２及び信号２２３として、図６、図３１又は図３２と同様なものを用いることもできる。
【０２４６】
本実施の形態では、すでに述べたように、フリップフロップの出力信号と、フリップフロップの転送信号とを、別々のトランジスタによって別々の配線から出力することを特徴とする。つまり、図２７のフリップフロップは、第１のトランジスタ１０１及び第２のトランジスタ１０２によって第３の配線１２３から信号を出力し、第８のトランジスタ１０８及び第９のトランジスタによって第１２の配線１３２から信号を出力する。さらに、第８のトランジスタ１０８及び第９のトランジスタは第１のトランジスタ１０１及び第２のトランジスタ１０２と同じように接続されるため、図２８に示すように第１２の配線１３２から出力される信号（信号２３２）は第３の配線１２３から出力される信号（信号２２３）とおおむね同じ波形である。ここでは、信号２３２をフリップフロップの出力信号とし、信号２２３をフリップフロップの転送信号とする。ただし、信号２２３をフリップフロップの出力信号、信号２３２をフリップフロップの転送信号としてもよい。
【０２４７】
なお、第８のトランジスタ１０８及び第９のトランジスタ１０９は、それぞれ第１のトランジスタ１０１、第２のトランジスタ１０２と同様の機能を有する。さらに、第８のトランジスタ１０８及び第９のトランジスタ１０９をバッファ部と呼んでもよい。
【０２４８】
以上のことから、図２７のフリップフロップは、第３の配線１３２に大きな負荷が接続され、信号２３２に遅延、なまりなどが生じても、誤動作を防止することができる。なぜなら、図２７のフリップフロップは、フリップフロップの出力信号と、フリップフロップの

転送信号とを、別々のトランジスタによって別々の配線から出力することによって、出力信号の遅延、なまりなどがフリップフロップの動作に影響しないからである。

【０２４９】

さらに、図２７のフリップフロップは、実施の形態１及び実施の形態２に示したフリップフロップと同様に、レイアウト面積の縮小、トランジスタのしきい値シフトの抑制、工程の簡略化、大型表示装置などの半導体装置の作製、長寿命な表示パネルなどの半導体装置の作製などのメリットを得ることができる。

【０２５０】

なお、本実施の形態のフリップフロップに、実施の形態２に記載の動作タイミングを適用することもできる。

【０２５１】

上述した本実施の形態のフリップフロップを有するシフトレジスタの構成及び駆動方法について説明する。

【０２５２】

本実施の形態のシフトレジスタの構成について図２９を参照して説明する。図２９のシフトレジスタは、ｎ個のフリップフロップ（フリップフロップ２９０１＿１～フリップフロップ２９０１＿ｎ）を有する。

【０２５３】

図２９のフリップフロップの接続関係について説明する。図２９のフリップフロップは、ｉ段目のフリップフロップ２９０１＿ｉ（フリップフロップ２９０１＿１～２９０１＿ｎのうちいずれか一）は、第２の配線２９１２、第３の配線２９１３、第４の配線２９１４、第５の配線２９１５、第６の配線２９１６、第８の配線２９１８＿ｉ－１、第８の配線２９１８＿ｉ、第８の配線２９１８＿ｉ＋１及び第９の配線２９１９＿ｉに接続される。ただし、１段目のフリップフロップ２９０１＿１は、第１の配線２９１１、第２の配線２９１２、第３の配線２９１３、第４の配線２９１４、第５の配線２９１５、第６の配線２９１６、第８の配線２９１８＿１、第８の配線２９１８＿２、第９の配線２９１９＿１に接続される。さらに、ｎ段目のフリップフロップ２９０１＿ｎは、第２の配線２９１２、第３の配線２９１３、第４の配線２９１４、第５の配線２９１５、第６の配線２９１６、第７の配線２９１７、第８の配線２９１８＿ｎ－１、第８の配線２９１８＿ｎ及び第９の配線２９１９＿ｎに接続される。

【０２５４】

第１の配線２９１１は、フリップフロップ２９０１＿１の図２７に示す第１の配線１２１に接続される。第２の配線２９１２は、奇数段目のフリップフロップでは図２７に示す第５の配線１２５及び第３の配線１３３に接続され、偶数段目のフリップフロップでは図２７に示す第６の配線１２６に接続される。第３の配線２９１３は、奇数段目のフリップフロップでは図２７に示す第６の配線１２６に接続され、偶数段目のフリップフロップでは図２７に示す第５の配線１２５第３の配線１３３に接続される。第４の配線２９１４は、全段のフリップフロップで図２７に示す第７の配線１２７に接続される。第５の配線２９１５は、全段のフリップフロップで図２７に示す第８の配線１２８に接続される。第６の配線２９１６は、全段のフリップフロップで図２７に示す第４の配線１２４、第９の配線１２９、第２９の配線１３０及び第１１の配線１３１に接続される。第８の配線２９１８＿ｉは、フリップフロップ２９０１＿ｉ－１の図２７に示す第２の配線１２２、フリップフロップ２９０１＿ｉの図２７に示す第３の配線１２３及びフリップフロップ２９０１ｉ＋１の図２７に示す第１の配線１２１に接続される。ただし、第８の配線２９１８＿１は、フリップフロップ２９０１＿１の図２７に示す第３の配線１２３及びフリップフロップ２９０１＿２の図２７に示す第１の配線１２１に接続される。さらに、第８の配線２９１８＿ｎは、フリップフロップ２９０１＿ｎ－１の図２７に示す第２の配線１２２及びフリップフロップ２９０１＿ｎの図２７に示す第３の配線１２３に接続される。第９の配線２９１９＿１～第９の配線２９１９＿ｎは、それぞれフリップフロップ２９０１＿１～フリップフロップ２９０１＿ｎの図２７に示す第１２の配線１３２に接続される。

【０２５５】
なお、フリップフロップ２９０１＿１～フリップフロップ２９０１＿ｎ、第１の配線２９１１、第２の配線２９１２、第３の配線２９１３、第４の配線２９１４、第５の配線２９１５、第５の配線２９１６、第７の配線２９０７は、それぞれ図１０に示したフリップフロップ１００１＿１～フリップフロップ１００１＿ｎ、第１の配線１０１１、第２の配線１０１２、第３の配線１０１３、第４の配線１０１４、第５の配線１０１５、第５の配線１０１６、第７の配線１００７に相当し、同様の信号又は電位が供給される。
【０２５６】
次に、図２９に示したシフトレジスタの動作について、図３０のタイミングチャートを参照して説明する。
【０２５７】
図３０において、第１の配線２９１１に入力される信号３０１１、第８の配線２９１８＿１に出力される信号３０１８＿１、第８の配線２９１８＿ｉに出力される信号３０１８＿ｉ、第８の配線２９１８＿ｉ＋１に出力される信号３０１８＿ｉ＋１、第８の配線２９１８＿ｎに出力される信号３０１８＿ｎ、第９の配線２９１９＿１に出力される信号３０１９＿１、第９の配線２９１８＿ｉに出力される信号３０１９＿ｉ、第９の配線２９１８＿ｉ＋１に出力される信号３０１９＿ｉ＋１及び第９の配線２９１９＿ｎに出力される信号３０１８＿ｎを示している。
【０２５８】
図３０に示すように、例えば、フリップフロップ２９０１＿ｉが選択期間になると、第８の配線２９１８＿ｉ及び第９の配線２９１９＿ｉからＨ信号が出力される。このとき、フリップフロップ２９０１＿ｉ＋１はセット期間となる。その後、フリップフロップ２９０１＿ｉはリセット期間になって、第８の配線２９１８＿ｉ及び第９の配線２９１９＿ｉからＬ信号が出力される。このとき、フリップフロップ２９０１＿ｉ＋１は選択期間となる。その後、フリップフロップ２９０１＿ｉは第１の非選択期間になって、第８の配線２９１８＿ｉ及び第９の配線２９１９＿ｉが浮遊状態になって電位をＬレベルに維持する。このとき、フリップフロップ２９０１＿ｉ＋１はリセット期間となる。その後、フリップフロップ２９０１＿ｉは第２の非選択期間になって、第８の配線２９１８＿ｉ及び第９の配線２９１９＿ｉからＬ信号が出力される。このとき、フリップフロップ２９０１＿ｉ＋１は第１の非選択期間となる。こうして、フリップフロップ２９０１＿ｉは、次のセット期間まで、第１の非選択期間及び第２の非選択期間を繰り返す。
【０２５９】
以上のことから、図２９のシフトレジスタは、転送信号を第８の配線２９１８＿１から順に第８の配線２９１８＿ｎまで出力することができる。さらに、図２９のシフトレジスタは、選択信号を第９の配線２９１９＿１から順に第９の配線２９１９＿ｎまで出力することができる。つまり、図２９のシフトレジスタは、第９の配線２９１９＿１～第９の配線２９１９＿ｎを走査することができる。したがって、図２９のシフトレジスタは、シフトレジスタとしての機能を十分得ることができる。
【０２６０】
さらに、図２９のシフトレジスタは、第９の配線２９１９＿１～第９の配線２９１９＿ｎに大きな負荷（抵抗及び容量など）が接続されも、負荷の影響を受けずに動作することができる。さらに、図２９のシフトレジスタは、第９の配線２９１９＿１～第９の配線２９１９＿ｎのいずれかが電源線又は信号線とショートしても、正常動作を続けることができる。したがって、図２９のシフトレジスタは、駆動能力の向上を図ることができる。なぜなら、図２９のシフトレジスタは、各フリップフロップの転送信号と、各フリップフロップの出力信号とを分割しているからである。
【０２６１】
さらに、図２９のシフトレジスタは、本実施の形態に示したフリップフロップを適用することで、レイアウト面積の縮小、トランジスタのしきい値シフトの抑制、工程の簡略化、大型表示装置などの半導体装置の作製、長寿命な表示パネルなどの半導体装置の作製など

のメリットを得ることができる。
【０２６２】
なお、図２９と同様の動作を行うものであれば、図２９の構成に限定されない。例えば、図１３、図１４、図１５、図１７のシフトレジスタと自由に組み合わせて実施することで、図１３、図１４、図１５、図１７と同様のメリットを得ることができる。
【０２６３】
上述した本実施の形態のシフトレジスタを有する表示装置の構造及び駆動方法について説明する。ただし、本実施の形態の表示装置は、少なくとも本実施の形態のフリップフロップを有していればよい。
【０２６４】
本実施の形態の表示装置として、図８、図１８、図１６、図２０、図２２の表示装置を用いることができる。したがって、本実施の形態の表示装置は、走査線駆動回路として本実施の形態のシフトレジスタを適用すれば、レイアウト面積の縮小を図ることができる。さらに、本実施の形態の表示装置は、トランジスタのしきい値シフトの抑制できる。さらに、本実施の形態の表示装置は、工程の簡略化を図ることができる。さらに、本実施の形態の表示装置は、大型化又は高精細化を図ることができる。さらに、本実施の形態の表示装置は、長寿命化を図ることができる。特に、図８、図１６、図２２の表示装置に走査線駆動回路として本実施の形態のシフトレジスタを適用すれば、大型化、又は高精細化を図ることができる。さらに、本実施の形態のシフトレジスタを適用した図８、図１６、又は図２２の表示装置は、省電力化を図ることができる。さらに、本実施の形態のシフトレジスタを適用した図８、図１６、又は図２２の表示装置は、ＩＣの発熱を抑制できる。さらに、本実施の形態のシフトレジスタを適用した図８、図１６、又は図２２の表示装置は、ＩＣの省電力化を図ることができる。
【０２６５】
なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせる組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０２６６】
同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０２６７】
なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用することができ、又は組み合わせることが出来る。
【０２６８】
（実施の形態４）
本実施の形態では、本明細書のフリップフロップを構成するトランジスタにＰチャネル型トランジスタを適用した場合について説明する。さらに、当該フリップフロップを有する駆動回路、及び当該駆動回路を有する表示装置の構成並びに駆動方法について説明する。
【０２６９】
本実施の形態のフリップフロップは、図１のフリップフロップが有するトランジスタの極性をＰチャネル型にした場合について説明する。ただし、図４（Ａ）、図４（Ｂ）、図４（Ｃ）、図４（Ｄ）、図５（Ａ）、図５（Ｂ）、図５（Ｃ）、図５（Ｄ）、図７（Ａ）、図７（Ｂ）、図７（Ｃ）、図２１（Ａ）、図２１（Ｂ）、図２１（Ｃ）又は図２７に示し

たフリップフロップが有するトランジスタの極性をＰチャネル型とすることもできる。さらに、本実施の形態のフリップフロップは、実施の形態１乃至実施の形態３の記載と自由に組み合わせて実施することもできる。

【０２７０】

本実施の形態のフリップフロップの基本構成について、図２３を参照して説明する。図２３に示すフリップフロップは、第１のトランジスタ２３０１、第２のトランジスタ２３０２、第３のトランジスタ２３０３、第４のトランジスタ２３０４、第５のトランジスタ２３０５、第６のトランジスタ２３０６及び第７のトランジスタ２３０７を有する。本実施の形態において、第１のトランジスタ２３０１、第２のトランジスタ２３０２、第３のトランジスタ２３０３、第４のトランジスタ２３０４、第５のトランジスタ２３０５、第６のトランジスタ２３０６及び第７のトランジスタ２３０７は、Ｐチャネル型トランジスタとし、ゲート及びソース間電圧の絶対値（｜Ｖｇｓ｜）がしきい値電圧の絶対値（｜Ｖｔｈ｜）を上回ったとき（ＶｇｓがＶｔｈを下回ったとき）導通状態になるものとする。

【０２７１】

図２３のフリップフロップの接続関係について説明する。第１のトランジスタ２３０１の第１の電極（ソース電極及びドレイン電極の一方）が第５の配線２３２５に接続され、第１のトランジスタ２３０１の第２の電極（ソース電極及びドレイン電極の他方）が第３の配線２３２３に接続される。第２のトランジスタ２３０２の第１の電極が第４の配線２３２４に接続され、第２のトランジスタ２３０２の第２の電極が第３の配線２３２３に接続される。第３のトランジスタ２３０３の第１の電極が第６の配線２３２６に接続され、第３のトランジスタ２３０３の第２の電極が第２のトランジスタ２３０２のゲート電極に接続され、第３のトランジスタ２３０３のゲート電極が第７の配線２３２７に接続される。第４のトランジスタ２３０４の第１の電極が第９の配線２３２９に接続され、第４のトランジスタ２３０４の第２の電極が第２のトランジスタ２３０２のゲート電極に接続され、第４のトランジスタ２３０４のゲート電極が第１のトランジスタ２３０１のゲート電極に接続される。第５のトランジスタ２３０５の第１の電極が第８の配線２３２８に接続され、第５のトランジスタ２３０５の第２の電極が第１のトランジスタ２３０１のゲート電極に接続され、第５のトランジスタ２３０５のゲート電極が第１の配線２３２１に接続される。第６のトランジスタ２３０６の第１の電極が第１０の配線２３３０に接続され、第６のトランジスタ２３０６の第２の電極が第１のトランジスタ２３０１のゲート電極に接続され、第６のトランジスタ２３０６のゲート電極が第２のトランジスタ２３０２のゲート電極に接続される。第７のトランジスタ２３０７の第１の電極が第１１の配線２３３１に接続され、第７のトランジスタ２３０７の第２の電極が第１のトランジスタ２３０１のゲート電極に接続され、第７のトランジスタ２３０７のゲート電極が第２の配線２３２２に接続される。

【０２７２】

なお、第１のトランジスタ２３０１のゲート電極、第４のトランジスタ２３０４のゲート電極、第５のトランジスタ２３０５の第２の電極、第６のトランジスタ２３０６の第２の電極及び第７のトランジスタ２３０７の第２の電極の接続箇所をノード２３４１とする。さらに、第２のトランジスタ２３０２のゲート電極、第３のトランジスタ２３０３の第２の電極、第４のトランジスタ２３０４の第２の電極及び第６のトランジスタ２３０６のゲート電極の接続箇所をノード２３４２とする。

【０２７３】

第４の配線２３２４、第９の配線２３２９、第１０の配線２３３０及び第１１の配線２３３１はお互いに接続されてもよいし、同一の配線としてもよい。さらに、第７の配線２３２７及び第８の配線２３２８はお互いに接続されてもよいし、同一の配線としてもよい。

【０２７４】

なお、第１のトランジスタ２３０１～第７のトランジスタ２３０７は、それぞれ図１の第１のトランジスタ１０１～第７のトランジスタ１０７に対応し、同様の機能を有する。

【０２７５】

なお、第１の配線２３２１～第１１の配線２３３１は、それぞれ図１の第１の配線１２１～第１１の配線１３１に対応している。ただし、第１の配線２３２１～第１１の配線２３３１に入力される信号、供給される電位又は出力される信号は、図１の第１の配線１２１～第１１の配線１３１に入力される信号、供給される電位又は出力される信号と比較してＨレベル・Ｌレベルが反転している。

【０２７６】

なお、第７の配線２３２７及び第８の配線２３２８にはそれぞれＶ２の電位が供給され、第４の配線２３２４、第９の配線２３２９、第１０の配線２３３０及び第１１の配線２３３１にはそれぞれＶ１の電位が供給される。

【０２７７】

なお、第１の配線２３２１、第２の配線２３２２、第５の配線２３２５及び第６の配線２３２６には、それぞれ信号が入力される。第１の配線２３２１に入力される信号はスタート信号であり、第２の配線２３２２に入力される信号はリセット信号であり、第５の配線２３２５に入力される信号は第１のクロック信号であり、第６の配線２３２６に入力される信号は第２のクロック信号である。さらに、第１の配線２３２１、第２の配線２３２２、第５の配線２３２５及び第６の配線２３２６にそれぞれ入力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【０２７８】

なお、第１の配線２３２１、第２の配線２３２２、第２の配線２３２２～第１１の配線２３３１には、それぞれ様々な信号、電流又は電圧が入力されてもよい。

【０２７９】

なお、第３の配線２３２３からは信号が出力される。第３の配線２３２３から出力される信号は、各ステージのフリップフロップの出力信号であり、次のステージのフリップフロップのスタート信号（以下、転送信号ともいう）でもある。さらに、第３の配線２３２３から出力される信号は、Ｈ信号の電位がＶ１（以下、Ｈレベルともいう）、Ｌ信号の電位がＶ２（以下、Ｌレベルともいう）のデジタル信号である。

【０２８０】

次に、図２３に示したフリップフロップの動作について、図２４のタイミングチャートを参照して説明する。さらに、図２４のタイミングチャートを選択期間及び非選択期間に分割して説明する。さらに、非選択期間を第１の非選択期間、第２の非選択期間、セット期間及びリセット期間に分割して説明する。ここで、図２４のタイミングチャートに示すように、各期間は、セット期間、選択期間、リセット期間、第１の非選択期間、第２の非選択期間、第１の非選択期間、第２の非選択期間の順で並んでいる。つまり、セット期間、選択期間及びリセット期間を除く動作期間は、第１の非選択期間及び第２の非選択期間を順に繰り返す。さらに、セット期間の前の期間は、第２の非選択期間である。

【０２８１】

なお、図２４のタイミングチャートは、図２のタイミングチャートのＨレベル・Ｌレベルを反転したものと同様である。

【０２８２】

なお、本実施の形態のフリップフロップには、図２のＨレベル・Ｌレベルを反転したものだけでなく、図６、図２８、図３１及び図３２のタイミングチャートのＨレベル・Ｌレベルを反転したものを用いてもよい。

【０２８３】

なお、図２４において、信号２４２１、信号２４２５、信号２４２６、電位２４４１、電位２４４２、信号２４２２及び信号２４２３は、それぞれ第１の配線２３２１に入力される信号、第５の配線２３２５に入力される信号、第６の配線２３２６に入力される信号、ノード２３４１の電位、ノード２３４２の電位、第２の配線２３２２に入力される信号、第３の配線２３２３から出力される信号を示している。

【０２８４】

なお、信号２４２１、信号２４２５、信号２４２６、電位２４４１、電位２４４２、信号２４２２及び信号２２３は、それぞれ図２の信号２２１、信号２２５、信号２２６、電位２４１、電位２４２、信号２２２及び信号２２３に対応している。ただし、すでに述べたように、Ｈレベル・Ｌレベルが反転している。

【０２８５】

まず、図２４（Ａ）に示すセット期間において、信号２４２１がＬレベルなので第５のトランジスタ２３０５がオンし、信号２４２２がＨレベルなので第７のトランジスタ２３０７がオフする。このときのノード２３４１の電位は、第５のトランジスタ２３０５の第２の電極がソース電極となって、第８の配線２３２８の電位と第５のトランジスタ２３０５のしきい値電圧の絶対値との和となるためＶ２＋｜Ｖｔｈ（２３０５）｜（Ｖｔｈ（２３０５）：第５のトランジスタ２３０５のしきい値電圧）となる。よって、第１のトランジスタ２３０１及び第４のトランジスタ２３０４がオンし、第５のトランジスタ２３０５がオフする。このときのノード２３４２の電位（電位２４４２）は、第３のトランジスタ２３０３と第４のトランジスタ２３０４との抵抗比（Ｌ／Ｗ及び印加電圧）によって決定され、Ｖ１－θ（θ：任意の正の数）となる。さらに、θ＜｜Ｖｔｈ（２３０２）｜（Ｖｔｈ（２３０２）：第２のトランジスタ２３０２のしきい値電圧）及びθ＜｜Ｖｔｈ（２３０６）｜（第６のトランジスタ２３０６のしきい値電圧）とする。つまり、第９の配線２３２９の電位（Ｖ１）と第６の配線２３２６の電位（Ｖ２）との電位差（Ｖ１－Ｖ２）が第３のトランジスタ２３０３及び第４のトランジスタ２３０４によって分圧される。よって、第２のトランジスタ２３０２及び第６のトランジスタ２３０６がオフする。このように、セット期間では、第３の配線２３２３はＨ信号が入力されている第５の配線２３２５と導通するため、第３の配線２３２３の電位がＶ１となる。したがって、Ｈ信号が第３の配線２３２３から出力される。さらに、ノード２３４１は、電位をＶ２＋｜Ｖｔｈ（２３０５）｜に維持したまま浮遊状態となる。

【０２８６】

図２４Ｂ）に示す選択期間では、信号２４２１がＨレベルとなって第５のトランジスタ２３０５がオフし、信号２４２２がＨレベルのままなので第７のトランジスタ２３０７がオフのままである。このときのノード２３４１は電位をＶ２＋｜Ｖｔｈ（２３０５）｜に維持している。よって、第１のトランジスタ２３０１及び第４のトランジスタ２３０４はオンのままである。このときのノード２３４２の電位は、第６の配線２３２６がＨレベルとなるためＶ１となる。よって、第２のトランジスタ２３０２及び第６のトランジスタ２３０６はオフのままである。ここで、第５の配線２３２５にＬ信号が入力されるので、第３の配線２３２３の電位が減少し始める。すると、ノード２３４１の電位は、ブートストラップ動作によってＶ２＋｜Ｖｔｈ（２３０５）｜から下がって、Ｖ２－｜Ｖｔｈ（２３０１）｜－γ（Ｖｔｈ（２３０１）：第１のトランジスタ２３０１のしきい値電圧、γ：任意の正の数）となる。したがって、第３の配線２３２３の電位は、第５の配線２３２５と等しい電位となるのでＶ２となる。なお、このブートストラップ動作は、第１のトランジスタ２３０１のゲート電極と第２の電極との間の寄生容量の容量結合によって行われる。このように、選択期間では、第３の配線２３２３はＬ信号が入力されている第５の配線２３２５と導通するため、第３の配線２３２３の電位がＶ２となる。したがって、Ｌ信号が第３の配線２３２３から出力される。

【０２８７】

図２４（Ｃ）に示すリセット期間では、信号２４２１がＨレベルのままなので第５のトランジスタ２３０５がオフのままであり、信号２４２２がＬレベルとなって第７のトランジスタ２３０７がオンする。このときのノード２３４１の電位は、第１１の配線の電位（Ｖ１）が第７のトランジスタ２３０７を介して供給されるためＶ１となる。よって、第１のトランジスタ２３０１及び第４のトランジスタ２３０４がオフする。このときのノード２３４２の電位は、第３のトランジスタ２３０３の第２の電極がソース電極となって、第６の配線２３２６の電位（Ｖ２）から第３のトランジスタ２３０３のしきい値電圧を引いた値となるためＶ２＋｜Ｖｔｈ（２３０３）｜（Ｖｔｈ（２３０３）：第３のトランジスタ

２３０３のしきい値電圧）となる。よって、第２のトランジスタ２３０２及び第６のトランジスタ２３０６がオンする。このように、リセット期間では、第３の配線２３２３はＶ１が供給されている第４の配線２３２４と導通するため、第３の配線２３２３の電位がＶ１となる。したがって、Ｈ信号が第３の配線２３２３から出力される。

【０２８８】

図２４（Ｄ）に示す第１の非選択期間では、信号２４２１がＨレベルのままなので第５のトランジスタ２３０５がオフのままであり、信号２４２２がＨレベルとなって第７のトランジスタ２３０７がオフする。このときのノード２３４２の電位は、第６の配線２３２６にＨ信号が入力されるためＶ１となる。よって、第２のトランジスタ２３０２及び第６のトランジスタ２３０６がオフする。このときのノード２３４１は、浮遊状態となるため電位をＶ１に維持する。よって、第１のトランジスタ２３０１及び第４のトランジスタ２３０４はオフのままである。このように、第１の非選択期間では、第３の配線２３２３は浮遊状態となるため、第３の配線２３２３の電位はＶ１を維持する。

【０２８９】

図２４（Ｅ）に示す第２の非選択期間では、信号２４２１がＨレベルのままなので第５のトランジスタ２３０５がオフのままであり、信号２４２２がＨレベルのままなので第７のトランジスタ２３０７がオフのままである。このときのノード２３４２の電位は、第６の配線２３２６にＬ信号が入力され、トランジスタ２３０４がオフしているためＶ２＋｜Ｖｔｈ（２３０３）｜となる。よって、第２のトランジスタ２３０２及び第６のトランジスタ２３０６がオンする。このときのノード２３４１の電位は、第１０の配線２３３０の電位（Ｖ１）が第６のトランジスタ２３０６を介して供給されるためＶ１のままである。よって、第１のトランジスタ２３０１及び第４のトランジスタ２３０４はオフのままである。このように、第２の非選択期間では、第３の配線２３２３はＶ１が供給されている第４の配線２３２４と導通するため、第３の配線２３２３の電位がＶ１のままである。したがって、Ｈ信号が第３の配線２３２３から出力される。

【０２９０】

以上のことから、図２３のフリップフロップは、選択期間においてブートストラップ動作動作を用いて、ノード２３４１の電位をＶ２－｜Ｖｔｈ（２３０１）｜よりも低くすることによって、第３の配線２３２３の電位をＶ２とすることができる。さらに、図２３のフリップフロップは、このブートストラップ動作が第１のトランジスタ２３０１の第２の電極とゲート電極との間の寄生容量の容量結合を用いて行われることによって、レイアウト面積の縮小及び素子数の低減などのメリットを得ることができる。

【０２９１】

さらに、図２３のフリップフロップは、第２のトランジスタ２３０２及び第６のトランジスタ２３０６が第２の非選択期間においてのみオンするため、第２のトランジスタ２３０２及び第６のトランジスタ２３０６のしきい値電圧のシフトを抑制することができる。

【０２９２】

なお、図２３のフリップフロップは、第３のトランジスタ２３０３のゲート電極にＶ２を供給し、第１の電極に第２のクロック信号を入力することで、第３のトランジスタ２３０３のしきい値電圧のシフトも抑制ですることができる。

【０２９３】

さらに、図２３のフリップフロップは、第１のトランジスタ２３０１、第４のトランジスタ２３０４、第５のトランジスタ２３０５及び第７のトランジスタ２３０７が第１の非選択期間及び第２の非選択期間においてオンしないため、第１のトランジスタ２３０１、第４のトランジスタ２３０４、第５のトランジスタ２３０５及び第７のトランジスタ２３０７のしきい値電圧のシフトを抑制することができる。

【０２９４】

さらに、図２３のフリップフロップは、ノード２３４１の電位及び第３の配線２３２３の電位が第１の非選択期間において変動しても、次の第２の非選択期間においてノード２３４１及び第３の配線２３２３にＶ１を供給することで、ノード２３４１の電位及び第３の

配線２３２３の電位をＶ１にリセットすることができる。したがって、図２３のフリップフロップは、ノード２３４１及び配線２３２３が浮遊状態となって、ノード２３４１及び第３の配線２３２３の電位が変動することが原因となる誤動作を抑制することができる。

【０２９５】

さらに、図２３のフリップフロップは、トランジスタのしきい値シフトを抑制できるため、トランジスタのしきい値電圧シフトが原因となる誤動作を抑制することができる。

【０２９６】

さらに、図２３のフリップフロップは、第１のトランジスタ２３０１乃至第７のトランジスタ２３０７が全てＰチャネル型トランジスタで構成されていることを特徴とする。したがって、図２３のフリップフロップは、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができる。

【０２９７】

なお、図２４と同様の動作を行うものであれば、各トランジスタの配置及び数などは図２４に限定されない。したがって、図２４のフリップフロップに、トランジスタ、その他の素子（抵抗素子、容量素子など）、ダイオード、スイッチ、様々な論理回路などを新たに配置してもよい。

【０２９８】

なお、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを実施の形態１乃至実施の形態３に記載のシフトレジスタと自由に組み合わせて実施することができる。例えば、本実施の形態のシフトレジスタは、本実施の形態のフリップフロップを図１０、図１３、図１４、図１５、図１７、図２９、図３３、及び図３４のシフトレジスタと自由に組み合わせて実施することができできる。ただし、本実施の形態のシフトレジスタは、実施の形態１乃至実施の形態３に記載のシフトレジスタと比較して、Ｈレベル・Ｌレベルが反転している。

【０２９９】

なお、本実施の形態の表示装置は、本実施の形態のシフトレジスタを実施の形態１乃至実施の形態３に記載の表示装置と自由に組み合わせて実施することができる。例えば、本実施の形態の表示装置は、図８、図１８、図１６、図２０及び図２２の表示装置と自由に組み合わせて実施することができる。ただし、本実施の形態の表示装置は、実施の形態１乃至実施の形態３に記載の表示装置と比較して、ＨレベルとＬレベルが反転している。

【０３００】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０３０１】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０３０２】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【０３０３】

（実施の形態５）

本実施の形態では、実施の形態１乃至実施の形態４に示した表示装置が有する信号線駆動回路について説明する。

【０３０４】
図３７の信号線駆動回路について説明する。図３７に示す信号線駆動回路は、ドライバＩＣ５６０１、スイッチ群５６０２＿１～５６０２＿Ｍ、第１の配線５６１１、第２の配線５６１２、第３の配線５６１３及び配線５６２１＿１～５６２１＿Ｍを有する。スイッチ群５６０２＿１～５６０２＿Ｍそれぞれは、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを有する。
【０３０５】
ドライバＩＣ５６０１は第１の配線５６１１、第２の配線５６１２、第３の配線５６１３及び配線５６２１＿１～５６２１＿Ｍに接続される。そして、スイッチ群５６０２＿１～５６０２＿Ｍそれぞれは、第１の配線５６１１、第２の配線５６１２、第３の配線５６１３及びスイッチ群５６０２＿１～５６０２＿Ｍそれぞれに対応した配線５６２１＿１～５６２１＿Ｍのうちいずれかに接続される。そして、配線５６２１＿１～５６２１＿Ｍそれぞれは、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介して、３つの信号線に接続される。例えば、Ｊ列目の配線５６２１＿Ｊ（配線５６２１＿１～配線５６２１＿Ｍのうちいずれか一）は、スイッチ群５６０２＿Ｊが有する第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介して、信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に接続される。
【０３０６】
なお、第１の配線５６１１、第２の配線５６１２、第３の配線５６１３には、それぞれ信号が入力される。
【０３０７】
なお、ドライバＩＣ５６０１は、単結晶基板若しくは多結晶半導体を用いたガラス基板上に形成されていることが望ましい。さらに、スイッチ群５６０２は、実施の形態１乃至実施の形態４に示した画素部と同一基板上に形成されていることが望ましい。したがって、ドライバＩＣ５６０１とスイッチ群５６０２とはＦＰＣなどを介して接続するとよい。
【０３０８】
次に、図３７に示した信号線駆動回路の動作について、図３８のタイミングチャートを参照して説明する。なお、図３８のタイミングチャートは、ｉ行目の走査線Ｇｉが選択されている場合のタイミングチャートを示している。さらに、ｉ行目の走査線Ｇｉの選択期間は、第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２及び第３のサブ選択期間Ｔ３に分割されている。さらに、図３７の信号線駆動回路は、他の行の走査線が選択されている場合でも図３８と同様の動作をする。
【０３０９】
なお、図３８のタイミングチャートは、Ｊ列目の配線５６２１＿Ｊが第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介して、信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に接続される場合について示している。
【０３１０】
なお、図３８のタイミングチャートは、ｉ行目の走査線Ｇｉが選択されるタイミング、第１のスイッチ５６０３ａのオン・オフのタイミング５７０３ａ、第２のスイッチ５６０３ｂのオン・オフのタイミング５７０３ｂ、第３のスイッチ５６０３ｃのオン・オフのタイミング５７０３ｃ及びＪ列目の配線５６２１＿Ｊに入力される信号５７２１＿Ｊを示している。
【０３１１】
なお、配線５６２１＿１～配線５６２１＿Ｍには第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２及び第３のサブ選択期間Ｔ３において、それぞれ別のビデオ信号が入力される。例えば、第１のサブ選択期間Ｔ１において配線５６２１＿Ｊに入力されるビデオ信号は信号線Ｓｊ－１に入力され、第２のサブ選択期間Ｔ２において配線５６２１＿Ｊに入力されるビデオ信号は信号線Ｓｊに入力され、第３のサブ選択期間Ｔ３において配線５６２１＿Ｊに入力されるビデオ信号は信号線Ｓｊ＋１に入力される。さらに、選択期間Ｔ１、第２のサブ選択期間Ｔ２及び第３のサブ選択期間Ｔ３において、配線５６２１＿Ｊに入力さ

れるビデオ信号をそれぞれＤａｔａｊ－１、Ｄａｔａｊ、Ｄａｔａｊ＋１とする。

【０３１２】

図３８に示すように、第１のサブ選択期間Ｔ１において第１のスイッチ５６０３ａがオンし、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃがオフする。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ－１が、第１のスイッチ５６０３ａを介して信号線Ｓｊ－１に入力される。第２のサブ選択期間Ｔ２では、第２のスイッチ５６０３ｂがオンし、第１のスイッチ５６０３ａ及び第３のスイッチ５６０３ｃがオフする。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊが、第２のスイッチ５６０３ｂを介して信号線Ｓｊに入力される。第３のサブ選択期間Ｔ３では、第３のスイッチ５６０３ｃがオンし、第１のスイッチ５６０３ａ及び第２のスイッチ５６０３ｂがオフする。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ＋１が、第３のスイッチ５６０３ｃを介して信号線Ｓｊ＋１に入力される。

【０３１３】

以上のことから、図３７の信号線駆動回路は、１ゲート選択期間を３つに分割することで、１ゲート選択期間中に１つの配線５６２１から３つの信号線にビデオ信号を入力することができる。したがって、図３７の信号線駆動回路は、ドライバＩＣ５６０１が形成される基盤と、画素部が形成されている基盤との接続数を信号線の数に比べて約１／３にすることができる。接続数が約１／３になることによって、図３７の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【０３１４】

なお、本実施形態の信号線駆動回路を実施形態１乃至実施形態４に示した表示装置に適用することによって、さらに画素部が形成されている基盤と外部基盤との接続数を減らすことができる。したがって、本実施の形態の表示装置は、信頼性の向上を図ることができる。さらに、本実施の形態の表示装置は、歩留まりを高くすることができる。

【０３１５】

次に、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃにＮチャネル型のトランジスタを適用した場合について図３９を参照して説明する。なお、図３７と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０３１６】

第１のトランジスタ５９０３ａが第１のスイッチ５６０３ａに相当し、第２のトランジスタ５９０３ｂが第２のスイッチ５６０３ｂに相当し、第３のトランジスタ５９０３ｃが第３のスイッチ５６０３ｃに相当する。

【０３１７】

例えば、スイッチ群５６０２＿Ｊの場合、第１のトランジスタ５９０３ａは、第１の電極が配線５６２１＿Ｊに接続され、第２の電極が信号線Ｓｊ－１に接続され、ゲート電極が第１の配線５６１１に接続される。第２のトランジスタ５９０３ｂは、第１の電極が配線５６２１＿Ｊに接続され、第２の電極が信号線Ｓｊに接続され、ゲート電極が第２の配線５６１２に接続される。第３のトランジスタ５９０３ｃは、第１の電極が配線５６２１＿Ｊに接続され、第２の電極が信号線Ｓｊ＋１に接続され、ゲート電極が第３の配線５６１３に接続される。

【０３１８】

なお、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃは、それぞれスイッチングトランジスタとして機能する。さらに、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃは、それぞれゲート電極に入力される信号がＨレベルのときにオンとなり、ゲート電極に入力される信号がＬレベルのときにオフとなる。

【０３１９】

なお、第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃとしてＮチャネル型のトランジスタを用いることによって、トランジスタの半導体層

として、アモルファスシリコンを用いることができるため、製造工程の簡略化を図ることができ、製造コストの削減や歩留まりの向上を図ることができるからである。さらに、大型の表示パネルなどの半導体装置を作製することも可能となるからである。あるいは、トランジスタの半導体層として、ポリシリコンや多結晶シリコンを用いても製造工程の簡略化を図ることができる。

【０３２０】

図３９の信号線駆動回路では、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃとしてＮチャネル型のトランジスタを用いた場合について説明したが、第１のトランジスタ５９０３ａ、第２のトランジスタ５９０３ｂ、第３のトランジスタ５９０３ｃとしてＰチャネル型のトランジスタを用いてもよい。このとき、トランジスタはゲート電極に入力される信号がＬレベルのときにオンとなり、ゲート電極に入力される信号がＨレベルのときにオフとなる。

【０３２１】

なお、図３７のように、１ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある１つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、スイッチの配置や数、駆動方法などは限定されない。

【０３２２】

例えば、３つ以上のサブ選択期間それぞれにおいて１つの配線から３つ以上の信号線それぞれにビデオ信号を入力する場合は、スイッチ及びスイッチを制御するための配線を追加すればよい。ただし、１ゲート選択期間を４つ以上のサブ選択期間に分割すると、１つのサブ選択期間が短くなる。したがって、１ゲート選択期間は、２つ又は３つのサブ選択期間に分割されることが望ましい。

【０３２３】

別の例として、図４０のタイミングチャートに示すように、１つの選択期間をプリチャージ期間Ｔｐ、第１のサブ選択期間Ｔ１、第２のサブ選択期間Ｔ２、第３の選択期間Ｔ３に分割してもよい。さらに、図４０のタイミングチャートは、ｉ行目の走査線Ｇｉが選択されるタイミング、第１のスイッチ５６０３ａのオン・オフのタイミング５８０３ａ、第２のスイッチ５６０３ｂのオンオフのタイミング５８０３ｂ、第３のスイッチ５６０３ｃのオン・オフのタイミング５８０３ｃ及びＪ列目の配線５６２１＿Ｊに入力される信号５８２１＿Ｊを示している。図４０に示すように、プリチャージ期間Ｔｐにおいて第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃがオンする。このとき、配線５６２１＿Ｊに入力されるプリチャージ電圧Ｖｐが第１のスイッチ５６０３ａ、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃを介してそれぞれ信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に入力される。第１のサブ選択期間Ｔ１において第１のスイッチ５６０３ａがオンし、第２のスイッチ５６０３ｂ及び第３のスイッチ５６０３ｃがオフする。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ－１が、第１のスイッチ５６０３ａを介して信号線Ｓｊ－１に入力される。第２のサブ選択期間Ｔ２では、第２のスイッチ５６０３ｂがオンし、第１のスイッチ５６０３ａ及び第３のスイッチ５６０３ｃがオフする。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊが、第２のスイッチ５６０３ｂを介して信号線Ｓｊに入力される。第３のサブ選択期間Ｔ３では、第３のスイッチ５６０３ｃがオンし、第１のスイッチ５６０３ａ及び第２のスイッチ５６０３ｂがオフする。このとき、配線５６２１＿Ｊに入力されるＤａｔａｊ＋１が、第３のスイッチ５６０３ｃを介して信号線Ｓｊ＋１に入力される。

【０３２４】

以上のことから、図４０のタイミングチャートを適用した図３７の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図３８と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０３２５】

図４１においても、図３７のように、１ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいてある１つの配線から複数の信号線それぞれにビデオ信号を入力することができる。なお、図４１は、信号線駆動回路のうちＪ列目のスイッチ群６０２２＿Ｊのみを示している。スイッチ群６０２２＿Ｊは、第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６を有している。第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６はＮチャネル型のトランジスタである。スイッチ群６０２２＿Ｊは、第１の配線６０１１、第２の配線６０１２、第３の配線６０１３、第４の配線６０１４、第５の配線６０１５、第６の配線６０１６、配線５６２１＿Ｊ、信号線Ｓｊ－１、信号線Ｓｊ、信号線Ｓｊ＋１に接続される。

【０３２６】

第１のトランジスタ６００１の第１の電極は配線５６２１＿Ｊに接続され、第２の電極は信号線Ｓｊ－１に接続され、ゲート電極は第１の配線６０１１に接続される。第２のトランジスタ６００２の第１の電極は配線５６２１＿Ｊに接続され、第２の電極は信号線Ｓｊ－１に接続され、ゲート電極は第２の配線６０１２に接続される。第３のトランジスタ６００３の第１の電極は配線５６２１＿Ｊに接続され、第２の電極は信号線Ｓｊに接続され、ゲート電極は第３の配線６０１３に接続される。第４のトランジスタ６００４の第１の電極は配線５６２１＿Ｊに接続され、第２の電極は信号線Ｓｊに接続され、ゲート電極は第４の配線６０１４に接続される。第５のトランジスタ６００５の第１の電極は配線５６２１＿Ｊに接続され、第２の電極は信号線Ｓｊ＋１に接続され、ゲート電極は第５の配線６０１５に接続される。第６のトランジスタ６００６の第１の電極は配線５６２１＿Ｊに接続され、第２の電極は信号線Ｓｊ＋１に接続され、ゲート電極は第６の配線６０１６に接続される。

【０３２７】

なお、第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６は、それぞれスイッチングトランジスタとして機能する。さらに、第１のトランジスタ６００１、第２のトランジスタ６００２、第３のトランジスタ６００３、第４のトランジスタ６００４、第５のトランジスタ６００５、第６のトランジスタ６００６は、それぞれゲート電極に入力される信号がＨレベルのときにオンとなり、ゲート電極に入力される信号がＬレベルのときにオフとなる。

【０３２８】

なお、第１の配線６０１１及び第２の配線６０１２は、図３９の第１の配線５９１１に相当する。第３の配線６０１３及び第４の配線６０１４は、図３９の第２の配線５９１２に相当する。第５の配線６０１５及び第６の配線６０１６は、図３９の第３の配線５９１３に相当する。なお、第１のトランジスタ６００１及び第２のトランジスタ６００２は、図３９の第１のトランジスタ５９０３ａに相当する。第３のトランジスタ６００３及び第４のトランジスタ６００４は、図３９の第２のトランジスタ５９０３ｂに相当する。第５のトランジスタ６００５及び第６のトランジスタ６００６は、図３９の第３のトランジスタ５９０３ｃに相当する。

【０３２９】

図４１では、図３８に示した第１のサブ選択期間Ｔ１において第１のトランジスタ６００１又は第２のトランジスタ６００２のどちらかがオンする。第２のサブ選択期間Ｔ２において第３のトランジスタ６００３又は第４のトランジスタ６００４のどちらかがオンする。第３のサブ選択期間Ｔ３において第５のトランジスタ６００５又は第６のトランジスタ６００６のどちらかがオンする。さらに、図４０に示したプリチャージ期間Ｔｐにおいて第１のトランジスタ６００１、第３のトランジスタ６００３及び第５のトランジスタ６００５か、第２のトランジスタ６００２、第４のトランジスタ６００４及び第６のトランジ

スタ６００６のどちらかがオンする。
【０３３０】
したがって、図４１では、各トランジスタのオン時間を短くすることができるため、各トランジスタの特性劣化を抑制することができる。なぜなら、例えば図３８に示した第１のサブ選択期間Ｔ１においては、第１のトランジスタ６００１又は第２のトランジスタ６００２のどちらかがオンしていればビデオ信号を信号線Ｓｊ－１に入力することができるからである。なお、例えば図３８に示した第１のサブ選択期間Ｔ１において、第１のトランジスタ６００１及び第２のトランジスタ６００２を同時にオンすることによって、高速にビデオ信号を信号線Ｓｊ－１に入力することもできる。
【０３３１】
なお、図４１では、２つのトランジスタを配線５６２１と信号線との間に並列に接続する場合について説明した。しかし、これに限定されず、３つ以上のトランジスタを配線５６２１と信号線との間に並列に接続してもよい。こうすることで、さらに各トランジスタの特性劣化を抑制することができる。
【０３３２】
なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０３３３】
同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。
【０３３４】
なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。
【０３３５】
（実施の形態６）
本実施の形態では、実施の形態１乃至実施の形態４に示した表示装置の静電破壊による不良を防止するための構成について説明する。
【０３３６】
なお、静電破壊とは、人体又は物体に蓄積された、正又は負の電荷が半導体デバイスに触れた時にデバイスの入出力端子を介して瞬時に放電されることで、デバイス内部に大電流が流れて発生する破壊のことである。
【０３３７】
図４２（Ａ）は、保護ダイオードによって走査線に発生する静電破壊を防止するための構成を示す。図４２（Ａ）は、保護ダイオードを配線６１１１と走査線との間に配置した構成である。なお、図示はしないが、ｉ行目の走査線Ｇｉには複数の画素が接続される。なお、保護ダイオードとしては、トランジスタ６１０１を用いる。なお、トランジスタ６１０１はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６１０１の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。
【０３３８】
なお、保護ダイオードは１つだけ配置されいるが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。
【０３３９】

トランジスタ６１０１は第１の電極がｉ行目の走査線Ｇｉに接続され、第２の電極が配線６１１１に接続され、ゲート電極がｉ行目の走査線Ｇｉに接続される。

【０３４０】

図４２（Ａ）の動作について説明する。配線６１１１にはある電位が入力されており、その電位は、ｉ行目の走査線Ｇｉに入力される信号のＬレベルよりも低い電位である。正又は負の電荷がｉ行目の走査線Ｇｉに放電されていない場合、ｉ行目の走査線Ｇｉの電位はＨレベル若しくはＬレベルであるため、トランジスタ６１０１はオフしている。一方、負の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に下がる。このとき、ｉ行目の走査線Ｇｉの電位が配線６１１１の電位からトランジスタ６１０１のしきい値電圧を引いた値よりも低くなると、トランジスタ６１０１がオンして、電流がトランジスタ６１０１を介して配線６１１１に流れる。したがって、図４２（Ａ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【０３４１】

なお、図４２（Ｂ）は、正の電荷がｉ行目の走査線Ｇｉに放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ６１０２が走査線と配線６１１２との間に配置されている。なお、保護ダイオードは１つだけ配置されいるが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ６１０２はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６１０２の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ６１０２は第１の電極がｉ行目の走査線Ｇｉに接続され、第２の電極が配線６１１２に接続され、ゲート電極が配線６１１２に接続される。なお、配線６１１２には、ｉ行目の走査線Ｇｉに入力される信号のＨレベルよりも高い電位が入力されている。したがって、トランジスタ６１０２は、電荷がｉ行目の走査線Ｇｉに放電されていない場合ときには、オフしている。一方、正の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に上昇する。このとき、ｉ行目の走査線Ｇｉの電位が配線６１１２の電位とトランジスタ６１０２のしきい値電圧との和よりも高くなると、トランジスタ６１０２がオンして、電流がトランジスタ６１０２を介して配線６１１２に流れる。したがって、図４２（Ｂ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【０３４２】

なお、図４２（Ｃ）に示すように、図４２（Ａ）と図４２（Ｂ）とを組み合わせた構成にすることで、正の電荷がｉ行目の走査線Ｇｉに放電された場合でも、負の電荷がｉ行目の走査線Ｇｉに放電された場合でも、画素の静電破壊を防止することができる。なお、図４２（Ａ）、（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０３４３】

図４３（Ａ）は、保護ダイオードとして機能するトランジスタ６２０１を走査線と保持容量線との間に接続した場合の構成を示す。なお、保護ダイオードは１つだけ配置されいるが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ６２０１はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６２０１の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。なお、配線６２１１は、保持容量線として機能する。トランジスタ６２０１の第１の電極はｉ行目の走査線Ｇｉに接続され、第２の電極は配線６２１１に接続され、ゲート電極はｉ行目の走査線Ｇｉに接続される。なお、配線６２１１には、ｉ行目の走査線Ｇｉに入力される信号のＬレベルよりも低い電位が入力されている。したがって、トランジスタ６２０１は、電荷がｉ行目の走査線Ｇｉに放電されていない場合ときには、オフしている。一方、負の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉ

の電位は瞬間的に下がる。このとき、ｉ行目の走査線Ｇｉの電位が配線６２１１の電位からトランジスタ６２０１のしきい値電圧を引いた値よりも低くなると、トランジスタ６２０１がオンして、電流がトランジスタ６２０１を介して配線６２１１に流れる。したがって、図４３（Ａ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。さらに、図４３（Ａ）に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。

【０３４４】

なお、図４３（Ｂ）は、正の電荷がｉ行目の走査線Ｇｉに放電された場合に静電破壊を防止するための構成である。ここでは、配線６２１１には、ｉ行目の走査線Ｇｉに入力される信号のＨレベルよりも高い電位が入力されている。したがって、トランジスタ６２０１は、電荷がｉ行目の走査線Ｇｉに放電されていない場合ときにはオフしている。一方、正の電荷がｉ行目の走査線Ｇｉに放電された場合、ｉ行目の走査線Ｇｉの電位は瞬間的に上昇する。このとき、ｉ行目の走査線Ｇｉの電位が配線６２１１の電位とトランジスタ６２０１のしきい値電圧との和よりも高くなると、トランジスタ６２０１がオンして、電流がトランジスタ６２０１を介して配線６２１１に流れる。したがって、図４３（Ｂ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。さらに、図４３（Ｂ）に示した構成では、保持容量線を電荷を逃がす配線として利用しているので、新たに配線を追加する必要がない。なお、図４３（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０３４５】

次に、保護ダイオードによって信号線に発生する静電破壊を防止するための構成を図４４（Ａ）に示す。図４４（Ａ）は、保護ダイオードを配線６４１１と信号線との間に配置した場合の構成である。なお、図示はしないがｊ列目の信号線Ｓｊには複数の画素が接続される。なお、保護ダイオードとしては、トランジスタ６４０１を用いる。なお、なお、トランジスタ６４０１はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６４０１の極性は信号線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

【０３４６】

なお、保護ダイオードは１つだけ配置されいるが、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。

【０３４７】

トランジスタ６４０１は第１の電極がｊ行目の信号線Ｓｊに接続され、第２の電極が配線６４１１に接続され、ゲート電極がｊ行目の信号線Ｓｊに接続される。

【０３４８】

図４４（Ａ）の動作について説明する。配線６４１１にはある電位が入力されており、その電位は、ｊ行目の信号線Ｓｊに入力されるビデオ信号の最小値も低い電位である。正又は負の電荷がｊ行目の信号線Ｓｊに放電されていない場合、ｊ行目の信号線Ｓｊの電位はビデオ信号と同電位であるため、トランジスタ６４０１はオフしている。一方、負の電荷がｊ行目の信号線Ｓｊに放電された場合、ｊ行目の信号線Ｓｊの電位は瞬間的に下がる。このとき、ｊ行目の信号線Ｓｊの電位が配線６４１１の電位からトランジスタ６４０１のしきい値電圧を引いた値よりも低くなると、トランジスタ６４０１がオンして、電流がトランジスタ６４０１を介して配線６４１１に流れる。したがって、図４４（Ａ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【０３４９】

なお、図４４（Ｂ）は、正の電荷がｊ行目の信号線Ｓｊに放電された場合に静電破壊を防止するための構成である。保護ダイオードとして機能するトランジスタ６４０２が走査線と配線６４１２との間に配置されている。なお、保護ダイオードは１つだけ配置されいる

が、複数個の保護ダイオードが直列に配置されていてもよいし、並列に配置されていてもよいし、直並列に配置されていてもよい。なお、トランジスタ６４０２はＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６４０２の極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。トランジスタ６４０２は第１の電極がｊ行目の信号線Ｓｊに接続され、第２の電極が配線６４１２に接続され、ゲート電極が配線６４１２に接続される。なお、配線６４１２には、ｊ行目の信号線Ｓｊに入力されるビデオ信号の最大値よりも高い電位が入力されている。したがって、トランジスタ６４０２は、電荷がｊ行目の信号線Ｓｊに放電されていない場合ときには、オフしている。一方、正の電荷がｊ行目の信号線Ｓｊに放電された場合、ｊ行目の信号線Ｓｊの電位は瞬間的に上昇する。このとき、ｊ行目の信号線Ｓｊの電位が配線６４１２の電位とトランジスタ６４０２のしきい値電圧との和よりも高くなると、トランジスタ６４０２がオンして、電流がトランジスタ６４０２を介して配線６４１２に流れる。したがって、図４４（Ｂ）に示した構成によって、大電流が画素に流れ込むことを防ぐことができるため、画素の静電破壊を防止することができる。

【０３５０】

なお、図４４（Ｃ）に示すように、図４４（Ａ）と図４４（Ｂ）とを組み合わせた構成にすることで、正の電荷がｊ行目の信号線Ｓｊに放電された場合でも、負の電荷がｊ行目の信号線Ｓｊに放電された場合でも、画素の静電破壊を防止することができる。なお、図４４（Ａ）、（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０３５１】

本実施の形態では、走査線及び信号線に接続された画素の静電破壊を防止するための構成を説明した。しかし、本実施の形態の構成は、走査線及び信号線に接続された画素の静電破壊の防止だけに適用されるものではない。例えば、実施の形態１乃至実施の形態４に示した走査線駆動回路及び信号線駆動回路に接続される信号又は電位が入力された配線に本実施の形態を適用する場合は、走査線駆動回路及び信号線駆動回路の静電破壊を防止することができる。

【０３５２】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０３５３】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０３５４】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【０３５５】

（実施の形態７）

本実施の形態では、実施の形態１乃至実施の形態４に示した表示装置に適用できる表示装置の新たな構成について説明する。

【０３５６】

図４５（Ａ）は、ダイオード接続されたトランジスタをある走査線と別の走査線との間に配置した場合の構成である。図４５（Ａ）では、ｉ－１行目の走査線Ｇｉ－１とｉ行目の

走査線Ｇｉとの間にダイオード接続されたトランジスタ６３０１ａを配置し、ｉ行目の走査線Ｇｉとｉ＋１行目の走査線Ｇｉ＋１との間にダイオード接続されたトランジスタ６３０１ｂを配置した場合の構成を示している。なお、トランジスタ６３０１ａ及びトランジスタ６３０１ｂはＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６３０１ａ及びトランジスタ６３０１ｂの極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。

【０３５７】

なお、図４５（Ａ）では、代表してｉ－１行目の走査線Ｇｉ－１、ｉ行目の走査線Ｇｉ及びｉ＋１行目の走査線Ｇｉ＋１を示しているが、他の走査線も同様にダイオード接続されたトランジスタが配置されている。

【０３５８】

トランジスタ６３０１ａの第１の電極はｉ行目の走査線Ｇｉに接続され、第２の電極はｉ－１行目の走査線Ｇｉ－１に接続され、ゲート電極はＧｉ－１行目の走査線Ｇｉ－１に接続される。トランジスタ６３０１ｂの第１の電極はｉ＋１行目の走査線Ｇｉ＋１に接続され、第２の電極はｉ行目の走査線Ｇｉに接続され、ゲート電極はｉ行目の走査線Ｇｉに接続される。

【０３５９】

図４５（Ａ）の動作について説明する。実施の形態１乃至実施の形態４に示した走査線駆動回路では、非選択期間において、ｉ－１行目の走査線Ｇｉ－１、ｉ行目の走査線Ｇｉ及びｉ＋１行目の走査線Ｇｉ＋１はＬレベルを維持しいてる。したがって、トランジスタ６３０１ａ及びトランジスタ６３０１ｂはオフしている。しかしながら、例えばノイズなどによってｉ行目の走査線Ｇｉの電位が上昇した場合、ｉ行目の走査線Ｇｉが画素を選択しまい、画素に不正なビデオ信号が書き込まれてしまう。そこで、図４５（Ａ）のようにダイオード接続したトランジスタを走査線間に配置しておくことで、画素に不正なビデオ信号が書き込まれることを防止することができる。なぜなら、ｉ行目の走査線Ｇｉの電位がｉ－１行目の走査線Ｇｉ－１の電位とトランジスタ６３０１ａのしきい値電圧との和以上に上昇すると、トランジスタ６３０１ａがオンして、ｉ行目の走査線Ｇｉの電位が下がる。したがって、ｉ行目の走査線Ｇｉによって画素が選択されることはないからである。

【０３６０】

なお、図４５（Ａ）の構成は、特に走査線駆動回路と画素部とを同一基板上に一体形成した場合に有利である。なぜなら、Ｎチャネル型のトランジスタ、又はＰチャネル型のトランジスタだけで構成されている走査線駆動回路では、走査線が浮遊状態になることがあり、走査線にノイズが発生しやすいからである。

【０３６１】

なお、図４５（Ｂ）は、走査線間に配置するダイオード接続されたトランジスタの向きを逆にした場合の構成である。なお、トランジスタ６３０２ａ及びトランジスタ６３０２ｂはＮチャネル型のトランジスタである。ただし、Ｐチャネル型のトランジスタを用いてもよく、トランジスタ６３０２ａ及びトランジスタ６３０２ｂの極性は走査線駆動回路や画素が有するトランジスタの極性と同様なものを用いればよい。図４５（Ｂ）では、トランジスタ６３０２ａの第１の電極がｉ行目の走査線Ｇｉに接続され、第２の電極がｉ－１行目の走査線Ｇｉ－１に接続され、ゲート電極がｉ行目の走査線Ｇｉに接続される。トランジスタ６３０２ｂの第１の電極がｉ＋１行目の走査線Ｇｉ＋１に接続され、第２の電極がｉ行目の走査線Ｇｉに接続され、ゲート電極がｉ＋１行目の走査線Ｇｉ＋１に接続される。図４５（Ｂ）は、図４４（Ａ）と同様に、ｉ行目の走査線Ｇｉの電位がｉ－１行目の走査線Ｇｉ＋１の電位とトランジスタ６３０２ｂのしきい値電圧との和以上に上昇すると、トランジスタ６３０２ｂがオンして、ｉ行目の走査線Ｇｉの電位が下がる。したがって、ｉ行目の走査線Ｇｉによって画素が選択されることはなく、画素に不正なビデオ信号が書き込まれることを防止することができる。

【０３６２】

なお、図４５（Ｃ）に示すように、図４５（Ａ）と図４５（Ｂ）とを組み合わせた構成に

することで、ｉ行目の走査線Ｇｉの電位が上昇しても、トランジスタ６３０１ａ及びトランジスタ６３０２ｂがオンするので、ｉ行目の走査線Ｇｉの電位が下がる。なお、図４５（Ｃ）では、電流が２つのトランジスタを介して流れるので、より大きいノイズを除去することが可能である。なお、図４５（Ａ）、（Ｂ）と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【０３６３】

なお、図４３（Ａ）及び（Ｂ）に示すように、走査線と保持容量線との間にダイオード接続したトランジスタを配置しても図４５（Ａ）、（Ｂ）、（Ｃ）と同様の効果を得ることができる。

【０３６４】

なお、本実施の形態において、様々な図を用いて述べてきたが、各々の図で述べた内容または内容の一部を、別の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、これまでに述べた図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０３６５】

同様に、本実施の形態の各々の図で述べた内容または内容の一部を、別の実施の形態の図で述べた内容または内容の一部にも適用できる。あるいは、組み合わせることが出来る。さらに、本実施の形態の図において、各々の部分に関して、別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【０３６６】

なお、本実施の形態は、他の実施の形態で述べた内容を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、他の実施の形態で述べた内容は、本実施の形態にも適用できる。あるいは、組み合わせることが出来る。

【０３６７】

（実施の形態８）

本実施形態においては、表示装置の画素構造について説明する。特に、液晶表示装置の画素構造について説明する。

【０３６８】

図４６は、液晶表示装置の画素構造のうち、ＴＮ方式と呼ばれるものに、薄膜トランジスタ（ＴＦＴ）を組み合わせた場合の画素の断面図と上面図である。図４６の（Ａ）は、画素の断面図であり、図４６の（Ｂ）は、画素の上面図である。また、図４６の（Ａ）に示す画素の断面図は、図４６の（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図４６に示す画素構造の液晶表示装置に本実施の形態を適用することによって、安価に液晶表示装置を製造することができる。

【０３６９】

図４６の（Ａ）を参照して、ＴＮ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図４６の（Ａ）において、２枚の基板は、第１の基板１０１０１および第２の基板１０１１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、第２の基板には、遮光膜１０１１４、カラーフィルタ１０１１５、第４の導電層１０１１３、スペーサ１０１１７、および第２の配向膜１０１１２を作製してもよい。

【０３７０】

なお、第１の基板１０１０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができ

る。

【０３７１】

なお、図４６に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴである。非結晶半導体を用いたＴＦＴを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０３７２】

なお、本実施の形態は、第２の基板１０１１６に遮光膜１０１１４を作製しなくとも実施可能である。遮光膜１０１１４を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜１０１１４を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０３７３】

なお、本実施の形態は、第２の基板１０１１６にカラーフィルタ１０１１５を作製しなくとも実施可能である。カラーフィルタ１０１１５を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ１０１１５を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０１１５を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０３７４】

なお、本実施の形態は、第２の基板１０１１６にスペーサ１０１１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０１１７を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０３７５】

次に、第１の基板１０１０１に施す加工について説明する。第１の基板１０１０１は透光性を有する基板が好適であり、例えば石英基板、ガラス基板またはプラスチック基板でもよい。なお、第１の基板１０１０１は遮光性の基板でもよく、半導体基板又はＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板でもよい。

【０３７６】

まず、第１の基板１０１０１に第１の絶縁膜１０１０２を成膜してもよい。第１の絶縁膜１０１０２は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ＳｉＯｘＮｙ）等の絶縁膜であってもよい。あるいは、第１の絶縁膜１０１０２は、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ＳｉＯｘＮｙ）等のうちの２つ以上の膜を組み合わせた積層構造の絶縁膜を用いてもよい。第１の絶縁膜１０１０２を成膜して本実施の形態を実施する場合は、基板からの不純物が半導体層に影響を及ぼし、ＴＦＴの性質が変化してしまうのを防ぐことができる。また、ＴＦＴの性質の変化を抑制できるので、信頼性の高い表示装置を得ることができる。なお、第１の絶縁膜１０１０２を成膜せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。

【０３７７】

次に、第１の基板１０１０１または第１の絶縁膜１０１０２上に、第１の導電層１０１０３を形成する。なお、第１の導電層１０１０３は、形状を加工して形成してもよい。形状を加工する工程は、次のようなものであることが好適である。まず、第１の導電層１０１

０３を全面に成膜する。このとき、第１の導電層１０１０３は、スパッタ装置、またはＣＶＤ装置などの成膜装置を用いて成膜されてもよい。次に、全面に成膜した第１の導電層上に、感光性のレジスト材料を全面に形成する。次に、フォトリソグラフィ法やレーザー直描法などによって、形成したい形状に従ってレジスト材料を感光させる。次に、感光させたレジスト材料、または感光させなかったレジスト材料のうち、どちらか一方を、エッチングによって除去することで、第１の導電層１０１０３を形状加工するためのマスクを得ることができる。その後、形成したマスクパターンに従って、第１の導電層１０１０３をエッチングにより除去することで、所望のパターンに第１の導電層１０１０３を形状加工することができる。なお、第１の導電層１０１０３をエッチングする方法には、化学的な方法（ウェットエッチング）と、物理的な方法（ドライエッチング）があるが、第１の導電層１０１０３の材料や、第１の導電層１０１０３の下層にある材料の性質などを勘案し、適宜選択する。なお、第１の導電層１０１０３に使用する材料は、Ｍｏ、Ｔｉ、Ａｌ、Ｎｄ、Ｃｒなどが好適である。あるいは、Ｍｏ、Ｔｉ、Ａｌ、Ｎｄ、Ｃｒなどのうちの２つ以上を組み合わせた積層構造であってもよい。

【０３７８】

次に、第２の絶縁膜１０１０４を形成する。このとき、第２の絶縁膜１０１０４は、スパッタ装置またはＣＶＤ装置などの成膜装置を用いて成膜されてもよい。なお、第２の絶縁膜１０１０４に使用する材料は、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などが好適である。あるいは、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などのうち２以上を組み合わせた積層構造であってもよい。なお、第１の半導体層１０１０５に接する部分の第２の絶縁膜１０１０４は、酸化シリコン膜であることが、特に好適である。なぜならば、酸化シリコン膜にすると半導体層１０１０５との界面におけるトラップ準位が少なくなるからである。なお、第１の導電層１０１０３をＭｏで形成するときは、第１の導電層１０１０３と接する部分の第２の絶縁膜１０１０４は窒化シリコン膜が好ましい。なぜならば、窒化シリコン膜はＭｏを酸化させないからである。

【０３７９】

次に、第１の半導体層１０１０５を形成する。その後、第２の半導体層１０１０６を連続して形成するのが好適である。なお、第１の半導体層１０１０５および第２の半導体層１０１０６は、形状を加工して形成してもよい。形状を加工する工程は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、第１の半導体層１０１０５に使用する材料は、シリコンまたはシリコンゲルマニウム（ＳｉＧｅ）などが好適である。また、第２の半導体層１０１０６に使用する材料は、リン等を含んだシリコン等が好適である。

【０３８０】

次に、第２の導電層１０１０７を形成する。このとき、第２の導電層１０１０７の形成方法としては、スパッタ法または印刷法を用いるのが好適である。なお、第２の導電層１０１０７に使用する材料は、透明性を有していても、反射性を有していてもよい。透明性を有する場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜または酸化スズ膜を用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料である。一方、反射性を有する場合は、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌなどを用いることができる。また、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、ＷとＡｌを積層させた２層構造、ＡｌをＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としてもよい。なお、第２の導電層１０１０７は、形状を加工して形成されてもよい。形状を加工する方法は、前述したフォトリソグラフィ法等の方法であることが好適である。なお、エッチング方法は、ドライエッチングで行なうのが好適である。ドライエッチングはＥＣＲ（Ｅｌｅｃｔｒｏｎ Ｃｙｃｒｏｔｒｏｎ Ｒｅｓｏｎａｎｃｅ）やＩＣＰ（Ｉｎ

ｄｕｃｔｉｖｅ　Ｃｏｕｐｌｅｄ　Ｐｌａｚｍａ）などの高密度プラズマ源を用いたドライエッチング装置によって行われてもよい。

【０３８１】

次に、ＴＦＴのチャネル領域を形成する。このとき、第２の半導体層１０１０６をエッチングするためのマスクとしては、第２の導電層１０１０７を用いてもよいし、第２の導電層１０１０７をエッチングするためのマスク（レジスト）を用いてもよい。こうすることで、マスク枚数を減らすことができるので、製造コストを低減することができる。導電性をもつ第２の半導体層１０１０６のエッチングを行なうことで、除去された部分がＴＦＴのチャネル領域となる。なお、第１の半導体層１０１０５と第２の半導体層１０１０６を連続で形成せずに、第１の半導体層１０１０５の形成のあと、ＴＦＴのチャネル領域となる部分にストッパーとなる膜を成膜およびパターン加工し、その後、第２の半導体層１０１０６を形成してもよい。なお、第１の半導体層１０１０５と第２の半導体層１０１０６は、第２の導電層１０１０７を前述したフォトリソグラフィ法等の方法で形状を加工するときに、同じマスクを用いてエッチングされる。こうすることで、第２の導電層１０１０７をマスクとして用いないで、ＴＦＴのチャネル領域を形成することができるので、レイアウトパターンの自由度が大きくなる利点がある。また、第２の半導体層１０１０６のエッチング時に第１の半導体層１０１０５までエッチングしてしまわないため、エッチング不良を起こすことなく、確実にＴＦＴのチャネル領域が形成できる利点がある。

【０３８２】

次に、第３の絶縁膜１０１０８を形成する。第３の絶縁膜は、透明性を有していることが好適である。なお、第３の絶縁膜１０１０８に用いる材料は、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコンなど）または、低誘電率の有機化合物材料（感光性又は非感光性の有機樹脂材料）などが好適である。また、シロキサンを含む材料を用いてもよい。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。あるいは、置換基としてフルオロ基を用いてもよい。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、第３の絶縁膜１０１０８には、をエッチングによって、選択的にコンタクトホールが形成される。また、コンタクトホールは少なくとも第２の導電層１０１０７上に形成される。なお、第３の絶縁膜１０１０８をエッチングすると同時に第２の絶縁膜１０１０４もエッチングすることで、第２の導電層１０１０７だけではなく、第１の導電層１０１０３とのコンタクトホールを形成することができる。なお、第３の絶縁膜１０１０８の表面は、できるだけ平坦であることが好適である。なぜならば、液晶が接する面の凹凸により、液晶分子の配向が影響を受けてしまうからである。

【０３８３】

次に、第３の導電層１０１０９を形成する。このとき、第３の導電層１０１０９の形成方法としては、スパッタ法または印刷法を用いるのが好適である。なお、第３の導電層１０１０９に使用する材料は、第２の導電層１０１０７と同じく、透明性を有していても、反射性を有していてもよい。なお、第３の導電層１０１０９として使用できる材料は、第２の導電層１０１０７と同様でもよい。また、第３の導電層１０１０９は、形状を加工して形成してもよい。形状を加工する方法は、第２の導電層１０１０７と同様でもよい。

【０３８４】

次に、第１の配向膜１０１１０を形成する。配向膜１０１１０には、ポリイミドなどの高分子膜を用いることができる。なお、第１の配向膜１０１１０を形成後、液晶分子の配向を制御するために、ラビングを行なってもよい。ラビングは、布で配向膜をこすることによって、配向膜にスジをつける工程である。ラビングを行なうことによって、配向膜に配向性を持たせることができる。

【０３８５】

以上のように作製した第１の基板１０１０１と、遮光膜１０１１４、カラーフィルタ１０１１５、第４の導電層１０１１３、スペーサ１０１１７および第２の配向膜１０１１２を

作製した第２の基板１０１１６とは、シール材によって数μｍのギャップを持たせて貼り合わせられる。そして、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図４６に示すようなＴＮ方式の液晶パネルにおいては、第４の導電層１０１１３は、第２の基板１０１１６の全面に作製されていてもよい。

【０３８６】

次に、図４６に示す、ＴＮ方式の液晶パネルの画素構造の特徴について説明する。図４６の（Ａ）に示した液晶分子１０１１８は、長軸と短軸を持った細長い分子である。液晶分子１０１１８の向きを示すため、図４６の（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０１１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０１１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図４６の（Ａ）に示した液晶分子１０１１８は、第１の基板１０１０１に近いものと、第２の基板１０１１６に近いものとでは、その長軸の向きが９０度異なっており、これらの中間に位置する液晶分子１０１１８の長軸の向きは、これらを滑らかにつなぐような向きとなる。すなわち、図４６の（Ａ）に示した液晶分子１０１１８は、第１の基板１０１０１と第２の基板１０１１６の間で、９０度ねじれているような配向状態となっている。

【０３８７】

次に、図４６の（Ｂ）を参照して、ＴＮ方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したＴＮ方式の液晶表示装置の画素は、走査線１０１２１と、映像信号線１０１２２と、容量線１０１２３と、ＴＦＴ１０１２４と、画素電極１０１２５と、画素容量１０１２６と、を備えていてもよい。

【０３８８】

走査線１０１２１は、ＴＦＴ１０１２４のゲート電極と電気的に接続されるため、第１の導電層１０１０３で構成されているのが好適である。

【０３８９】

映像信号線１０１２２は、ＴＦＴ１０１２４のソース電極またはドレイン電極と電気的に接続されるため、第２の導電層１０１０７で構成されているのが好適である。また、走査線１０１２１と映像信号線１０１２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【０３９０】

容量線１０１２３は、画素電極１０１２５と平行に配置されることで、画素容量１０１２６を形成するための配線であり、第１の導電層１０１０３で構成されているのが好適である。なお、図４６の（Ｂ）に示すように、容量線１０１２３は、映像信号線１０１２２に沿って、映像信号線１０１２２を囲むように延設されていてもよい。こうすることで、映像信号線１０１２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線１０１２２との交差容量を低減させるため、図４６の（Ｂ）に示すように、第１の半導体層１０１０５を容量線１０１２３と映像信号線１０１２２の交差領域に設けてもよい。

【０３９１】

ＴＦＴ１０１２４は、映像信号線１０１２２と画素電極１０１２５を導通させるスイッチとして動作する。なお、図４６の（Ｂ）に示すように、ＴＦＴ１０１２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図４６の（Ｂ）に示すように、ＴＦＴ１０１２４のゲート電極は、第１の半導体層１０１０５を囲むように配置してもよい。

【０３９２】

画素電極１０１２５は、ＴＦＴ１０１２４のソース電極またはドレイン電極の一方に電気的に接続される。画素電極１０１２５は、映像信号線１０１２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線１０１２３を配置することで、

画素容量１０１２６を形成してもよい。こうすることで、画素電極１０１２５は、映像信号線１０１２２によって伝達された信号電圧を保持しやすくなる。なお、画素電極１０１２５は、図４６の（Ｂ）に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極１０１２５を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極１０１２５を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極１０１２５を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極１０１２５を、反射性をもつ材料で作製した場合は、画素電極１０１２５の表面に凹凸を持たせてもよい。あるいは、第３の絶縁膜１０１０８の表面に凹凸を持たせることで、画素電極１０１２５を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０３９３】

次に、図４７を参照して、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モードの液晶表示装置に、本実施の形態を適用した場合を説明する。図４７は、ＶＡモードの液晶表示装置の画素構造のうち、配向制御用突起を用いることで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆるＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式に、本実施の形態を適用した場合の、画素の断面図と上面図である。図４７の（Ａ）は、画素の断面図であり、図４７の（Ｂ）は、画素の上面図である。また、図４７の（Ａ）に示す画素の断面図は、図４７の（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図４７に示す画素構造の液晶表示装置に本実施の形態を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【０３９４】

図４７の（Ａ）を参照して、ＭＶＡ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図４７の（Ａ）において、２枚の基板は、第１の基板１０２０１および第２の基板１０２１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、第２の基板には、遮光膜１０２１４、カラーフィルタ１０２１５、第４の導電層１０２１３、スペーサ１０２１７、第２の配向膜１０２１２、および配向制御用突起１０２１９を作製してもよい。

【０３９５】

なお、本実施の形態は、第１の基板１０２０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【０３９６】

なお、図４７に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴである。非結晶半導体を用いたＴＦＴを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０３９７】
なお、本実施の形態は、第２の基板１０２１６に遮光膜１０２１４を作製しなくとも実施可能である。遮光膜１０２１４を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜１０２１４を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。
【０３９８】
なお、本実施の形態は、第２の基板１０２１６にカラーフィルタ１０２１５を作製しなくとも実施可能である。カラーフィルタ１０２１５を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ１０２１５を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０２１５を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。
【０３９９】
なお、本実施の形態は、第２の基板１０２１６にスペーサ１０２１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０２１７を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。
【０４００】
次に、第１の基板１０２０１に施す加工については、図４６で説明した方法を用いてもよいため、省略する。ここで、第１の基板１０２０１、第１の絶縁膜１０２０２、第１の導電層１０２０３、第２の絶縁膜１０２０４、第１の半導体層１０２０５、第２の半導体層１０２０６、第２の導電層１０２０７、第３の絶縁膜１０２０８、第３の導電層１０２０９、第１の配向膜１０２１０が、それぞれ、図４６における第１の基板１０１０１、第１の絶縁膜１０１０２、第１の導電層１０１０３、第２の絶縁膜１０１０４、第１の半導体層１０１０５、第２の半導体層１０１０６、第２の導電層１０１０７、第３の絶縁膜１０１０８、第３の導電層１０１０９、第１の配向膜１０１１０、と対応する。なお、図示はしないが、第１の基板側にも、配向制御用突起を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第１の配向膜１０２１０および第２の配向膜１０２１２は、垂直配向膜でもよい。こうすることで、液晶分子１０２１８を垂直に配向することができる。
【０４０１】
以上のように作製した第１の基板１０２０１と、遮光膜１０２１４、カラーフィルタ１０２１５、第４の導電層１０２１３、スペーサ１０２１７、および第２の配向膜１０２１２を作製した第２の基板１０２１６を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図４７に示すようなＭＶＡ方式の液晶パネルにおいては、第４の導電層１０２１３は、第２の基板１０２１６の全面に作製されていてもよい。また、第４の導電層１０２１３に接して、配向制御用突起１０２１９を作製してもよい。なお、配向制御用突起１０２１９の形状に限定はないが、滑らかな曲面を持った形状であるのが好適である。こうすることで、近接する液晶分子１０２１８の配向が極近いものとなるため、配向不良が低減する。また、第２の配向膜１０２１２が、配向制御用突起１０２１９によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。
【０４０２】
次に、図４７に示す、ＭＶＡ方式の液晶パネルの画素構造の特徴について説明する。図４７の（Ａ）に示した液晶分子１０２１８は、長軸と短軸を持った細長い分子である。液晶

分子１０２１８の向きを示すため、図４７の（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０２１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０２１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図４７の（Ａ）に示した液晶分子１０２１８は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、配向制御用突起１０２１９のある部分の液晶分子１０２１８は、配向制御用突起１０２１９を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０４０３】

次に、図４７の（Ｂ）を参照して、ＭＶＡ方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したＭＶＡ方式の液晶表示装置の画素は、走査線１０２２１と、映像信号線１０２２２と、容量線１０２２３と、ＴＦＴ１０２２４と、画素電極１０２２５と、画素容量１０２２６と、配向制御用突起１０２１９と、を備えていてもよい。

【０４０４】

走査線１０２２１は、ＴＦＴ１０２２４のゲート電極と電気的に接続されるため、第１の導電層１０２０３で構成されているのが好適である。

【０４０５】

映像信号線１０２２２は、ＴＦＴ１０２２４のソース電極またはドレイン電極と電気的に接続されるため、第２の導電層１０２０７で構成されているのが好適である。また、走査線１０２２１と映像信号線１０２２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【０４０６】

容量線１０２２３は、画素電極１０２２５と平行に配置されることで、画素容量１０２２６を形成するための配線であり、第１の導電層１０２０３で構成されているのが好適である。なお、図４７の（Ｂ）に示すように、容量線１０２２３は、映像信号線１０２２２に沿って、映像信号線１０２２２を囲むように延設されていてもよい。こうすることで、映像信号線１０２２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線１０２２２との交差容量を低減させるため、図４７の（Ｂ）に示すように、第１の半導体層１０２０５を容量線１０２２３と映像信号線１０２２２の交差領域に設けてもよい。

【０４０７】

ＴＦＴ１０２２４は、映像信号線１０２２２と画素電極１０２２５を導通させるスイッチとして動作する。なお、図４７の（Ｂ）に示すように、ＴＦＴ１０２２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図４７の（Ｂ）に示すように、ＴＦＴ１０２２４のゲート電極は、第１の半導体層１０２０５を囲むように配置してもよい。

【０４０８】

画素電極１０２２５は、ＴＦＴ１０２２４のソース電極またはドレイン電極の一方に電気的に接続される。画素電極１０２２５は、映像信号線１０２２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線１０２２３を配置することで、画素容量１０２２６を形成してもよい。こうすることで、画素電極１０２２５は、映像信号線１０２２２によって伝達された信号電圧を保持しやすくなる。なお、画素電極１０２２５は、図４７の（Ｂ）に示すように、矩形であってもよい。こうすることで、画素の開口率を大きくすることができるので、液晶表示装置の効率が向上する。また、画素電極１０２２５を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極１０２２５を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下

における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極１０２２５を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極１０２２５を、反射性をもつ材料で作製した場合は、画素電極１０２２５の表面に凹凸を持たせてもよい。あるいは、第３の絶縁膜１０２０８の表面に凹凸を持たせることで、画素電極１０２２５を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０４０９】

次に、図４８を参照して、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モードの液晶表示装置に、本実施の形態を適用した場合の、別の例を説明する。図４８は、ＶＡモードの液晶表示装置の画素構造のうち、第４の導電層１０３１３にパターン加工を施すことで、液晶分子が様々な向きを持つように制御し、視野角を大きくした、いわゆるＰＶＡ（Ｐａｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）方式に、本実施の形態を適用した場合の、画素の断面図と上面図である。図４８の（Ａ）は、画素の断面図であり、図４８の（Ｂ）は、画素の上面図である。また、図４８の（Ａ）に示す画素の断面図は、図４８の（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図４８に示す画素構造の液晶表示装置に本実施の形態を適用することによって、視野角が大きく、応答速度が速く、コントラストの大きい液晶表示装置を得ることができる。

【０４１０】

図４８の（Ａ）を参照して、ＰＶＡ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図４８の（Ａ）において、２枚の基板は、第１の基板１０３０１、および第２の基板１０３１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜１０３１４、カラーフィルタ１０３１５、第４の導電層１０３１３、スペーサ１０３１７、および第２の配向膜１０３１２を作製してもよい。

【０４１１】

なお、本実施の形態は、第１の基板１０３０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【０４１２】

なお、図４８に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴである。非結晶半導体を用いたＴＦＴを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０４１３】

なお、本実施の形態は、第２の基板１０３１６に遮光膜１０３１４を作製しなくとも実施可能である。遮光膜１０３１４を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜１０３１４を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０４１４】

なお、本実施の形態は、第２の基板１０３１６にカラーフィルタ１０３１５を作製しなく

とも実施可能である。カラーフィルタ１０３１５を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ１０３１５を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０３１５を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０４１５】

なお、本実施の形態は、第２の基板１０３１６にスペーサ１０３１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０３１７を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０４１６】

次に、第１の基板１０３０１に施す加工については、図４６で説明した方法を用いてもよいため、省略する。ここで、第１の基板１０３０１、第１の絶縁膜１０３０２、第１の導電層１０３０３、第２の絶縁膜１０３０４、第１の半導体層１０３０５、第２の半導体層１０３０６、第２の導電層１０３０７、第３の絶縁膜１０３０８、第３の導電層１０３０９、第１の配向膜１０３１０が、それぞれ、図４６における第１の基板１０１０１、第１の絶縁膜１０１０２、第１の導電層１０１０３、第２の絶縁膜１０１０４、第１の半導体層１０１０５、第２の半導体層１０１０６、第２の導電層１０１０７、第３の絶縁膜１０１０８、第３の導電層１０１０９、第１の配向膜１０１１０、と対応する。なお、第１の基板１０３０１側の第３の導電層１０３０９に、電極切り欠き部を設けてもよい。こうすることで、より確実に液晶分子の配向を制御することができる。また、第１の配向膜１０３１０および第２の配向膜１０３１２は、垂直配向膜でもよい。こうすることで、液晶分子１０３１８を垂直に配向することができる。

【０４１７】

以上のように作製した第１の基板１０３０１と、遮光膜１０３１４、カラーフィルタ１０３１５、第４の導電層１０３１３、スペーサ１０３１７、および第２の配向膜１０３１２を作製した第２の基板１０３１６を、シール材によって数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図４８に示すようなＰＶＡ方式の液晶パネルにおいては、第４の導電層１０３１３は、パターン加工を施して、電極切り欠き部１０３１９を作製してもよい。なお、電極切り欠き部１０３１９の形状に限定はないが、異なる向きを持った複数の矩形を組み合わせた形状であるのが好適である。こうすることで、配向の異なる複数の領域が形成できるので、視野角の大きな液晶表示装置を得ることができる。また、電極切り欠き部１０３１９と第４の導電層１０３１３の境界における第４の導電層１０３１３の形状は、滑らかな曲線であることが好適である。こうすることで、近接する液晶分子１０３１８の配向が極近いものとなるため、配向不良が低減する。また、第２の配向膜１０３１２が、電極切り欠き部１０３１９によって段切れを起こしてしまうことによる、配向膜の不良も低減することができる。

【０４１８】

次に、図４８に示す、ＰＶＡ方式の液晶パネルの画素構造の特徴について説明する。図４８の（Ａ）に示した液晶分子１０３１８は、長軸と短軸を持った細長い分子である。液晶分子１０３１８の向きを示すため、図４８の（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０３１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０３１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図４８の（Ａ）に示した液晶分子１０３１８は、その長軸の向きが配向膜の法線方向を向くように配向している。よって、電極切り欠き部１０３１

９のある部分の液晶分子１０３１８は、電極切り欠き部１０３１９と第４の導電層１０３１３の境界を中心として放射状に配向する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０４１９】

次に、図４８の（Ｂ）を参照して、ＰＶＡ方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したＰＶＡ方式の液晶表示装置の画素は、走査線１０３２１と、映像信号線１０３２２と、容量線１０３２３と、ＴＦＴ１０３２４と、画素電極１０３２５と、画素容量１０３２６と、電極切り欠き部１０３１９と、を備えていてもよい。

【０４２０】

走査線１０３２１は、ＴＦＴ１０３２４のゲート電極と電気的に接続されるため、第１の導電層１０３０３で構成されているのが好適である。

【０４２１】

映像信号線１０３２２は、ＴＦＴ１０３２４のソース電極またはドレイン電極と電気的に接続されるため、第２の導電層１０３０７で構成されているのが好適である。また、走査線１０３２１と映像信号線１０３２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。

【０４２２】

容量線１０３２３は、画素電極１０３２５と平行に配置されることで、画素容量１０３２６を形成するための配線であり、第１の導電層１０３０３で構成されているのが好適である。なお、図４８の（Ｂ）に示すように、容量線１０３２３は、映像信号線１０３２２に沿って、映像信号線１０３２２を囲むように延設されていてもよい。こうすることで、映像信号線１０３２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線１０３２２との交差容量を低減させるため、図４８の（Ｂ）に示すように、第１の半導体層１０３０５を容量線１０３２３と映像信号線１０３２２の交差領域に設けてもよい。

【０４２３】

ＴＦＴ１０３２４は、映像信号線１０３２２と画素電極１０３２５を導通させるスイッチとして動作する。なお、図４８の（Ｂ）に示すように、ＴＦＴ１０３２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図４８の（Ｂ）に示すように、ＴＦＴ１０３２４のゲート電極は、第１の半導体層１０３０５を囲むように配置してもよい。

【０４２４】

画素電極１０３２５は、ＴＦＴ１０３２４のソース電極またはドレイン電極の一方に電気的に接続される。画素電極１０３２５は、映像信号線１０３２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、容量線１０３２３を配置することで、画素容量１０３２６を形成してもよい。こうすることで、画素電極１０３２５は、映像信号線１０３２２によって伝達された信号電圧を保持しやすくなる。なお、画素電極１０３２５は、図４８の（Ｂ）に示すように、第４の導電層１０３１３に設けた電極切り欠き部１０３１９の形状に合わせて、電極切り欠き部１０３１９のない部分に、画素電極１０３２５を切り欠いた部分を形成するのが好適である。こうすることで、液晶分子１０３１８の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極１０３２５を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極１０３２５を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、画素電極１０３２５を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ

持つ、半透過型の液晶表示装置を得ることができる。なお、画素電極１０３２５を、反射性をもつ材料で作製した場合は、画素電極１０３２５の表面に凹凸を持たせてもよい。あるいは、第３の絶縁膜１０３０８の表面に凹凸を持たせることで、画素電極１０３２５を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０４２５】

次に、図４９を参照して、横電界方式の液晶表示装置に、本実施の形態を適用した場合を説明する。図４９は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の画素構造のうち、画素電極１０４２５と共通電極１０４２３に櫛歯状のパターン加工を施すことで、横方向に電界をかける方式、いわゆるＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）方式に、本実施の形態を適用した場合の、画素の断面図と上面図である。図４９の（Ａ）は、画素の断面図であり、図４９の（Ｂ）は、画素の上面図である。また、図４９の（Ａ）に示す画素の断面図は、図４９の（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図４９に示す画素構造の液晶表示装置に本実施の形態を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【０４２６】

図４９の（Ａ）を参照して、ＩＰＳ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数μｍのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図４９の（Ａ）において、２枚の基板は、第１の基板１０４０１、および第２の基板１０４１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、また、第２の基板には、遮光膜１０４１４、カラーフィルタ１０４１５、スペーサ１０４１７、および第２の配向膜１０４１２を作製してもよい。

【０４２７】

なお、本実施の形態は、第１の基板１０４０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。さらに、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【０４２８】

なお、図４９に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴである。非結晶半導体を用いたＴＦＴを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０４２９】

なお、本実施の形態は、第２の基板１０４１６に遮光膜１０４１４を作製しなくとも実施可能である。遮光膜１０４１４を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜１０４１４を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０４３０】

なお、本実施の形態は、第２の基板１０４１６にカラーフィルタ１０４１５を作製しなくとも実施可能である。カラーフィルタ１０４１５を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。ただし、カラーフィルタ１０４１５を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。また、構造が簡単であ

るので、歩留まりを向上させることができる。一方、カラーフィルタ１０４１５を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０４３１】

なお、本実施の形態は、第２の基板１０４１６にスペーサ１０４１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０４１７を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０４３２】

次に、第１の基板１０４０１に施す加工については、図４６で説明した方法を用いてもよいため、省略する。ここで、第１の基板１０４０１、第１の絶縁膜１０４０２、第１の導電層１０４０３、第２の絶縁膜１０４０４、第１の半導体層１０４０５、第２の半導体層１０４０６、第２の導電層１０４０７、第３の絶縁膜１０４０８、第３の導電層１０４０９、第１の配向膜１０４１０が、それぞれ、図４６における第１の基板１０１０１、第１の絶縁膜１０１０２、第１の導電層１０１０３、第２の絶縁膜１０１０４、第１の半導体層１０１０５、第２の半導体層１０１０６、第２の導電層１０１０７、第３の絶縁膜１０１０８、第３の導電層１０１０９、第１の配向膜１０１１０、と対応する。なお、第１の基板１０４０１側の第３の導電層１０４０９にパターン加工を施し、互いにかみ合った２つの櫛歯状の形状に形成してもよい。また、一方の櫛歯状の電極は、ＴＦＴ１０４２４のソース電極またはドレイン電極の一方と電気的に接続され、他方の櫛歯状の電極は、共通電極１０４２３と電気的に接続されていてもよい。こうすることで、液晶分子１０４１８に効果的に横方向の電界をかけることができる。

【０４３３】

以上のように作製した第１の基板１０４０１と、遮光膜１０４１４、カラーフィルタ１０４１５、スペーサ１０４１７、および第２の配向膜１０４１２を作製した第２の基板１０４１６を、シール材によって数マイクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第２の基板１０４１６側に、導電層を形成してもよい。第２の基板１０４１６側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

【０４３４】

次に、図４９に示す、ＩＰＳ方式の液晶パネルの画素構造の特徴について説明する。図４９の（Ａ）に示した液晶分子１０４１８は、長軸と短軸を持った細長い分子である。液晶分子１０４１８の向きを示すため、図４９の（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０４１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０４１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図４９の（Ａ）に示した液晶分子１０４１８は、その長軸の向きが常に基板と水平の方向を向くように配向している。図４９の（Ａ）においては、電界のない状態における配向を表しているが、液晶分子１０４１８に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０４３５】

次に、図４９の（Ｂ）を参照して、ＩＰＳ方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したＩＰＳ方式の液晶表示装置の画素は、走査線１０４２１と、映像信号線１０４２２と、共通電極１０４２３と、ＴＦＴ１０４２４と、画素電極１０４２５と、を備えていてもよい。

【０４３６】

走査線１０４２１は、ＴＦＴ１０４２４のゲート電極と電気的に接続されるため、第１の導電層１０４０３で構成されているのが好適である。

【０４３７】
映像信号線１０４２２は、ＴＦＴ１０４２４のソース電極またはドレイン電極と電気的に接続されるため、第２の導電層１０４０７で構成されているのが好適である。また、走査線１０４２１と映像信号線１０４２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図４９の（Ｂ）に示すように、映像信号線１０４２２は、画素電極１０４２５および共通電極１０４２３の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。
【０４３８】
共通電極１０４２３は、画素電極１０４２５と平行に配置されることで、横方向の電界を発生させるための電極であり、第１の導電層１０４０３および第３の導電層１０４０９で構成されているのが好適である。なお、図４９の（Ｂ）に示すように、共通電極１０４２３は、映像信号線１０４２２に沿って、映像信号線１０４２２を囲むように延設されていてもよい。こうすることで、映像信号線１０４２２の電位変化に伴って、電位を保持するべき電極の電位が変化してしまう現象、いわゆるクロストークを低減することができる。なお、映像信号線１０４２２との交差容量を低減させるため、図４９の（Ｂ）に示すように、第１の半導体層１０４０５を共通電極１０４２３と映像信号線１０４２２の交差領域に設けてもよい。
【０４３９】
ＴＦＴ１０４２４は、映像信号線１０４２２と画素電極１０４２５を導通させるスイッチとして動作する。なお、図４９の（Ｂ）に示すように、ＴＦＴ１０４２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図４９の（Ｂ）に示すように、ＴＦＴ１０４２４のゲート電極は、第１の半導体層１０４０５を囲むように配置してもよい。
【０４４０】
画素電極１０４２５は、ＴＦＴ１０４２４のソース電極またはドレイン電極の一方に電気的に接続される。画素電極１０４２５は、映像信号線１０４２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極１０４２３を配置することで、画素容量を形成してもよい。こうすることで、画素電極１０３２５は、映像信号線１０４２２によって伝達された信号電圧を保持しやすくなる。なお、画素電極１０４２５および櫛歯状の共通電極１０４２３は、図４９の（Ｂ）に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子１０４１８の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、画素電極１０４２５および櫛歯状の共通電極１０４２３を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。さらに、透過型の液晶表示装置は、画素が高開口率となって、光効率を向上することができる。ただし、画素電極１０４２５および櫛歯状の共通電極１０４２３を透明性をもたず、かつ、反射性をもたいない材料で作製した場合でも、透過型の液晶表示装置を得ることができる。当該透過型の液晶表示装置は、横電界が存在する部分の液晶分子１０４１８のみを光が透過するため、色の再現性が高く、高い画質を持った映像を表示することができる。また、画素電極１０４２５および櫛歯状の共通電極１０４２３を、反射性をもつ材料で作製した場合は、半透過型の液晶表示装置を得ることができる。半透過型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、消費電力を非常に小さくすることができる。さらに、半透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。ただし、画素電極１０４２５および櫛歯状の共通電極１０４２３を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合でもは半透過型の液晶表示装置を得ることができる。なお、画素電極１０４２５および櫛歯状の共通電極１０４２３を、反射性をもつ材料で作製した場合は、画素電極１０４２５および櫛歯状の共通電極１０

４２３の表面に凹凸を持たせてもよい。あるいは、第３の絶縁膜１０４０８の表面に凹凸を持たせることで、画素電極１０４２５および櫛歯状の共通電極１０４２３を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０４４１】

なお、櫛歯状の画素電極１０４２５と、櫛歯状の共通電極１０４２３は、ともに第３の導電層１０４０９で形成されるとしたが、本実施の形態が適用できる画素構成は、これに限定されず、適宜選択することができる。たとえば、櫛歯状の画素電極１０４２５と、櫛歯状の共通電極１０４２３を、ともに第２の導電層１０４０７で形成してもよいし、ともに第１の導電層１０４０３で形成してもよいし、どちらか一方を第３の導電層１０４０９で形成し、他方を第２の導電層１０４０７で形成してもよいし、どちらか一方を第３の導電層１０４０９で形成し、他方を第１の導電層１０４０７で形成してもよいし、どちらか一方を第２の導電層１０４０９で形成し、他方を第１の導電層１０４０７で形成してもよい。

【０４４２】

次に、図５０を参照して、別の横電界方式の液晶表示装置に、本実施の形態を適用した場合を説明する。図５０は、液晶分子の配向が基板に対して常に水平であるようにスイッチングを行なうために、横方向に電界をかける方式の液晶表示装置の別の画素構造を示す図である。より詳細には、画素電極１０５２５と共通電極１０５２３のうち、どちらか一方に櫛歯状のパターン加工を施し、他方は櫛歯状の形状に重なる領域に一様に電極を形成することで、横方向に電界をかける方式、いわゆるＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）方式に、本実施の形態を適用した場合の、画素の断面図と上面図である。図５０の（Ａ）は、画素の断面図であり、図５０の（Ｂ）は、画素の上面図である。また、図５０の（Ａ）に示す画素の断面図は、図５０の（Ｂ）に示す画素の上面図における線分ａ－ａ’に対応している。図５０に示す画素構造の液晶表示装置に本実施の形態を適用することによって、原理的に視野角が大きく、応答速度の階調依存性の小さい液晶表示装置を得ることができる。

【０４４３】

図５０の（Ａ）を参照して、ＦＦＳ方式の液晶表示装置の画素構造について説明する。液晶表示装置は、液晶パネルと呼ばれる、画像を表示する基幹部分を有する。液晶パネルは、加工を施した２枚の基板を、数マクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで作製される。図５０の（Ａ）において、２枚の基板は、第１の基板１０５０１および第２の基板１０５１６である。第１の基板には、ＴＦＴおよび画素電極を作製し、第２の基板には、遮光膜１０５１４、カラーフィルタ１０５１５、スペーサ１０５１７、および第２の配向膜１０５１２を作製してもよい。

【０４４４】

なお、本実施の形態は、第１の基板１０５０１にＴＦＴを作製しなくとも実施可能である。ＴＦＴを作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、ＴＦＴを作製して本実施の形態を実施する場合は、より大型の表示装置を得ることができる。

【０４４５】

なお、図５０に示すＴＦＴは、非晶質半導体を用いたボトムゲート型のＴＦＴである。非結晶半導体を用いたＴＦＴを適応した液晶パネルは、大面積の基板を用いて、安価に作製できるという利点がある。しかし、本実施の形態はこれに限定されるものではない。使用できるＴＦＴの構造は、ボトムゲート型のＴＦＴではチャネルエッチ型、チャネル保護型などがある。また、トップゲート型でもよい。さらに、非晶質半導体だけではなく、多結晶半導体も用いることができる。

【０４４６】

なお、本実施の形態は、第２の基板１０５１６に遮光膜１０５１４を作製しなくとも実施可能である。遮光膜１０５１４を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、遮光膜１０５１４を作製して本実施の形態を実施する場合は、黒表示時に光漏れの少ない表示装置を得ることができる。

【０４４７】

なお、本実施の形態は、第２の基板１０５１６にカラーフィルタ１０５１５を作製しなくとも実施可能である。カラーフィルタ１０５１５を作製せずに本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。ただし、カラーフィルタ１０５１５を作製せずに本実施の形態を実施する場合でも、フィールドシーケンシャル駆動によってカラー表示ができる表示装置を得ることができる。一方、カラーフィルタ１０５１５を作製して本実施の形態を実施する場合は、カラー表示ができる表示装置を得ることができる。

【０４４８】

なお、本実施の形態は、第２の基板１０５１６にスペーサ１０５１７を作製せず、球状のスペーサを散布することでも実施可能である。球状のスペーサを散布することで本実施の形態を実施する場合は、工程数が減少するため、製造コストを低減することができる。また、構造が簡単であるので、歩留まりを向上させることができる。一方、スペーサ１０５１７を作製して本実施の形態を実施する場合は、スペーサの位置がばらつかないため、２枚の基板間の距離を一様にすることができ、表示ムラの少ない表示装置を得ることができる。

【０４４９】

次に、第１の基板１０５０１に施す加工については、図４６で説明した方法を用いてもよいため、省略する。ここで、第１の基板１０５０１、第１の絶縁膜１０５０２、第１の導電層１０５０３、第２の絶縁膜１０５０４、第１の半導体層１０５０５、第２の半導体層１０５０６、第２の導電層１０５０７、第３の絶縁膜１０５０８、第３の導電層１０５０９、第１の配向膜１０５１０が、それぞれ、図４６における第１の基板１０１０１、第１の絶縁膜１０１０２、第１の導電層１０１０３、第２の絶縁膜１０１０４、第１の半導体層１０１０５、第２の半導体層１０１０６、第２の導電層１０１０７、第３の絶縁膜１０１０８、第３の導電層１０１０９、第１の配向膜１０１１０、と対応する。

【０４５０】

ただし、図４６と異なる点は、第１の基板１０５０１側に、第４の絶縁膜１０５１９および第４の導電層１０５１３を形成してもよいという点である。より詳細には、第３の導電層１０５０９にパターン加工を施したあと、第４の絶縁膜１０５１９を成膜し、パターン加工を施してコンタクトホールを形成した後、第４の導電層１０５１３を成膜し、同様にパターン加工を施した後、第１の配向膜１０５１０を形成してもよい。なお、第４の絶縁膜１０５１９および第４の導電層１０５１３に使用できる材料および加工方法は、第３の絶縁膜１０５０８および第３の導電層１０５０９に用いるものと同様のものを用いることができる。また、一方の櫛歯状の電極は、ＴＦＴ１０５２４のソース電極またはドレイン電極の一方と電気的に接続され、他方の一様な電極は、共通電極１０５２３と電気的に接続されていてもよい。こうすることで、液晶分子１０５１８に効果的に横方向の電界をかけることができる。

【０４５１】

以上のように作製した第１の基板１０５０１と、遮光膜１０５１４、カラーフィルタ１０５１５、スペーサ１０５１７、および第２の配向膜１０５１２を作製した第２の基板１０５１６を、シール材によって数マクロメートルのギャップを持たせて貼り合わせ、２枚の基板間に液晶材料を注入することで、液晶パネルが作製できる。なお、図示しないが、第２の基板１０５１６側に、導電層を形成してもよい。第２の基板１０５１６側に導電層を形成することで、外部からの電磁波ノイズの影響を受けにくくすることができる。

【０４５２】

次に、図５０に示す、ＦＦＳ方式の液晶パネルの画素構造の特徴について説明する。図５０の（Ａ）に示した液晶分子１０５１８は、長軸と短軸を持った細長い分子である。液晶分子１０５１８の向きを示すため、図５０の（Ａ）においては、その長さによって表現している。すなわち、長く表現された液晶分子１０５１８は、その長軸の向きが紙面に平行であり、短く表現された液晶分子１０５１８ほど、その長軸の向きが紙面の法線方向に近くなっているとする。つまり、図５０の（Ａ）に示した液晶分子１０５１８は、その長軸の向きが常に基板と水平の方向を向くように配向している。図５０の（Ａ）においては、電界のない状態における配向を表しているが、液晶分子１０５１８に電界がかかったときは、その長軸の向きが常に基板と水平の方向を保ったまま、水平面内で回転する。この状態となることによって、視野角の大きい液晶表示装置を得ることができる。

【０４５３】

次に、図５０の（Ｂ）を参照して、ＦＦＳ方式の液晶表示装置に本実施の形態を適用した場合の、画素のレイアウトの一例について説明する。本実施の形態を適用したＦＦＳ方式の液晶表示装置の画素は、走査線１０５２１と、映像信号線１０５２２と、共通電極１０５２３と、ＴＦＴ１０５２４と、画素電極１０５２５と、を備えていてもよい。

【０４５４】

走査線１０５２１は、ＴＦＴ１０５２４のゲート電極と電気的に接続されるため、第１の導電層１０５０３で構成されているのが好適である。

【０４５５】

映像信号線１０５２２は、ＴＦＴ１０５２４のソース電極またはドレイン電極と電気的に接続されるため、第２の導電層１０５０７で構成されているのが好適である。また、走査線１０５２１と映像信号線１０５２２はマトリックス状に配置されるため、少なくとも、異なる層の導電層で形成されるのが好適である。なお、図５０の（Ｂ）に示すように、映像信号線１０５２２は、画素電極１０５２５の形状に合わせるように、画素内で屈曲して形成されていてもよい。こうすることで、画素の開口率を大きくすることができるため、液晶表示装置の効率を向上させることができる。

【０４５６】

共通電極１０５２３は、第１の導電層１０５０３および第３の導電層１０５０９で構成されているのが好適である。なお、映像信号線１０５２２との交差容量を低減させるため、図５０の（Ｂ）に示すように、第１の半導体層１０５０５を共通電極１０５２３と映像信号線１０５２２の交差領域に設けてもよい。

【０４５７】

ＴＦＴ１０５２４は、映像信号線１０５２２と画素電極１０５２５を導通させるスイッチとして動作する。なお、図５０の（Ｂ）に示すように、ＴＦＴ１０５２４のソース領域またはドレイン領域のどちらか一方を、ソース領域またはドレイン領域の他方を囲むように配置してもよい。こうすることで、小さい面積で大きなチャネル幅を得ることができ、スイッチング能力を大きくすることができる。なお、図５０の（Ｂ）に示すように、ＴＦＴ１０５２４のゲート電極は、第１の半導体層１０５０５を囲むように配置してもよい。

【０４５８】

画素電極１０５２５は、ＴＦＴ１０５２４のソース電極またはドレイン電極の一方に電気的に接続される。画素電極１０５２５は、映像信号線１０５２２によって伝達された信号電圧を液晶素子に与えるための電極である。また、共通電極１０５２３を配置することで、画素容量を形成してもよい。こうすることで、画素電極１０５２５は、映像信号線１０５２２によって伝達された信号電圧を保持しやすくなる。なお、画素電極１０５２５は、図５０の（Ｂ）に示すように、屈曲した櫛歯状の形状として形成するのが好適である。こうすることで、液晶分子１０５１８の配向が異なる複数の領域を形成することができるので、視野角の大きな液晶表示装置を得ることができる。また、櫛歯状の画素電極１０５２５および共通電極１０５２３を、透明性をもつ材料で作製した場合は、透過型の液晶表示装置を得ることができる。ただし、櫛歯状の画素電極１０５２５を反射性をもたない材料で作製し、かつ、共通電極１０５２３を透明性をもつ材料で作製した場合でも、透過型の

液晶表示装置を得ることができる。透過型の液晶表示装置は、色の再現性が高く、高い画質を持った映像を表示することができる。また、櫛歯状の画素電極１０５２５および共通電極１０５２３を、反射性をもつ材料で作製した場合は、反射型の液晶表示装置を得ることができる。ただし、すくなくとも共通電極１０５２３を反射性をもつ材料で作製すれば、反射型の液晶表示装置を得ることができる。反射型の液晶表示装置は、屋外などの明るい環境下における視認性が高く、また、バックライトが不要なので、消費電力を非常に小さくすることができる。なお、櫛歯状の画素電極１０５２５および共通電極１０５２３を、透明性をもつ材料および反射性をもつ材料の両方を用いて作成した場合は、両者の利点を併せ持つ、半透過型の液晶表示装置を得ることができる。ただし、櫛歯状の画素電極１０５２５を反射性をもつ材料で作製し、画素電極１０５２５を透過性を持つ材料で作製した場合でも、半透過型の液晶表示装置を得ることができる。なお、画素電極１０５２５および櫛歯状の共通電極１０５２３を、反射性をもつ材料で作製した場合は、櫛歯状の画素電極１０５２５および共通電極１０５２３の表面に凹凸を持たせてもよい。あるいは、第３の絶縁膜１０５０８の表面に凹凸を持たせることで、櫛歯状の画素電極１０５２５および共通電極１０５２３を凹凸にすることもできる。こうすることで、反射光が乱反射するので、反射光の強度分布の角度依存性が小さくなる利点がある。つまり、どの角度で見ても、一定の明るさを持った反射型の液晶表示装置を得ることができる。

【０４５９】

なお、櫛歯状の画素電極１０５２５は、第４の導電層１０５１３で形成され、一様な共通電極１０５２３は、第３の導電層１０５０９で形成されるとしたが、本実施の形態が適用できる画素構成は、これに限定されず、ある条件を満たしていれば、適宜選択することができる。より詳細には、第１の基板１０５０１から見て、櫛歯状の電極が、一様な電極より液晶に近いほうに位置していればよい。なぜならば、横方向の電界は、櫛歯状の電極から見た場合、常に、一様な電極とは逆方向に発生するからである。つまり、液晶に横電界をかけるためには、櫛歯状の電極は、一様な電極よりも液晶よりに位置していなければならないからである。

【０４６０】

この条件を満たすには、たとえば、櫛歯状の電極を第４の導電層１０５１３で形成し、一様な電極を第３の導電層１０５０９で形成してもよいし、櫛歯状の電極を第４の導電層１０５１３で形成し、一様な電極を第２の導電層１０５０７で形成してもよいし、櫛歯状の電極を第４の導電層１０５１３で形成し、一様な電極を第１の導電層１０５０３で形成してもよいし、櫛歯状の電極を第３の導電層１０５０９で形成し、一様な電極を第２の導電層１０５０７で形成してもよいし、櫛歯状の電極を第３の導電層１０５０９で形成し、一様な電極を第１の導電層１０５０３で形成してもよいし、櫛歯状の電極を第２の導電層１０５０７で形成し、一様な電極を第１の導電層１０５０３で形成してもよい。なお、櫛歯状の電極は、ＴＦＴ１０５２４のソース領域またはドレイン領域の一方と電気的に接続され、一様な電極は、共通電極１０５２３と電気的に接続されるとしたが、この接続は、逆でもよい。その場合は、一様な電極が画素ごとに独立して形成されていてもよい。

【０４６１】

続いて、本実施形態の液晶表示装置に適応しうる各種液晶モードについて、説明する。

【０４６２】

まず図５１（Ａ１）（Ａ２）にはＴＮモードの液晶表示装置の模式図を示す。

【０４６３】

上記実施の形態と同様に、互いに対向するように配置された第１の基板１０６０１及び第２の基板１０６０２に、液晶層１０６００が挟持されている。そして、第１の基板１０６０１側には、第１の偏光子を含む層１０６０３が積層され、第２の基板１０６０２側には、第２の偏光子を含む層１０６０４が配置されている。なお、第１の偏光子を含む層１０６０３と、第２の偏光子を含む層１０６０４とは、クロスニコルになるように配置されている。

【０４６４】

なお、図示しないが、バックライト等は、第２の偏光子を含む層の外側に配置される。第１の基板１０６０１、及び第２の基板１０６０２上には、それぞれ第１の電極１０６０５、第２の電極１０６０６が設けられている。そして、バックライトと反対側、つまり視認側の電極である第１の電極１０６０５は、少なくとも透光性を有するように形成する。

【０４６５】

図５１（Ａ１）（Ａ２）のような構成を有する液晶表示装置において、ノーマリホワイトモードの場合、第１の電極１０６０５及び第２の電極１０６０６に電圧が印加（縦電界方式と呼ぶ）されると、図５１（Ａ１）に示すように黒色表示が行われる。このとき液晶分子は縦に並んだ状態となる。すると、バックライトからの光は、基板を通過することができず黒色表示となる。

【０４６６】

そして、図５１（Ａ２）に示すように、第１の電極１０６０５及び第２の電極１０６０６の間に電圧が印加されていないときは白色表示となる。このとき、液晶分子は横に並び、平面内で回転している状態となる。その結果、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。

【０４６７】

図５１（Ａ１）（Ａ２）のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。ただし、図５１（Ａ１）（Ａ２）のような構成を有する液晶表示装置は、カラーフィルタを設けなくてもバックライトからの光が経時的に変化すれば、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

【０４６８】

ＴＮモードに使用される液晶材料は、公知のものを使用すればよい。

【０４６９】

図５１（Ｂ１）にはＶＡモードの液晶表示装置の模式図を示す。ＶＡモードは、無電界の時に液晶分子が基板に垂直となるように配向されているモードである。

【０４７０】

図５１（Ａ１）（Ａ２）と同様に、第１の基板１０６０１、及び第２の基板１０６０２上には、それぞれ第１の電極１０６０５、第２の電極１０６０６が設けられている。そして、バックライトと反対側、つまり視認側の電極である第１の電極１０６０５は、少なくとも透光性を有するように形成する。そして、第１の基板１０６０１側には、第１の偏光子を含む層１０６０３が積層され、第２の基板１０６０２側には、第２の偏光子を含む層１０６０４が配置されている。なお、第１の偏光子を含む層１０６０３と、第２の偏光子を含む層１０６０４とは、クロスニコルになるように配置されている。

【０４７１】

図５１（Ａ１）（Ａ２）のような構成を有する液晶表示装置において、第１の電極１０６０５、及び第２の電極１０６０６に電圧が印加される（縦電界方式）と、図５１（Ｂ１）に示すように白色表示が行われるオン状態となる。このとき液晶分子は横に並んだ状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。このとき、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。

【０４７２】

そして、図５１（Ｂ２）に示すように、第１の電極１０６０５及び第２の電極１０６０６の間に電圧が印加されていないときは黒色表示、つまりオフ状態とする。このとき、液晶分子は縦に並んだ状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。

【０４７３】
オフ状態では、液晶分子が基板に対して垂直に立ち上がって、黒表示となり、オン状態では液晶分子が基板に対して水平に倒れて白表示となる。オフ状態では液晶分子が立ち上がっているため、偏光されたバックライトからの光は、液晶分子の複屈折の影響を受けることなくセル内を通過し、対向基板側の偏光子を含む層で遮断することができる。
【０４７４】
ここで、液晶の配向が分割されたＭＶＡモードに、本実施の形態の積層された偏光子を含む層を適用する例を図５１（Ｃ１）（Ｃ２）に示す。ＭＶＡモードは、それぞれの部分の視野角依存性を互いに補償する方法である。図５１（Ｃ１）に示すように、ＭＶＡモードでは、第１の電極１０６０５、及び第２の電極１０６０６上に配向制御用に断面が三角の突起物１０６０７、及び１０６０８が設けられている。第１の電極１０６０５、及び第２の電極１０６０６に電圧が印加される（縦電界方式）と、図５１（Ｃ１）に示すように白色表示が行われるオン状態となる。このとき液晶分子は突起物１０６０７、及び１０６０８に対して倒れて並んだ状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。なお、図５１（Ｃ１）（Ｃ２）のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。もちろん、図５１（Ｃ１）（Ｃ２）のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。
【０４７５】
そして、図５１（Ｃ２）に示すように、第１の電極１０６０５、及び第２の電極１０６０６の間に電圧が印加されていないときは黒色表示、つまりオフ状態とする。このとき、液晶分子は縦に並んだ状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。
【０４７６】
ＭＶＡモードの他の例を上面図、及び断面図を図５４に示す。図５４（Ａ）のように、第２の電極１０６０６ａ、１０６０６ｂ、１０６０６ｃは、くの字型のように屈曲したパターンに形成されていてもよい。また、液晶層１０６００に近接して、絶縁層１０９０１および１０９０２が形成されている。なお、絶縁層１０９０１および１０９０２は、配向膜であってもよい。図５４（Ｂ）で示すように第１の電極１０６０５に近接して、突起物１０６０７が第２の電極１０６０６ａ、１０６０６ｂ、１０６０６ｃと対応して形成されていてもよい。突起物１０６０７を第２の電極１０６０６ａ、１０６０６ｂ、１０６０６ｃと対応して形成することによって、第２の電極１０６０６ａ、１０６０６ｂ、１０６０６ｃの開口部が、突起物のように機能し、液晶分子を効果的に配向させることができる。なお、第１の電極１０６０５と突起物１０６０７が形成される順番は、図５４（Ｂ）と逆であってもよい。
【０４７７】
図５２（Ａ１）（Ａ２）にはＯＣＢモードの液晶表示装置の模式図を示す。ＯＣＢモードは、液晶層内で液晶分子の配列が光学的に補償状態を形成しており、これはベンド配向と呼ばれる。
【０４７８】
図５１と同様に、第１の基板１０６０１、及び第２の基板１０６０２上には、それぞれ第１の電極１０６０５、第２の電極１０６０６が設けられている。また、図示しないが、バックライト等は第２の偏光子を含む層１０６０４の外側に配置される。そして、バックライトと反対側、つまり視認側の電極である第１の電極１０６０５は、少なくとも透光性を有するように形成する。そして、第１の基板１０６０１側には、第１の偏光子を含む層１０６０３が積層され、第２の基板１０６０２側には、第２の偏光子を含む層１０６０４が配置されている。なお、第１の偏光子を含む層１０６０３と、第２の偏光子を含む層１０

６０４とは、クロスニコルになるように配置されている。
【０４７９】
図５２（Ａ１）（Ａ２）のような構成を有する液晶表示装置において、第１の電極１０６０５、及び第２の電極１０６０６に一定のオン電圧が印加される（縦電界方式）と、図５２（Ａ１）に示すように黒色表示が行われる。このとき液晶分子は縦に並んだ状態となる。すると、バックライトからの光は、基板を通過することができず、黒色表示となる。
【０４８０】
そして、図５２（Ａ２）に示すように、第１の電極１０６０５、及び第２の電極１０６０６の間に一定のオフ電圧が印加されるときは白色表示となる。このとき、液晶分子はベンド配向の状態となる。その結果、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。なお、図５２（Ａ１）（Ａ２）のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。もちろん、図５２（Ａ１）（Ａ２）のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。
【０４８１】
図５２（Ａ１）（Ａ２）のようなＯＣＢモードでは、液晶層内で液晶分子の配列が光学的に補償できるため視野角依存が少なく、さらに、一対の積層された偏光子を含む層によりコントラスト比を高めることができる。
【０４８２】
図５２（Ｂ１）（Ｂ２）には、ＦＬＣモード及びＡＦＬＣモードの液晶の模式図を示す。
【０４８３】
図５１と同様に、第１の基板１０６０１、及び第２の基板１０６０２上には、それぞれ第１の電極１０６０５、第２の電極１０６０６が設けられている。そして、バックライトと反対側、つまり視認側の電極である第１の電極１０６０５は、少なくとも透光性を有するように形成する。そして第１の基板１０６０１側には、第１の偏光子を含む層１０６０３が積層され、第２の基板１０６０２側には、第２の偏光子を含む層１０６０４が配置されている。なお、第１の偏光子を含む層１０６０３と、第２の偏光子を含む層１０６０４とは、クロスニコルになるように配置されている。
【０４８４】
図５２（Ｂ１）（Ｂ２）のような構成を有する液晶表示装置において、第１の電極１０６０５及び第２の電極１０６０６に電圧が印加（縦電界方式と呼ぶ）されると、図５２（Ｂ１）に示すように、白色表示となる。このときの液晶分子はラビング方向からずれた方向で横に並んでいる状態となる。よって、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。
【０４８５】
そして、図５２（Ｂ２）に示すように、第１の電極１０６０５、及び第２の電極１０６０６の間に電圧が印加されていないときは、黒色表示が行われる。このときの液晶分子はラビング方向に沿って横に並んだ状態となる。すると、バックライトからの光は、基板を通過することができず黒色表示となる。
【０４８６】
なお、図５２（Ｂ１）（Ｂ２）のような構成を有する液晶表示装置は、カラーフィルタを設けることによって、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。もちろん、図５２（Ｂ１）（Ｂ２）のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

【０４８７】
ＦＬＣモード及びＡＦＬＣモードに使用される液晶材料は、公知のものを使用すればよい。
【０４８８】
図５３（Ａ１）（Ａ２）にはＩＰＳモードの液晶表示装置の模式図を示す。ＩＰＳモードは、液晶分子を基板に対して常に平面内で回転させるモードであり、電極は一方の基板側のみに設けた横電界方式をとる。
【０４８９】
ＩＰＳモードは一方の基板に設けられた対となる電極により液晶を制御することを特徴とする。そのため、第２の基板１０６０２上に対となる電極１０８０１、１０８０２が設けられている。対となる電極１０８０１、１０８０２は、それぞれ遮光性を有していてもよい。そして、第１の基板１０６０１側には、第１の偏光子を含む層１０６０３が積層され、第２の基板１０６０２側には、第２の偏光子を含む層１０６０４が配置されている。なお、第１の偏光子を含む層１０６０３と、第２の偏光子を含む層１０６０４とは、クロスニコルになるように配置されていてもよい。
【０４９０】
図５３（Ａ１）（Ａ２）のような構成を有する液晶表示装置において、対となる電極１０８０１、１０８０２に電圧が印加されると、図５３（Ａ１）に示すように液晶分子はラビング方向からずれた電気力線に沿って配向し白色表示が行われるオン状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。
【０４９１】
なお、図５３（Ａ１）（Ａ２）のような構成を有する液晶表示装置は、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。もちろん、図５３（Ａ１）（Ａ２）のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。
【０４９２】
そして、図５３（Ａ２）に示すように、一対の電極１０８０１、１０８０２の間に電圧が印加されていないとき黒表示、つまりオフ状態とする。このとき、液晶分子は、ラビング方向に沿って横に並んだ状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。
【０４９３】
ＩＰＳモードで用いることできる対となる電極１０８０１、１０８０２の例を図５５に示す。図５５（Ａ）乃至（Ｄ）においては、電極１０８０１は電極１０８０１ａ、電極１０８０１ｂ、電極１０８０１ｃおよび電極１０８０１ｄと対応する。また、電極１０８０２は電極１０８０２ａ、電極１０８０２ｂ、電極１０８０２ｃおよび電極１０８０２ｄと対応する。図５５（Ａ）では電極１０８０１ａ、及び電極１０８０２ａはうねりを有する波状形状であり、図５５（Ｂ）では電極１０８０１ｂ、及び電極１０８０２ｂは同心円状の開口部を有する形状であり、図５５（Ｃ）では電極１０８０１ｃ、及び電極１０８０２ｃは櫛場状であり一部重なっている形状であり、図５５（Ｄ）では電極１０８０１ｄ、及び電極１０８０２ｄは櫛場状であり電極同士がかみ合うような形状である。
【０４９４】
ＩＰＳモードのほかにＦＦＳモードも用いることができる。ＩＰＳモードは、対となる電極が同一の絶縁膜上に形成されているのに対し、ＦＦＳモードは、図５３（Ｂ１）、（Ｂ２）に示すように、対となる電極１０８０３、１０８０４が、それぞれ異なる層の絶縁膜上に形成されていてもよい。
【０４９５】
図５３（Ｂ１）、（Ｂ２）に示すような構成を有する液晶表示装置において、対となる電

極１０８０３、１０８０４に電圧が印加されると、図５３（Ｂ１）に示すように白色表示が行われるオン状態となる。すると、バックライトからの光は、クロスニコルになるように配置された一対の偏光子を含む層（第１の偏光子を含む層１０６０３、及び第２の偏光子を含む層１０６０４）を通過することができ、所定の映像表示が行われる。

【０４９６】

なお、図５３（Ｂ１）、（Ｂ２）のような構成を有する液晶表示装置は、カラーフィルタを設けることにより、フルカラー表示を行うことができる。カラーフィルタは、第１の基板１０６０１側、又は第２の基板１０６０２側のいずれかに設けることができる。もちろん、図５３（Ｂ１）、（Ｂ２）のような構成を有する液晶表示装置は、カラーフィルタを設けなくても、フィールドシーケンシャル駆動によってフルカラー表示を行うことができる。

【０４９７】

そして、図５３（Ｂ２）に示すように、対となる電極１０８０３、１０８０４の間に電圧が印加されていないとき黒表示、つまりオフ状態とする。このとき、液晶分子は、横に並び、且つ平面内で回転した状態となる。その結果、バックライトからの光は基板を通過することができず、黒色表示となる。

【０４９８】

ＦＦＳモードで用いることできる対となる電極１０８０３、１０８０４の例を図５６に示す。図５６（Ａ）乃至（Ｄ）においては、電極１０８０３は電極１０８０３ａ、電極１０８０３ｂ、電極１０８０３ｃおよび電極１０８０３ｄと対応する。また、電極１０８０４は電極１０８０４ａ、電極１０８０４ｂ、電極１０８０４ｃおよび電極１０８０４ｄと対応する。図５６（Ａ）では電極１０８０３ａは屈曲したくの字形状であり、電極１０８０４ａは画素領域内ではパターン形成されていなくてもよい。図５６（Ｂ）では電極１０８０３ｂは同心円状の形状であり、電極１０８０４ｂは画素領域内ではパターン形成されていなくてもよい。図５６（Ｃ）では電極１０８０３ｃは櫛場状で電極同士がかみ合うような形状であり、電極１０８０４ｃは画素領域内ではパターン形成されていなくてもよい。図５６（Ｄ）では電極１０８０３ｄは櫛場状の形状であり、電極１０８０４ｄは画素領域内ではパターン形成されていなくてもよい。

【０４９９】

なお、電極１０８０３（１０８０３ａ、１０８０３ｂ、１０８０３ｃ、１０８０３ｄ）および電極１０８０４（１０８０４ａ、１０８０４ｂ、１０８０４ｃ、１０８０４ｄ）は、透光性を有していてもよい。透光性を有することで、開口率の大きい透過型の表示装置を得ることができる。

【０５００】

なお、電極１０８０３（１０８０３ａ、１０８０３ｂ、１０８０３ｃ、１０８０３ｄ）および電極１０８０４（１０８０４ａ、１０８０４ｂ、１０８０４ｃ、１０８０４ｄ）は、遮光性または反射性を有していてもよい。遮光性または反射性を有することで、バックライトが不要で消費電力の小さい反射型の表示装置を得ることができる。

【０５０１】

なお、電極１０８０３（１０８０３ａ、１０８０３ｂ、１０８０３ｃ、１０８０３ｄ）および電極１０８０４（１０８０４ａ、１０８０４ｂ、１０８０４ｃ、１０８０４ｄ）は、透光性を有する領域と、遮光性または反射性を有する領域と、双方の領域を有していてもよい。双方の領域を有することで、屋内のような暗い環境下では表示品質の高い透過型の表示を行い、屋外のような明るい環境下ではバックライトが不要で消費電力の小さい反射型の表示を行う、半透過型の表示装置を得ることができる。

【０５０２】

ＩＰＳモード及びＦＦＳモードに使用される液晶材料は、公知のものを使用すればよい。

【０５０３】

なお、本実施の形態の液晶表示装置に適応しうる液晶モードとして、上述した液晶モードの他に、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－

ｃｅｌｌ）モード、ＰＤＬＣ（Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モードなどがある。

【０５０４】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【０５０５】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【０５０６】

（実施の形態９）

本実施形態においては、本実施の形態を実施できる表示装置の表示パネル構成、および周辺構成について説明する。特に、液晶表示装置の表示パネル（液晶パネルとも記す）構成、および周辺構成について説明する。

【０５０７】

まず、液晶パネルの簡単な構成について、図５７（Ａ）を参照して説明する。また、図５７（Ａ）は、液晶パネルの上面図である。

【０５０８】

図５７（Ａ）に示す液晶パネルは、基板２０１００上に、画素部２０１０１、走査線入力端子２０１０３及び信号線入力端子２０１０４が形成されている。走査線入力端子２０１０３から走査線が行方向に延在して基板２０１００上に形成され、信号線入力端子２０１０４から信号線が列方向に延在して基板２０１００上に形成されている。また、画素部２０１０１には、画素２０１０２が走査線と、信号線とが交差するところで、マトリクス上に配置されている。また、画素２０１０２には、スイッチング素子と画素電極層とが配置されている。

【０５０９】

図５７（Ａ）の液晶パネルに示すように、走査線入力端子２０１０３は、基板２０１００の行方向の両側に形成されている。信号線入力端子２０１０４は、基板２０１００の列方向のうち一方に形成されている。また、一方の走査線入力端子２０１０３から延在する走査線と、他方の走査線入力端子２０１０３から延在する走査線とは、交互に形成されている。

【０５１０】

また、画素部２０１０１の画素２０１０２それぞれでは、スイッチング素子の第１端子が信号線に接続され、第２端子が画素電極層に接続されることによって、個々の画素２０１０２を外部から入力する信号によって独立して制御することができる。なお、スイッチング素子のオン・オフは走査線に供給されている信号によって制御されている。

【０５１１】

なお、走査線入力端子２０１０３を基板２０１００の行方向のうち両方に配置することで、画素２０１０２を高密度に配置することができる。また、信号線側入力端子２０１０３を基板２０１００の列方向のうち一方に配置することで、液晶パネルの額縁を小さくし、画素部２０１０１の領域を大きくすることができる。

【０５１２】

なお、基板２０１００には、すでに述べたように、単結晶基板、ＳＯＩ基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレススチル基板、ステンレススチルホイルを有する基板などを用いることができる。

【０５１３】

なお、スイッチング素子には、すでに述べたように、トランジスタ、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）、サイリスタ、それらを組み合わせた論理回路などを用いることができる。

【０５１４】

なお、スイッチング素子として、ＴＦＴを用いた場合、ＴＦＴのゲートが走査線に接続さ

れ、第１端子が信号線に接続され、第２端子が画素電極層に接続されることにより、個々の画素２０１０２を外部から入力する信号によって独立して制御することができる。

【０５１５】

なお、走査線入力端子２０１０３を基板２０１００の行方向のうち一方に配置してもよい。走査線入力端子２０１０３を基板２０１００の行方向のうち一方に配置することで、液晶パネルの額縁を小さくし、画素部２０１０１の領域を大きくすることができる。

【０５１６】

なお、一方の走査線入力端子２０１０３から延在する走査線と、他方の走査線入力端子２０１０３から延在する走査線とは、共通にしてもよい。

【０５１７】

なお、走査線入力端子２０１０３を基板２０１００の列方向のうち両方に配置してもよい。走査線入力端子２０１０３を基板２０１００の列方向のうち両方に配置することで、画素２０１０２を高密度に配置できる。

【０５１８】

なお、画素２０１０２には、さらに容量素子を形成してもよい。画素２０１０２に容量素子を設ける場合、基板２０１００上に、容量線を形成してもよい。基板２０１００上に容量線を形成する場合、容量素子の第１電極が容量線に接続され、第２端子が画素電極層に接続されるようにする。また、基板２０１００上に容量線を形成しない場合、容量素子の第１電極がこの容量素子が配置されている画素２０１０２とは別の走査線に接続され、第２端子が画素電極層に接続されているようにする。

【０５１９】

ここで、図５７（Ａ）に示した液晶パネルは、走査線及び信号線に供給する信号を外付けの駆動回路によって制御する構成を示しているが、図５８（Ａ）に示すように、ＣＯＧ（Ｃｈｉｐ　ｏｎ　Ｇｌａｓｓ）方式によりドライバＩＣ２０２０１を基板２０１００上に実装してもよい。また、別の構成として、図５８（Ｂ）に示すように、ＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）方式によりドライバＩＣ２０２０１をＦＰＣ２０２００（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）上に実装してもよい。また、図５８において、ドライバＩＣ２０２０１は、ＦＰＣ２０２００と接続されている。

【０５２０】

なお、ドライバＩＣ２０２０１は単結晶半導体基板上に形成されたものでもよいし、ガラス基板上にＴＦＴで回路を形成したものでもよい。

【０５２１】

なお、図５７（Ａ）に示した液晶パネルは、図５７（Ｂ）に示すように、走査線駆動回路２０１０５を基板２０１００上に形成してもよい。また、図５７（Ｃ）に示すように、走査線駆動回路２０１０５及び信号線駆動回路２０１０６を基板２０１００上に形成してもよい。

【０５２２】

なお、走査線駆動回路２０１０５及び走査線駆動回路２０１０５は、多数のＮチャネル型及び多数のＰチャネル型のトランジスタから構成されている。ただし、多数のＮチャネル型のトランジスタのみで構成されていてもよいし、多数のＰチャネル型のトランジスタのみで構成されていてもよい。

【０５２３】

続いて、画素２０１０２の詳細について、図５９及び図６０の回路図を参照して説明する。

【０５２４】

図５９（Ａ）の画素２０１０２は、トランジスタ２０３０１、液晶素子２０３０２及び容量素子２０３０３を有している。トランジスタ２０３０１のゲートが配線２０３０５に接続され、第１端子が配線２０３０４に接続されている。液晶素子２０３０２の第１電極が対向電極２０３０７に接続され、第２電極がトランジスタ２０３０１の第２端子に接続さ

れている。容量素子２０３０３の第１電極が容量線２０３０６に接続され、第２電極がトランジスタ２０３０１の第２端子に接続されている。

【０５２５】

なお、配線２０３０４は信号線であり、配線２０３０５は走査線であり、容量線２０３０６は容量線である。また、トランジスタ２０３０１は、スイッチングトランジスタであり、Ｐチャネル型トランジスタでもＮチャネル型トランジスタでもよい。また、液晶素子２０３０２は、動作モードとしてＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）などを用いることができる。

【０５２６】

配線２０３０４及び配線２０３０５には、それぞれビデオ信号、走査信号が入力されている。ビデオ信号はアナログの電圧信号であり、走査信号はＨレベル又はＬレベルのデジタルの電圧信号である。ただし、ビデオ信号は電流信号でもよいし、デジタル信号でもよい。また、走査信号のＨレベル及びＬレベルは、トランジスタ２０３０１のオンとオフを制御できる電位であればよい。

【０５２７】

容量線２０３０６には、一定の電源電圧が供給されている。ただし、パルス状の信号が供給されていてもよい。

【０５２８】

図５９（Ａ）の画素２０１０２の動作について説明する。まず、配線２０３０５がＨレベルになると、トランジスタ２０３０１がオンし、ビデオ信号が配線２０３０４からオンしたトランジスタ２０３０１を介して液晶素子２０３０２の第２電極及び容量素子２０３０３の第２電極に供給される。そして、容量素子２０３０３は配線２０３０７６の電位とビデオ信号の電位との電位差を保持する。

【０５２９】

次に、配線２０３０５がＬレベルになると、トランジスタ２０３０１がオフし、配線２０３０４と、液晶素子２０３０２の第２電極及び容量素子２０３０３の第２電極とは、電気的に遮断される。しかし、容量素子２０３０３が配線２０３０７６の電位とビデオ信号の電位との電位差を保持しているため、容量素子２０３０３の第２電極の電位はビデオ信号と同様な電位を維持することができる。

【０５３０】

こうして、図５９（Ａ）の画素２０１０２は、液晶素子２０３０２の第２電極の電位をビデオ信号と同電位に維持でき、液晶素子２０３０２をビデオ信号に応じた透過率に維持できる。

【０５３１】

なお、図示はしないが、液晶素子２０３０２がビデオ信号を保持できるたけの容量成分を有していれば、容量素子２０３０３は必ずしも必要ではない。

【０５３２】

なお、図５９（Ｂ）のように、液晶素子２０３０２の第１電極は、容量線２０３０６と接続されていてもよい。例えば、液晶素子２０３０２の液晶モードがＦＦＳモードのときなどに、液晶素子２０３０２は図５９（Ｂ）の構成を用いる。

【０５３３】

なお、図６０のように、容量素子２０３０３の第１電極は前行の配線２０３０５ａに接続されていてもよい。なお、配線２０３０５ａをｎ行目（ｎは正の整数）の走査線としたと

き、配線２０３０５ｂはｎ＋１行目の走査線である。同様に、トランジスタ２０３０１ａ、画素２０１０２ａ、容量素子２０３０３ａをｎ行目の素子としたとき、トランジスタ２０３０１ｂ、画素２０１０２ｂ、容量素子２０３０３ｂはｎ＋１行目の素子である。このように、容量素子２０３０３ｂの第１電極が前列の配線２０３０５ａに接続されることで、配線を少なくすることができる。よって、図６０の画素２０１０２ａおよび２０１０２ｂは、開口率を大きくすることができる。

【０５３４】

次に、図５７及び図５８を参照して説明した液晶パネルの構成よりも、詳細な液晶パネルの構成について、図６１を参照して説明する。具体的には、ＴＦＴ基板と、対向基板と、対向基板とＴＦＴ基板との間に挟持された液晶層とを有する液晶パネルの構成について説明する。また、図６１（Ａ）は、液晶パネルの上面図である。図６１（Ｂ）は、図６１（Ａ）の線Ｃ－Ｄにおける断面図である。なお、図６１（Ｂ）は、基板２０１００上に、半導体膜として結晶性半導体膜（ポリシリコン膜）を用いた場合のトップゲート型のトランジスタを形成した場合の断面図である。

【０５３５】

図６１（Ａ）に示す液晶パネルは、基板２０１００上に、画素部２０１０１、走査線駆動回路２０１０５ａ、走査線駆動回路２０１０５ｂ及び信号線駆動回路２０１０６が形成されている。画素部２０１０１、走査線駆動回路２０１０５ａ、走査線駆動回路２０１０５ｂ及び信号線駆動回路２０１０６は、シール材２０５１６によって、基板２０１００と対向基板２０５１５との間に封止されている。また、ＴＡＢ方式によって、ＦＰＣ２０５１８及びＩＣチップ２０５３０が基板２０１００上に配置されている。

【０５３６】

図６１（Ａ）の線Ｃ－Ｄにおける断面構造について、図６１（Ｂ）を参照して説明する。基板２０１００上に、画素部２０１０１と、その周辺駆動回路部（走査線回路２０１０５ａ及び走査線駆動回路２０１０５ｂ及び信号線駆動回路２０１０６）が形成されているが、ここでは、駆動回路領域２０５２５（走査線駆動回路２０１０５ａ及び走査線駆動回路２０１０５ｂ）と、画素領域２０５２６（画素部２０１０１）とが示されている。

【０５３７】

まず、基板２０１００上に、下地膜として、絶縁膜２０５０１が成膜されている。絶縁膜２０５０１としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ＳｉＯｘＮｙ）等の絶縁膜の単層、或いはこれらの膜の少なくとも２つの膜を有する積層構造を用いてもよい。

【０５３８】

なお、半導体と接する部分では、酸化シリコン膜を用いる方がよい。その結果、下地膜における電子のトラップやトランジスタ特性のヒステリシスを抑えることが出来る。また、下地膜として、窒素を多く含む膜を少なくとも１つ配置することが望ましい。それにより、ガラスからの不純物を低減することが出来る。

【０５３９】

次に、絶縁膜２０５０１上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層２０５０２が形成されている。

【０５４０】

次に、絶縁膜２０５０１上及び半導体層２０５０２上に、ゲート絶縁膜として、絶縁層２０５０３が形成されている。

【０５４１】

なお、絶縁層２０５０３としては、熱酸化膜、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの単層または積層構造を用いることができる。半導体層２０５０２と接する絶縁層２０５０３は酸化珪素膜が好ましい。それは、酸化珪素膜にすると半導体層２０５０２との界面におけるトラップ準位が少なくなるからである。また、ゲート電極をＭｏで形成するときは、ゲート電極と接するゲート絶縁膜は窒化シリコン膜が好ましい。それは、窒化シリコン膜はＭｏを酸化させないからである。ここでは絶縁層２０５０３

として、プラズマＣＶＤ法により厚さ１１５ｎｍの酸化窒化シリコン膜（組成比Ｓｉ＝３２％、Ｏ＝５９％、Ｎ＝７％、Ｈ＝２％）を形成する。

【０５４２】

次に、絶縁層２０５０３上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０４が形成されている。

【０５４３】

なお、導電層２０５０４としては、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層により構成してもよい。ここではＭｏによりゲート電極を形成する。Ｍｏは、エッチングしやすく、熱に強いので好適である。

【０５４４】

なお、半導体層２０５０２には、導電層２０５０４又はレジストをマスクとして半導体層２０５０２に不純物元素がドーピングされており、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。

【０５４５】

なお、不純物領域は、不純物濃度を制御して高濃度領域と低濃度領域とを形成されていてもよい。

【０５４６】

なお、トランジスタ２０５２１の導電層２０５０４は、デュアルゲート構造としている。トランジスタ２０５２１は、デュアルゲート構造にすることで、トランジスタ２０５２１のオフ電流を小さくすることができる。なお、デュアルゲート構造とは、２つのゲート電極を有している構造である。ただし、トランジスタのチャネル領域上に、複数のゲート電極を有していてもよい。

【０５４７】

次に、絶縁層２０５０３上及び導電層２０５０４上に、層間膜として、絶縁層２０５０５が形成されている。

【０５４８】

なお、絶縁層２０５０５としては、有機材料又は無機材料、若しくはそれらの積層構造を用いることができる。例えば酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化窒化アルミニウム、窒素含有量が酸素含有量よりも多い窒化酸化アルミニウムまたは酸化アルミニウム、ダイアモンドライクカーボン（ＤＬＣ）、ポリシラザン、窒素含有炭素（ＣＮ）、ＰＳＧ（リンガラス）、ＢＰＳＧ（リンボロンガラス）、アルミナ、その他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。また、有機絶縁性材料を用いてもよく、有機材料としては、感光性、非感光性どちらでも良く、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン、シロキサン樹脂などを用いることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【０５４９】

なお、絶縁層２０５０３及び絶縁層２０５０５には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。

【０５５０】

次に、絶縁層２０５０５上に、ドレイン電極、ソース電極及び配線として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜２０５０６が形成されている。

【０５５１】

なお、導電膜２０５０６としては、材料としてはＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどや、これら元素の合金等がある。もしくは、これら元素またはこれら元素の合金の積層構造を用いることができる。

【０５５２】

なお、絶縁層２０５０３及び導電層２０５０４のコンタクトホールが形成されている部分では、導電膜２０５０６とトランジスタの半導体層２０５０２の不純物領域とが接続されている。

【０５５３】

次に、絶縁層２０５０５及び絶縁層２０５０５上に形成された導電膜２０５０６上に、平坦化膜として、絶縁層２０５０７が形成されている。

【０５５４】

なお、絶縁層２０５０７としては、平坦性や被覆性がよいことが望ましいため、有機材料を用いて形成されることが多い。なお、絶縁層２０５０７としては多層構造になっていてもよく、無機材料（酸化シリコン、窒化シリコン、酸化窒化シリコン）の上に有機材料が形成されていてもよい。

【０５５５】

なお、絶縁層２０５０７には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。

【０５５６】

次に、絶縁層２０５０７上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。

【０５５７】

なお、導電層２０５０８としては、光を透過する透明電極及び光を反射する反射電極を用いることができる。

【０５５８】

透明電極の場合は、例えば、酸化インジウムに酸化スズを混ぜたインジウムスズ酸化物（ＩＴＯ）膜、インジウムスズ酸化物（ＩＴＯ）に酸化珪素を混ぜたインジウムスズ珪素酸化物（ＩＴＳＯ）膜、酸化インジウムに酸化亜鉛を混ぜたインジウム亜鉛酸化物（ＩＺＯ）膜、酸化亜鉛膜、または酸化スズ膜などを用いることができる。なお、ＩＺＯとは、ＩＴＯに２～２０ｗｔ％の酸化亜鉛（ＺｎＯ）を混合させたターゲットを用いてスパッタリングにより形成される透明導電材料であるが、これに限定されない。

【０５５９】

反射電極の場合は、例えば、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗ、Ａｌ、Ｎｄ、Ｃｕ、Ａｇ、Ａｕ、Ｐｔ、Ｎｂ、Ｓｉ、Ｚｎ、Ｆｅ、Ｂａ、Ｇｅなどやそれらの合金などを用いることができる。また、Ｔｉ、Ｍｏ、Ｔａ、Ｃｒ、ＷとＡｌを積層させた２層構造、ＡｌをＴｉ、Ｍｏ、Ｔａ、Ｃｒ、Ｗなどの金属で挟んだ３層積層構造としてもよい。

【０５６０】

次に、絶縁層２０５０７上及び絶縁層２０５０７上に形成された導電層２０５０８上に、配向膜として、絶縁層２０５０９が形成されている。

【０５６１】

次に、画素部２０１０１の周辺部、若しくは画素部２０１０１の周辺部とその周辺駆動回路部の周辺部に、インクジェット法などにより、シール材２０５１６が形成される。

【０５６２】

次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００とがスペーサ２０５３１を介して貼り合わされており、その隙間に、液晶層２０５１０が配置されている。

【０５６３】

なお、基板２０１１５は、対向基板として機能してもよい。また、絶縁膜２０５１４は、ブラックマトリックス（遮光膜）として機能してもよい。また、絶縁膜２０５１３は、カ

ラーフィルターとして機能してもよい。また、スペーサ２０５３１は、数μｍの粒子を散布して設ける方法でもよいし、基板全面に樹脂膜を形成した後に、樹脂膜をエッチング加工して形成する方法でもよい。また、導電膜２０５１２は、対向電極として機能してもよい。導電膜２０５１２としては、導電層２０５０８と同様なものを用いることができる。また、絶縁膜２０５１１は、配向膜として機能してもよい。

【０５６４】

なお、絶縁膜２０５１３及び絶縁膜２０５１４と導電膜２０５１２との間には、平坦化膜として絶縁膜２０５３２を形成してもよい。ただし、図６１では、絶縁膜２０５３２を図示していない。

【０５６５】

なお、液晶層２０５１０としては公知の液晶を自由に用いることができる。例えば、液晶層２０５１０として強誘電性の液晶を用いてもよいし、反強誘電性の液晶を用いてもよい。また、液晶の駆動方式は、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）等を自由に用いることができる。

【０５６６】

次に、画素部２０１０１と、その周辺駆動回路部と電気的に接続されている導電膜２０５３３上に、異方性導電体層２０５１７を介して、ＦＰＣ２０２００が配置されている。また、ＦＰＣ２０２００上に、異方性導電体層２０５１７を介して、ＩＣチップが配置されている。つまり、ＦＰＣ２０２００、導電膜２０５３３及びＩＣチップ２０５３０は、電気的に接続されている。

【０５６７】

なお、導電膜２０５３３は、ＦＰＣ２０２００から入力される信号及び電位を、画素や周辺回路に伝達する機能を有している。導電膜２０５３３としては、導電膜２０５０６と同様なものを用いてもよいし、導電層２０５０４と同様なものを用いてもよいし、半導体層２０５０２の不純物領域と同様なものを用いてもよいし、これらを少なくとも２層以上組み合わせたものを用いてもよい。

【０５６８】

なお、ＩＣチップ２０５３０は、機能回路（メモリやバッファ）を形成することで、基板面積を有効利用することができる。

【０５６９】

図６１（Ａ）、（Ｂ）の液晶パネルは、走査線駆動回路２０１０５ａ、走査線駆動回路２０１０５ｂ及び信号線駆動回路２０１０６を基板２０１００上に形成した場合の構成について説明したが、図６２（Ａ）の液晶パネルに示すように、信号線駆動回路２０１０６に相当する駆動回路をドライバＩＣ２０６０１に形成して、ＣＯＧ方式などで液晶パネルに実装した構成としてもよい。信号線駆動回路２０１０６をドライバＩＣ２０６０１に形成することで、省電力化を図ることができる。また、ドライバＩＣ２０６０１はシリコンウエハ等の半導体チップとすることで、図６２（Ａ）の液晶パネルはより高速、且つ低消費電力化を図ることができる。

【０５７０】

同様に、図６２（Ｂ）の液晶パネルに示すように、走査線駆動回路２０１０５ａ、走査線駆動回路２０１０５ｂ及び信号線駆動回路２０１０６に相当する駆動回路を、それぞれドライバＩＣ２０６０２ａ、ドライバＩＣ２０６０２ｂ及びドライバＩＣ２０６０１に形成して、ＣＯＧ方式などで液晶パネルに実装した構成としてもよい。また、走査線駆動回路

２０１０５ａ、走査線駆動回路２０１０５ｂ及び信号線駆動回路２０１０６に相当する駆動回路を、それぞれドライバＩＣ２０６０２ａ、ドライバＩＣ２０６０２ｂ及びドライバＩＣ２０６０１に形成することで、低コスト化が図れる。

【０５７１】

なお、トランジスタ２０５２１はデュアルゲート構造としたが、図６３の画素領域２０５２６に示すように、トランジスタ２０５２１はシングルゲート構造としてもよい。ただし、図６３は、画素領域２０５２６のみを示している。

【０５７２】

次に、基板２０１００上にボトムゲート型トランジスタを形成した場合の断面図について、図６４を参照して説明する。ただし、図６４は、画素領域２０５２６のみを示している。

【０５７３】

まず、基板２０１００上に、下地膜として、絶縁膜２０５０１が成膜されている。次に、絶縁膜２０５０１上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０４が形成されている。なお、トランジスタ２０５２１の導電層２０５０４は、デュアルゲート構造としている。なぜなら、すでに述べたように、トランジスタ２０５２１はデュアルゲート構造にすることで、トランジスタ２０５２１のオフ電流を小さくできる。次に、絶縁膜２０５０１上及び導電層２０５０４上に、ゲート絶縁膜として、絶縁層２０５０３が形成されている。次に、絶縁層２０５０３上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層２０５０２が形成されている。なお、半導体層２０５０２には、レジストをマスクとして半導体層２０５０２に不純物元素がドーピングされており、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。なお、不純物領域は、不純物濃度を制御して高濃度領域と低濃度領域とを形成されていてもよい。次に、絶縁層２０５０３上及び半導体層２０５０２上に、層間膜として、絶縁層２０５０５が形成されている。なお、絶縁層２０５０５には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。次に、絶縁層２０５０５上に、ドレイン電極、ソース電極及び配線として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜２０５０６が形成されている。なお、絶縁層２０５０５のコンタクトホールが形成されている部分では、導電膜２０５０６とトランジスタの半導体層２０５０２の不純物領域とが接続されている。次に、絶縁層２０５０５上及び導電膜２０５０６上に、平坦化膜として、絶縁層２０５０７が形成されている。なお、絶縁層２０５０７には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。次に、絶縁層２０５０７上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。次に、絶縁層２０５０７上及び導電層２０５０８上に、配向膜として、絶縁層２０５０９が形成されている。次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００との隙間に、液晶層２０５１０が配置されている。

【０５７４】

なお、図６４では、トランジスタ２０５２１をデュアルゲート構造としている。ただし、図６５の画素領域２０５２６に示すように、トランジスタ２０５２１はシングルゲート構造としてもよい。

【０５７５】

次に、基板２０１００上に、ダブルゲート型のトランジスタを形成した場合の断面図について、図６６を参照して説明する。ただし、図６６は、画素領域２０５２６のみを示している。

【０５７６】

なお、ダブルゲート型のトランジスタとは、半導体膜の上下にゲート電極が、それぞれ配置されている構造のことをいう。また、ダブルゲート型のトランジスタは、トップゲート

型トランジスタ及びボトムゲート型トランジスタに比べて、同様のサイズ及び同様の印加電圧であれば流れる電流が２倍になる。つまり、ダブルゲート型のトランジスタは、小さいトランジスタサイズでより多くの電流を流すことができる。

【０５７７】

まず、基板２０１００上に、下地膜として、絶縁膜２０５０１が成膜されている。次に、絶縁膜２０５０１上に、第１のゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０４ａが形成されている。なお、導電層２０５０４ａは、導電層２０５０４と同様な材料及び構造のものを用いることができる。次に、絶縁膜２０５０１上及び導電層２０５０４ａ上に、第１のゲート絶縁膜として、絶縁層２０５０３ａが形成されている。なお、絶縁層２０５０３ａは、絶縁層２０５０３と同様な材料及び構造のものを用いることができる。次に、絶縁層２０５０３ａ上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層２０５０２が形成されている。次に、絶縁層２０５０３ａ上及び半導体層２０５０２上に、第２のゲート絶縁膜として、絶縁層２０５０３ｂが形成されている。なお、絶縁層２０５０３ｂは、絶縁層２０５０３と同様な材料及び構造のものを用いることができる。次に、絶縁層２０５０３ｂ上に、第２のゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０４ｂが形成されている。なお、導電層２０５０４ｂは、導電層２０５０４と同様な材料及び構造のものを用いることができる。なお、半導体層２０５０２には、導電層２０５０４ｂ又はレジストをマスクとして半導体層２０５０２に不純物元素がドーピングされており、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。なお、不純物領域は、不純物濃度を制御して高濃度領域と低濃度領域とを形成されていてもよい。なお、半導体層２０５０２には、絶縁層２０５０３ｂ及び導電層２０５０４ｂが形成される前に、レジストをマスクとして半導体層２０５０２に不純物元素がドーピングされ、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されていてもよい。次に、絶縁層２０５０３ｂ上及び導電層２０５０４ｂ上に、層間膜として、絶縁層２０５０５が形成されている。なお、絶縁層２０５０３ｂ及び絶縁層２０５０５には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、各トランジスタの不純物領域の上面に形成されている。次に、絶縁層２０５０５上に、ドレイン電極、ソース電極及び配線として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜２０５０６が形成されている。なお、絶縁層２０５０３及び絶縁層２０５０５のコンタクトホールが形成されている部分では、導電膜２０５０６とトランジスタの半導体層２０５０２の不純物領域とが接続されている。次に、絶縁層２０５０５上及び導電膜２０５０６上に、平坦化膜として、絶縁層２０５０７が形成されている。なお、絶縁層２０５０７には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。次に、絶縁層２０５０７上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。次に、絶縁層２０５０７上及び導電層２０５０８上に、配向膜として、絶縁層２０５０９が形成されている。次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００との隙間に、液晶層２０５１０が配置されている。

【０５７８】

なお、図６１及び図６３～図６６では、絶縁層２０５０５上及び絶縁層２０５０５上に形成された導電膜２０５０６上に、平坦膜として、絶縁層２０５０７が形成されている場合の断面図について説明した。ただし、絶縁層２０５０７は、図６７に示すように、必ずしも必要ではない。

【０５７９】

なお、図６７に示す断面図は、トップゲート型のトランジスタの場合について示しているが、ボトムゲート型のトランジスタ及びダブルゲート型のトランジスタの場合についても同様である。

【０５８０】
次に、基板２０１００上に、半導体膜として非結晶半導体膜（アモルファスシリコン膜）を用いたトランジスタを形成した場合の断面図について、図６８を参照して説明する。図６８に示す断面図は、逆スタガ型のチャネルエッチ構造のトランジスタの断面図である。
【０５８１】
まず、基板２０１００上に、下地膜として、絶縁膜２０５０１が成膜されている。次に、絶縁膜２０５０１上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０４が形成されている。次に、絶縁膜２０５０１及び導電層２０５０４上に、ゲート絶縁膜として、絶縁層２０５０３が形成されている。次に、絶縁層２０５０３上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層２０５０２が形成されている。なお、半導体層２０５０２は第１の半導体膜及び第２の半導体膜を有しており、第１の半導体膜の上に第２の半導体膜が形成されている。また、第１の半導体膜及び第２の半導体膜は連続して成膜され、同時にフォトリソグラフィ法によってパターニングされてもよい。また、第２の半導体膜は不純物元素を含んでいる。次に、絶縁層２０５０３上及び半導体層２０５０２上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜２０５０６が形成されている。なお、半導体層２０５０２は、導電膜２０５０６をマスクとしてエッチングをすることによって、チャネル形成領域と、ソース領域及びドレイン領域となる不純物領域とが形成されている。つまり、チャネル領域では、不純物元素を含む第２の半導体膜が除去される。ただし、半導体層２０５０２は、導電膜２０５０６をエッチングするためのレジストをマスクにして、エッチングされてもよい。次に、絶縁層２０５０３上、半導体層２０５０２上及び導電膜２０５０６上に、平坦化膜として、絶縁層２０５０７が形成されている。なお、絶縁層２０５０７には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。次に、絶縁層２０５０７上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。次に、絶縁層２０５０７上及び導電層２０５０８上に、配向膜として、絶縁層２０５０９が形成されている。次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００との隙間に、液晶層２０５１０が配置されている。
【０５８２】
なお、チャネルエッチ構造のトランジスタについて説明したが、図６９に示すように、半導体層２０５０２上に絶縁膜２１３０１を設けてもよい。絶縁膜２１３０１は、第１の半導体膜と第２の半導体膜との間に形成される。また、半導体層２０５０２は、導電膜２０５０６を形成するときに、同時にエッチングされる。
【０５８３】
なお、図６８のトランジスタ２０５２１をチャネルエッチ構造と呼び、図６９のトランジスタ２０５２１をチャネル保護構造と呼ぶ。
【０５８４】
次に、基板２０１００上に、半導体膜として非結晶半導体膜を用いたトップゲート型のトランジスタを形成した場合の断面図について、図７０を参照して説明する。
【０５８５】
まず、基板２０１００上に、下地膜として、絶縁膜２０５０１が成膜されている。次に、絶縁膜２０５０１上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電膜２０５０６が形成されている。次に、導電膜２０５０６上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層２０５０２ａが形成されている。なお、半導体層２０５０２ａは、半導体層２０５０２と同様な材料及び構造のものを用いることができる。また、半導体層２０５０２ａは、不純物元素を含んでいる。次に、絶縁膜２０５０１上及び半導体層２０５０２ａ上に、フォトリソグラフィ法、インクジェット法又は印刷法などにより、半導体層２０５０２ｂが形成されている。なお、半導体層２

０５０２ｂは、半導体層２０５０２と同様な材料及び構造のものを用いることができる。次に、絶縁膜２０５０１上、半導体層２０５０２ｂ上及び導電膜２０５０６上に、ゲート絶縁膜として、絶縁層２０５０３が形成されている。次に、絶縁層２０５０３上に、ゲート電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０４が形成されている。次に、絶縁層２０５０３上及び絶縁層２０５０３上に形成された導電層２０５０４上に、平坦化膜として、絶縁層２０５０７が形成されている。なお、絶縁層２０５０７には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。次に、絶縁層２０５０７上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。次に、絶縁層２０５０７上及び導電層２０５０８上に、配向膜として、絶縁層２０５０９が形成されている。次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００との隙間に、液晶層２０５１０が配置されている。

【０５８６】

なお、図６９及び図７０では、絶縁層２０５０５上及び絶縁層２０５０５上に形成された導電膜２０５０６上に、平坦膜として、絶縁層２０５０７が形成されている場合の断面図について説明した。ただし、絶縁層２０５０７は、図７１に示すように、必ずしも必要ではない。

【０５８７】

なお、図７１に示す断面図は、逆スタガ型のチャネルエッチ構造のトランジスタの場合について示しているが、逆スタガ型のチャネル保護構造のトランジスタの場合についても同様である。また、図７１では、逆スタガ型のトランジスタの場合について示しているが、トップゲート型トランジスタとしてもよい。トップゲート型トランジスタのトランジスタの場合の断面図を図７２及び図７３に示す。

【０５８８】

なお、図７２に示す断面図の場合、絶縁膜２０５０１上及び導電膜２０５０６上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。また、導電層２０５０８は、導電膜２０５０６を形成してから絶縁層２０５０３を形成するまでに、形成される。

【０５８９】

なお、図７３に示す断面図の場合、絶縁膜２０５０１上に、画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８が形成されている。また、導電層２０５０８は、絶縁膜２０５０１の形成後、形成される。

【０５９０】

次に、半透過型の液晶パネルの断面図について、図７４を参照して説明する。

【０５９１】

なお、図７４の断面図は、トランジスタが半導体膜として多結晶半導体を用いた場合の液晶パネルの断面図である。ただし、トランジスタはボトムゲート型でもよいし、ダブルゲート型でもよい。また、トランジスタのゲート電極は、シングルゲート構造でもよいし、デュアルゲート構造でもよい。

【０５９２】

なお、図７４は、導電膜２０５０６が形成されるまでは、図６３と同様である。したがって、導電膜２０５０６が形成された後の工程及び構造について説明する。

【０５９３】

まず、絶縁層２０５０５及び絶縁層２０５０５上に形成された導電膜２０５０６上に、液晶層２０５１０の厚さ（いわいるセルギャップ）を薄くするための膜として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、絶縁膜２１８０１が形成されている。なお、絶縁膜２１８０１としては、平坦性や被覆性がよいことが望ましいため、有機材料を用いて形成されることが多い。なお、無機材料（酸化シリコン、窒化シリコン、酸

化窒化シリコン）の上に、有機材料が形成され、多層構造になっていてもよい。なお、絶縁膜２１８０１には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。次に、絶縁層２０５０５上及び絶縁層２０５０７上に、第１の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８ａが形成されている。なお、導電層２０５０８ａとしては、導電層２０５０８と同様な光を透過する透明電極を用いることができる。次に、導電層２０５０８ａ上に、第２の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８ｂが形成されている。なお、導電層２０５０８ｂとしては、導電層２０５０８と同様な光を反射する反射電極を用いることができる。なお、導電層２０５０８ｂが形成される領域を反射領域という。また、導電層２０５０８ａが形成されている領域のうち、導電層２０５０８ａ上に導電層２０５０８ｂが形成されていない領域を透過領域という。次に、絶縁膜２１８０１上、導電層２０５０８ａ及び導電層２０５０８ｂ上に、配向膜として、絶縁層２０５０９が形成されている。次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００との隙間に、液晶層２０５１０が配置されている。

【０５９４】

なお、図７４では、導電層２０５０８ａが形成された後に導電層２０５０８ｂが形成されているが、図７５に示すように、導電層２０５０８ｂが形成された後に導電層２０５０８ａが形成されていてもよい。

【０５９５】

なお、図７４及び図７５では、液晶層２０５１０（セルギャップ）を調整するための絶縁膜が導電層２０５０８ａの下及び導電層２０５０８ｂの下に、形成されている。しかし、図７６のように絶縁膜２２００１が対向基板２０５１５側に形成されていてもよい。絶縁膜２２００１は、絶縁膜２１８０１と同様に、液晶層２０５１０（セルギャップ）を調整するための絶縁膜である。

【０５９６】

なお、図７６では、平坦化膜として絶縁層２０５０７が形成されている場合について説明したが、図７７に示すように、絶縁層２０５０７が形成されていなくてもよい。図７７の場合は、反射画素電極として導電膜２０５０６を用いることができる。もちろん、反射画素電極として、別の導電膜が形成されていてもよい。

【０５９７】

なお、絶縁膜２２００１は、導電膜２０５１２と絶縁膜２０５１１との間に形成されていてもよいし、絶縁膜２０５１１と液晶層２０５１０との間に形成されていてもよい。

【０５９８】

次に、半透過型の液晶パネルにおいて、トランジスタの半導体膜として多結晶半導体を用いられている場合の液晶パネルの断面図を図７８に示す。

【０５９９】

なお、図７８の断面図は、逆スタガ型のチャネルエッチ構造を用いたトランジスタを有する液晶パネルの断面図である。ただし、トランジスタは、トップゲート型でもよいし、逆スタガ型のチャネル保護構造を用いてもよい。

【０６００】

なお、図７８は、導電膜２０５０６が形成されるまでは、図７８と同様である。したがって、導電膜２０５０６が形成された後の工程及び構造について説明する。

【０６０１】

まず、半導体層２０５０２上、絶縁層２０５０３及び導電膜２０５０６上に、液晶層２０５１０の厚さ（いわいるセルギャップ）を薄くするための層として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、絶縁膜２２２０１が形成されている。なお、絶縁膜２２２０１としては、平坦性や被覆性がよいことが望ましいため、有機材料を用いて形成されることが多い。なお、無機材料（酸化シリコン、窒化シリコン、酸化窒化シ

リコン）の上に、有機材料が形成され、多層構造になっていてもよい。なお、絶縁膜２２２０１には、コンタクトホールが選択的に形成されている。例えば、コンタクトホールは、トランジスタ２０５２１のドレイン電極の上面に形成されている。次に、絶縁層２０５０３上及び絶縁膜２２２０１上に、第１の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８ａが形成されている。次に、導電層２０５０８ａ上に、第２の画素電極として、フォトリソグラフィ法、インクジェット法又は印刷法などにより、導電層２０５０８ｂが形成されている。なお、導電層２０５０８ｂが形成される領域を反射領域という。また、導電層２０５０８ａが形成されている領域のうち、導電層２０５０８ａ上に導電層２０５０８ｂが形成されていない領域を透過領域という。次に、絶縁膜２２２０１上、導電層２０５０８ａ及び導電層２０５０８ｂ上に、配向膜として、絶縁層２０５０９が形成されている。次に、絶縁膜２０５１４、絶縁膜２０５１３、導電膜２０５１２及び絶縁膜２０５１１などが形成された対向基板２０５１５と、基板２０１００との隙間に、液晶層２０５１０が配置されている。

【０６０２】

なお、図７８では、導電層２０５０８ａが形成された後に導電層２０５０８ｂが形成されているが、図７９に示すように、導電層２０５０８ｂが形成された後に導電層２０５０８ａが形成されていてもよい。

【０６０３】

なお、図７８及び図７９では、液晶層２０５１０（セルギャップ）を調整するための絶縁膜が導電層２０５０８ａの下及び導電層２０５０８ｂの下に、形成されている。しかし、図８０のように絶縁膜２２００１が対向基板２０５１５側に形成されていてもよい。絶縁膜２２００１は、絶縁膜２２２０１と同様に、液晶層２０５１０（セルギャップ）を調整するための絶縁膜である。

【０６０４】

なお、図７９及び図８０では、平坦化膜として絶縁層２０５０７が形成されている場合について説明したが、図８１に示すように、絶縁層２０５０７が形成されていなくてもよい。図８１の場合は、反射画素電極として導電膜２０５０６を用いることができる。もちろん、反射画素電極として、別の導電膜が形成されていてもよい。

【０６０５】

なお、図６１及び図６３～図８１では、液晶層２０５１０に電圧を印加する一対の電極（導電層２０５０８及び導電膜２０５１２）を異なる基板上に形成した例を示した。しかし、導電膜２０５１２が基板２０１００上に設けられていてもよい。こうして、液晶の駆動方式として、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モードを用いることができる。また、液晶層２０５１０によっては、２つの配向膜（絶縁層２０５０９及び絶縁膜２０５１１）の一方又は双方を省略することもできる。

【０６０６】

なお、図６１及び図６３～図８１において、反射画素電極として、導電層２０５０８（導電層２０５０８ｂ）が形成されているが、導電層２０５０８の形状は凹凸となっていることが望ましい。なぜなら、反射画素電極は、外光を反射させて、表示を行うためのものである。反射電極に入ってきた外光を効率的に活用し、表示輝度を高めるために、反射電極で乱反射させることができるからである。なお、導電層２０５０８の下の膜（絶縁層２０５０５、絶縁層２０５０７、絶縁膜２１８０１又は絶縁膜２２２０１など）の形状を凹凸にすることで、導電層２０５０８の形状が凹凸になる。

【０６０７】

続いて、図６１～図８１で説明した液晶パネルを有する液晶表示装置について、図８２を参照して説明する。

【０６０８】

まず、図８２に示した液晶表示装置には、バックライトユニット２２６０１、液晶パネル２２６０７、第１の偏光子を含む層２２６０８、第２の偏光子を含む層２２６０９が設けられている。

【０６０９】
なお、液晶パネル２２６０７は、本実施形態で説明したものと同様なものとすることができる。また、本実施形態の液晶パネルは、各画素にスイッチング素子が設けられたアクティブ型の構造について説明してきたが、図８２の液晶パネルはパッシブ型の構造でもよい。
【０６１０】
バックライトユニット２２６０１の構造について説明する。バックライトユニット２２６０１は、拡散板２２６０２、導光板２２６０３、反射板２２６０４、ランプリフレクタ２２６０５、光源２２６０６を有するように構成されている。光源２２６０６としては冷陰極管、熱陰極管、発光ダイオード、無機ＥＬ又は有機ＥＬなどが用いられ、光源２２６０６は必要に応じて発光する機能を有する。ランプリフレクタ２２６０５は、光源２２６０６からの蛍光を効率よく導光板２２６０３に導く機能を有する。導光板２２６０３は、蛍光を全反射させて、全面に光を導く機能を有する。拡散板２２６０２は、明度のムラを低減する機能を有する。反射板２２６０４は、導光板２２６０３から下方向（液晶パネル２２６０７と反対方向）に漏れた光を反射して再利用する機能を有する。
【０６１１】
なお、拡散板２２６０２と第２の偏光子を含む層２２６０９との間に、プリズムシートを配置することで、本実施形態の液晶表示装置は液晶パネルの画面の明るさを向上させることができる。
【０６１２】
バックライトユニット２２６０１には、光源２２６０６の輝度を調整するための制御回路が接続されている。制御回路からの信号供給によって、光源２２６０６の輝度を調整することができる。
【０６１３】
液晶パネル２２６０７とバックライトユニット２２６０１との間には第２の偏光子を含む層２２６０９が設けられ、バックライトユニット２２６０１とは反対方向の液晶パネル２２６０７にも第１の偏光子を含む層２２６０８が設けられている。
【０６１４】
なお、第１の偏光子を含む層２２６０８と第２の偏光子を含む層２２６０９とは、液晶パネル２２６０７の液晶素子がＴＮモードで駆動する場合、クロスニコルになるように配置される。また、第１の偏光子を含む層２２６０８と第２の偏光子を含む層２２６０９とは、液晶パネル２２６０７の液晶素子がＶＡモードで駆動する場合、クロスニコルになるように配置される。また、第１の偏光子を含む層２２６０８と第２の偏光子を含む層２２６０９とは、液晶パネル２２６０７の液晶素子がＩＰＳモード及びＦＦＳモードで駆動する場合、クロスニコルになるように配置されていてもよいし、パラレルニコルになるように配置されていてもよい。
【０６１５】
第１の偏光子を含む層２２６０８及び第２の偏光子を含む層２２６０９の両方又は一方と、液晶パネル２２６０７との間に位相差板を有していてもよい。
【０６１６】
なお、図８５に示すように、第２の偏光子を含む層２２６０９とバックライトユニット２２６０１との間に、スリット（格子）２２６１０を配置することで、本実施形態の液晶表示装置は３次元表示を行うことができる。
【０６１７】
バックライトユニット側に配置された開口部を有するスリット２２６１０は、光源より入射された光をストライプ状にして透過し、表示装置へ入射させる。このスリット２２６１０によって、視認側にいる視認者の両目に視差を作ることができ、視認者は右目では右目用の画素だけを、左目では左目用の画素だけを同時に見ることになる。よって、視認者は、３次元表示を見ることができる。つまり、スリット２２６１０によって特定の視野角を与えられた光が右目用画像及び左目用画像のそれぞれに対応する画素を通過することで、

右目用画像と左目用画像とが異なる視野角に分離され、３次元表示が行われる。

【０６１８】

図８５の液晶表示装置を用いて、テレビジョン装置、携帯電話などの電子機器を作製すれば、３次元表示を行うことができる高機能でかつ高画質の電子機器を提供することができる。

【０６１９】

続いて、バックライトの詳細な構成について、図８４を参照して説明する。バックライトは光源を有するバックライトユニットとして液晶表示装置に設けられ、バックライトユニットは効率よく光を散乱させるため、光源は反射板により囲まれている。

【０６２０】

図８４（Ａ）に示すように、バックライトユニット２２８５２は、光源として冷陰極管２２８０１を用いることができる。また、冷陰極管２２８０１からの光を効率よく反射させるため、ランプリフレクタ２２８３２を設けることができる。冷陰極管２２８０１は、大型表示装置に用いることが多い。これは冷陰極管からの輝度の強度のためである。そのため、冷陰極管を有するバックライトユニットは、パーソナルコンピュータのディスプレイに用いることができる。

【０６２１】

図８４（Ｂ）に示すように、バックライトユニット２２８５２は、光源として発光ダイオード２２８０２（ＬＥＤ）を用いることができる。例えば、白色に発する発光ダイオード２２８０２（Ｗ）を所定の間隔に配置する。また、発光ダイオード２２８０２（Ｗ）２２８０２からの光を効率よく反射させるため、ランプリフレクタ２２８３２を設けることができる。

【０６２２】

また図８４（Ｃ）に示すように、バックライトユニット２２８５２は、光源として各色ＲＧＢの発光ダイオード２２８０３、２２８０４、２２８０５を用いることができる。各色ＲＧＢの発光ダイオード２２８０３、２２８０４、２２８０５を用いることにより、白色を発する発光ダイオード２２８０２（Ｗ）のみと比較して、色再現性を高くすることができる。また、発光ダイオードからの光を効率よく反射させるため、ランプリフレクタ２２８３２を設けることができる。

【０６２３】

またさらに図８４（Ｄ）に示すように、光源として各色ＲＧＢの発光ダイオード２２８０３、２２８０４、２２８０５を用いる場合、それらの数や配置を同じとする必要はない。例えば、発光強度の低い色（例えば緑）を複数配置してもよい。

【０６２４】

さらに白色を発する発光ダイオード２２８０２と、各色ＲＧＢの発光ダイオード２２８０３、２２８０４、２２８０５とを組み合わせて用いてもよい。

【０６２５】

なお、ＲＧＢの発光ダイオードを有する場合、フィールドシーケンシャルモードを適用すると、時間に応じてＲＧＢの発光ダイオードを順次点灯させることによりカラー表示を行うことができる。

【０６２６】

発光ダイオードを用いると、輝度が高いため、大型表示装置に適する。また、ＲＧＢ各色の色純度が良いため冷陰極管と比べて色再現性に優れており、配置面積を小さくすることができるため、小型表示装置に適応すると、狭額縁化を図ることができる。

【０６２７】

また、光源を必ずしも図８４に示すバックライトユニットとして配置する必要はない。例えば、大型表示装置に発光ダイオードを有するバックライトを搭載する場合、発光ダイオードは該基板の背面に配置することができる。このとき発光ダイオードは、所定の間隔を維持し、各色の発光ダイオードを順に配置させることができる。発光ダイオードの配置により、色再現性を高めることができる。

【０６２８】
続いて、偏光子を含む層（偏光板又は偏光フィルムともいう）の一例について、図８６を参照して説明する。
【０６２９】
図８６の偏光フィルム２３０００は、保護フィルム２３００１、基板フィルム２３００２、ＰＶＡ偏光フィルム２３００３、基板フィルム２３００４、粘着剤層２３００５及び離型フィルム２３００６を有するように構成されている。
【０６３０】
ＰＶＡ偏光フィルム２３００３は、ある振動方向だけの光（直線偏光）を作り出す機能を有する。具体的には、ＰＶＡ偏光フィルム２３００３は、電子の密度が縦と横で大きく異なる分子（偏光子）を含んでいる。ＰＶＡ偏光フィルム２３００３は、この電子の密度が縦と横で大きく異なる分子の方向を揃えることで、直線偏光を作り出すことができる。
【０６３１】
一例として、ＰＶＡ偏光フィルム２３００３は、ポリビニールアルコール（Ｐｏｌｙ　Ｖｉｎｙｌ　Ａｌｃｏｈｏｌ）の高分子フィルムに、ヨウ素化合物をドープし、ＰＶＡフィルムをある方向に引っ張ることで、一定方向にヨウ素分子の並んだフィルムを得ることができる。そして、ヨウ素分子の長軸と平行な光は、ヨウ素分子に吸収される。また、高耐久用途及び高耐熱用途として、ヨウ素の代わりに２色性の染料が用いてもよい。なお、染料は、車載用ＬＣＤやプロジェクタ用ＬＣＤなどの耐久性、耐熱性が求められる液晶表示装置に用いられることが望ましい。
【０６３２】
ＰＶＡ偏光フィルム２３００３は、両側を基材となるフィルム（基板フィルム２３００２及び基板フィルム３６０４）で挟むことで、信頼性を増すことができる。また、ＰＶＡ偏光フィルム２３００３は、高透明性、高耐久性のトリアセチルロース（ＴＡＣ）フィルムによって挟まれていてもよい。なお、基板フィルム及びＴＡＣフィルムは、ＰＶＡ偏光フィルム２３００３が有する偏光子の保護層として機能する。
【０６３３】
一方の基板フィルム（基板フィルム２３００４）には、液晶パネルのガラス基板に貼るための粘着剤層２３００５が貼られている。なお、粘着剤層２３００５は、粘着剤を片側の基板フィルム（基板フィルム２３００４）に塗布することで形成される。また、粘着剤層２３００５には、離形フィルム２３００６（セパレートフィルム）が備えられている。
【０６３４】
他方の基板フィルム（基板フィルム２３００２）には、保護フィルムが備えられている。
【０６３５】
なお、偏光フィルム２３０００表面に、ハードコート散乱層（アンチグレア層）が備えられていてもよい。ハードコート散乱層は、ＡＧ処理によって表面に微細な凹凸が形成されており、外光を散乱させる防眩機能を有するため、液晶パネルへの外光の映り込みや表面反射を防ぐことができる。
【０６３６】
また、偏光フィルム２３０００表面に、複数の屈折率の異なる光学薄膜層を多層化（アンチリフレクション処理、若しくはＡＲ処理ともいう）してもよい。多層化された複数の屈折率のことなる光学薄膜層は、光の干渉効果によって表面の反射率を低減することができる。
【０６３７】
続いて、液晶表示装置が有する各回路の動作について、図８３を参照して説明する。
【０６３８】
図８３には、表示装置の画素部２２７０５及び駆動回路部２２７０８のシステムブロック図を示す。
【０６３９】
画素部２２７０５は、複数の画素を有し、各画素となる信号線２２７１２と、走査線２２

７１０との交差領域には、スイッチング素子が設けられている。スイッチング素子により液晶分子の傾きを制御するための電圧の印加を制御することができる。このように各交差領域にスイッチング素子が設けられた構造をアクティブ型と呼ぶ。本実施の形態の画素部は、このようなアクティブ型に限定されず、パッシブ型の構成を有してもよい。パッシブ型は、各画素にスイッチング素子がないため、工程が簡便である。

【０６４０】

駆動回路部２２７０８は、制御回路２２７０２、信号線駆動回路２２７０３、走査線駆動回路２２７０４を有する。映像信号２２７０１が入力される制御回路２２７０２は、画素部２２７０５の表示内容に応じて、階調制御を行う機能を有する。そのため、制御回路２２７０２は、生成された信号を信号線駆動回路２２７０３及び走査線駆動回路２２７０４に入力する。そして、走査線駆動回路２２７０４に基づき、走査線２２７１０を介してスイッチング素子が選択されると、選択された交差領域の画素電極に電圧が印加される。この電圧の値は、信号線駆動回路２２７０３から信号線を介して入力される信号に基づき決定される。

【０６４１】

さらに、制御回路２２７０２では、照明手段２２７０６へ供給する電力を制御する信号が生成され、該信号は、照明手段２２７０６の電源２２７０７に入力される。照明手段には、上記実施の形態で示したバックライトユニットを用いることができる。なお照明手段はバックライト以外にフロントライトもある。フロントライトとは、画素部の前面側に取りつけ、全体を照らす発光体および導光体で構成された板状のライトユニットである。このような照明手段により、低消費電力で、均等に画素部を照らすことができる。

【０６４２】

図８３（Ｂ）に示すように走査線駆動回路２２７０４は、シフトレジスタ２２７４１、レベルシフタ２２７４２、バッファ２２７４３として機能する回路を有する。シフトレジスタ２２７４１にはゲートスタートパルス（ＧＳＰ）、ゲートクロック信号（ＧＣＫ）等の信号が入力される。なお、本実施の形態の走査線駆動回路は、図８３（Ｂ）に示す構成に限定されない。

【０６４３】

また図８３（Ｃ）に示すように信号線駆動回路２２７０３は、シフトレジスタ２２７３１、第１のラッチ２２７３２、第２のラッチ２２７３３、レベルシフタ２２７３４、バッファ２２７３５として機能する回路を有する。バッファ２２７３５として機能する回路とは、弱い信号を増幅させる機能を有する回路であり、オペアンプ等を有する。レベルシフタ２２７３４には、スタートパルス（ＳＳＰ）等の信号が、第１のラッチ２２７３２にはビデオ信号等のデータ（ＤＡＴＡ）が入力される。第２のラッチ２２７３３にはラッチ（ＬＡＴ）信号を一時保持することができ、一斉に画素部２２７０５へ入力させる。これを線順次駆動と呼ぶ。そのため、線順次駆動ではなく、点順次駆動を行う画素であれば、第２のラッチは不要とすることができる。このように、本実施の形態の信号線駆動回路は図８３（Ｃ）に示す構成に限定されない。

【０６４４】

このような信号線駆動回路２２７０３、走査線駆動回路２２７０４、画素部２２７０５は、同一基板状に設けられた半導体素子によって形成することができる。半導体素子は、ガラス基板に設けられた薄膜トランジスタを用いて形成することができる。この場合、半導体素子には結晶性半導体膜を適用するとよい。結晶性半導体膜は、電気特性、特に移動度が高いため、駆動回路部が有する回路を構成することができる。また、信号線駆動回路２２７０３や走査線駆動回路２２７０４は、ＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）チップを用いて、基板上に実装することもできる。この場合、画素部の半導体素子には非晶質半導体膜を適用することができる。

【０６４５】

ここで、本実施形態の液晶表示モジュールを図８７（Ａ）及び図８７（Ｂ）を用いて説明する。

【０６４６】
図８７（Ａ）は液晶表示モジュールの一例であり、ＴＦＴ基板２３１００と対向基板２３１０１がシール材２３１０２により固着され、その間にＴＦＴ等を含む画素部２３１０３と液晶層２３１０４が設けられ表示領域を形成している。着色層２３１０５はカラー表示を行う場合に必要であり、ＲＧＢ方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。ＴＦＴ基板２３１００と対向基板２３１０１の外側には第１の偏光子を含む層２３１０６、第２の偏光子を含む層２３１０７、拡散板２３１１３が配設されている。光源は冷陰極管２３１１０と反射板２３１１１により構成され、回路基板２３１１２は、フレキシブル配線基板２３１０９によりＴＦＴ基板２３１００と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。

【０６４７】
ＴＦＴ基板２３１００と光源であるバックライトの間には第２の偏光子を含む層２３１０７が積層して設けられ、対向基板２３１０１にも第１の偏光子を含む層２３１０６が積層して設けられている。一方、第２の偏光子を含む層２３１０７の吸収軸と、視認側に設けられた第１の偏光子を含む層２３１０６の吸収軸とは、クロスニコルになるように配置される。

【０６４８】
積層された第２の偏光子を含む層２３１０７や積層された第１の偏光子を含む層２３１０６は、ＴＦＴ基板２３１００、対向基板２３１０１に接着されている。また積層された偏光子を含む層と、基板との間に位相差板を有した状態で積層してもよい。また、必要に応じて、視認側である第１の偏光子を含む層２３１０６には反射防止処理を施してもよい。

【０６４９】
液晶表示モジュールには、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、ＰＤＬＣ（Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モードなどを用いることができる。

【０６５０】
図８７（Ｂ）は図８７（Ａ）の液晶表示モジュールにＯＣＢモードを適用した一例であり、ＦＳ－ＬＣＤ（Ｆｉｅｌｄ ｓｅｑｕｅｎｔｉａｌ－ＬＣＤ）となっている。ＦＳ－ＬＣＤは、１フレーム期間に赤色発光と緑色発光と青色発光をそれぞれ行うものであり、時間分割を用いて画像を合成しカラー表示を行うことが可能である。また、各発光を発光ダイオードまたは冷陰極管等で行うので、カラーフィルターが不要である。よって、３原色のカラーフィルターを並べ、各色の表示領域を限定する必要がなく、どの領域でも３色全ての表示を行うことができる。一方、１フレーム期間に３色の発光を行うため、液晶の高速な応答が求められる。本実施の形態の表示装置に、ＦＳ方式を用いたＦＬＣモード及びＯＣＢモードを適用し、高性能で高画質な表示装置、また液晶テレビジョン装置を完成させることができる。

【０６５１】
ＯＣＢモードの液晶層は、いわゆるπセル構造を有している。πセル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面対称の関係で配向された構造である。πセル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。このベンド配向が白表示となる。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過しない状態となる。なお、ＯＣＢモードにすると、従来のＴＮモードより約

１０倍速い高速応答性を実現できる。
【０６５２】
また、ＦＳ方式に対応するモードとして、高速動作が可能な強誘電性液晶（ＦＬＣ：Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）を用いたＨＶ（Ｈａｌｆ　Ｖ）－ＦＬＣ、ＳＳ（Ｓｕｒｆａｃｅ　Ｓｔａｂｉｌｉｚｅｄ）－ＦＬＣなども用いることができる。
【０６５３】
また、液晶表示モジュールのセルギャップを狭くすることで、液晶表示モジュールの光学応答速度を高速化することができる。また、液晶材料の粘度を下げることでも高速化できる。高速化は、ＴＮモードの液晶表示モジュールの画素領域の画素ピッチが３０μｍ以下の場合に、より効果的である。また、液晶層にかける印加電圧を本来の電圧よりも一瞬だけ高く（または低く）するオーバードライブを用いることで、高速化を行なってもよい。
【０６５４】
図８７（Ｂ）の液晶表示モジュールは透過型の液晶表示モジュールを示しており、光源として赤色光源２３１９０ａ、緑色光源２３１９０ｂ、青色光源２３１９０ｃが設けられている。光源は赤色光源２３１９０ａ、緑色光源２３１９０ｂ、青色光源２３１９０ｃのそれぞれオンオフを制御するために、制御部２３１９９が設置されている。制御部２３１９９によって、各色の発光は制御され、液晶に光は入射し、時間分割を用いて画像を合成し、カラー表示が行われる。
【０６５５】
なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。
【０６５６】
なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。
【０６５７】
（実施の形態１０）
本実施形態においては、本実施の形態を実施できる表示装置の駆動方法について説明する。特に、液晶表示装置の駆動方法について説明する。
【０６５８】
まず、オーバードライブ駆動について、図８８を参照して説明する。図８８の（Ａ）は、表示素子の、入力電圧に対する出力輝度の時間変化を表したものである。破線で表した入力電圧３０１２１に対する表示素子の出力輝度の時間変化は、同じく破線で表した出力輝度３０１２３のようになる。すなわち、目的の出力輝度Ｌｏを得るための電圧はＶｉであるが、入力電圧としてＶｉをそのまま入力した場合は、目的の出力輝度Ｌｏに達するまでに、素子の応答速度に対応した時間を要してしまう。
【０６５９】
オーバードライブ駆動は、この応答速度を速めるための技術である。具体的には、まず、Ｖｉよりも大きい電圧であるＶｏを素子に一定時間与えることで出力輝度の応答速度を高めて、目的の出力輝度Ｌｏに近づけた後に、入力電圧をＶｉに戻す、という方法である。このときの入力電圧は入力電圧３０１２２、出力輝度は出力輝度３０１２４に表したようになる。出力輝度３０１２４のグラフは、目的の輝度Ｌｏに至るまでの時間が、出力輝度３０１２３のグラフよりも短くなっている。
【０６６０】
なお、図８８の（Ａ）においては、入力電圧に対し出力輝度が正の変化をする場合について述べたが、入力電圧に対し出力輝度が負の変化をする場合も、本実施の形態は含んでいる。
【０６６１】
このような駆動を実現するための回路について、図８８の（Ｂ）および図８８の（Ｃ）を参照して説明する。まず、図８８の（Ｂ）を参照して、入力映像信号３０１３１がアナログ値（離散値でもよい）をとる信号であり、出力映像信号３０１３２もアナログ値をとる

信号である場合について説明する。図８８の（Ｂ）に示すオーバードライブ回路は、符号化回路３０１０１、フレームメモリ３０１０２、補正回路３０１０３、ＤＡ変換回路３０１０４、を備える。

【０６６２】

入力映像信号３０１３１は、まず、符号化回路３０１０１に入力され、符号化される。つまり、アナログ信号から、適切なビット数のデジタル信号に変換される。その後、変換されたデジタル信号は、フレームメモリ３０１０２と、補正回路３０１０３と、にそれぞれ入力される。補正回路３０１０３には、フレームメモリ３０１０２に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路３０１０３において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路３０１０３に出力切替信号３０１３３を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。次に、補正された映像信号または当該フレームの映像信号は、ＤＡ変換回路３０１０４に入力される。そして、補正された映像信号または当該フレームの映像信号にしたがった値のアナログ信号である出力映像信号３０１３２が出力される。このようにして、オーバードライブ駆動が実現できる。

【０６６３】

次に、図８８の（Ｃ）を参照して、入力映像信号３０１３１がデジタル値をとる信号であり、出力映像信号３０１３２もデジタル値をとる信号である場合について説明する。図８８の（Ｃ）に示すオーバードライブ回路は、フレームメモリ３０１１２、補正回路３０１１３、を備える。

【０６６４】

入力映像信号３０１３１は、デジタル信号であり、まず、フレームメモリ３０１１２と、補正回路３０１１３と、にそれぞれ入力される。補正回路３０１１３には、フレームメモリ３０１１２に保持されていた前フレームの映像信号も、同時に入力される。そして、補正回路３０１１３において、当該フレームの映像信号と、前フレームの映像信号から、あらかじめ用意された数値テーブルにしたがって、補正された映像信号を出力する。このとき、補正回路３０１１３に出力切替信号３０１３３を入力し、補正された映像信号と、当該フレームの映像信号を切替えて出力できるようにしてもよい。このようにして、オーバードライブ駆動が実現できる。

【０６６５】

なお、本実施の形態におけるオーバードライブ回路は、入力映像信号３０１３１がアナログ信号であり、出力映像信号３０１３２がデジタル信号である場合も含む。このときは、図８８の（Ｂ）に示した回路から、ＤＡ変換回路３０１０４を省略すればよい。また、本実施の形態におけるオーバードライブ回路は、入力映像信号３０１３１がデジタル信号であり、出力映像信号３０１３２がアナログ信号である場合も含む。このときは、図８８の（Ｂ）に示した回路から、符号化回路３０１０１を省略すればよい。

【０６６６】

次に、コモン線の電位を操作する駆動について、図８９を参照して説明する。図８９の（Ａ）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が１本配置されているときの、複数の画素回路を表した図である。図８９の（Ａ）に示す画素回路は、トランジスタ３０２０１、補助容量３０２０２、表示素子３０２０３、映像信号線３０２０４、走査線３０２０５、コモン線３０２０６、を備えている。

【０６６７】

トランジスタ３０２０１のゲート電極は、走査線３０２０５に電気的に接続され、トランジスタ３０２０１のソース電極またはドレイン電極の一方は、映像信号線３０２０４に電気的に接続され、トランジスタ３０２０１のソース電極またはドレイン電極の他方は、補助容量３０２０２の一方の電極、および表示素子３０２０３の一方の電極に電気的に接続されている。また、補助容量３０２０２の他方の電極は、コモン線３０２０６に電気的に

接続されている。

【０６６８】

まず、走査線３０２０５によって選択された画素は、トランジスタ３０２０１がオンとなるため、それぞれ、映像信号線３０２０４を介して、表示素子３０２０３および補助容量３０２０２に映像信号に対応した電圧がかかる。このとき、その映像信号が、コモン線３０２０６に接続された全ての画素に対して最低階調を表示させるものだった場合、または、コモン線３０２０６に接続された全ての画素に対して最高階調を表示させるものだった場合は、画素にそれぞれ映像信号線３０２０４を介して映像信号を書き込む必要はない。映像信号線３０２０４を介して映像信号を書き込む代わりに、コモン線３０２０６の電位を動かすことで、表示素子３０２０３にかかる電圧を変えることができる。

【０６６９】

次に、図８９の（Ｂ）は、液晶素子のような容量的な性質を持つ表示素子を用いた表示装置において、走査線一本に対し、コモン線が２本配置されているときの、複数の画素回路を表した図である。図８９の（Ｂ）に示す画素回路は、トランジスタ３０２１１、補助容量３０２１２、表示素子３０２１３、映像信号線３０２１４、走査線３０２１５、第１のコモン線３０２１６、第２のコモン線３０２１７、を備えている。

【０６７０】

トランジスタ３０２１１のゲート電極は、走査線３０２１５に電気的に接続され、トランジスタ３０２１１のソース電極またはドレイン電極の一方は、映像信号線３０２１４に電気的に接続され、トランジスタ３０２１１のソース電極またはドレイン電極の他方は、補助容量３０２１２の一方の電極、および表示素子３０２１３の一方の電極に電気的に接続されている。また、補助容量３０２１２の他方の電極は、第１のコモン線３０２１６に電気的に接続されている。また、当該画素と隣接する画素においては、補助容量３０２１２の他方の電極は、第２のコモン線３０２１７に電気的に接続されている。

【０６７１】

図８９の（Ｂ）に示す画素回路は、コモン線一本に対し電気的に接続されている画素が少ないため、映像信号線３０２１４を介して映像信号を書き込む代わりに、第１のコモン線３０２１６または第２のコモン線３０２１７の電位を動かすことで、表示素子３０２１３にかかる電圧を変えることができる頻度が、顕著に大きくなる。また、ソース反転駆動またはドット反転駆動が可能になる。ソース反転駆動またはドット反転駆動により、素子の信頼性を向上させつつ、フリッカを抑えることができる。

【０６７２】

次に、走査型バックライトについて、図９０を参照して説明する。図９０の（Ａ）は、冷陰極管を並置した走査型バックライトを示す図である。図９０の（Ａ）に示す走査型バックライトは、拡散板３０３０１と、Ｎ個の冷陰極管３０３０２－１から３０３０２－Ｎと、を備える。Ｎ個の冷陰極管３０３０２－１から３０３０２－Ｎを、拡散板３０３０１の後ろに並置することで、Ｎ個の冷陰極管３０３０２－１から３０３０２－Ｎは、その輝度を変化させて走査することができる。

【０６７３】

走査するときの各冷陰極管の輝度の変化を、図９０の（Ｃ）を用いて説明する。まず、冷陰極管３０３０２－１の輝度を、一定時間変化させる。そして、その後に、冷陰極管３０３０２－１の隣に配置された冷陰極管３０３０２－２の輝度を、同じ時間だけ変化させる。このように、冷陰極管３０３０２－１から３０３０２－Ｎまで、輝度を順に変化させる。なお、図９０の（Ｃ）においては、一定時間変化させる輝度は、元の輝度より小さいものとしたが、元の輝度より大きくてもよい。また、冷陰極管３０３０２－１から３０３０２－Ｎまで走査するとしたが、逆方向に冷陰極管３０３０２－Ｎから３０３０２－１まで走査してもよい。

【０６７４】

図９０のように駆動することで、バックライトの平均輝度を小さくすることができる。したがって、液晶表示装置の消費電力の大部分を占める、バックライトの消費電力を低減す

ることができる。
【０６７５】
なお、走査型バックライトの光源として、ＬＥＤを用いてもよい。その場合の走査型バックライトは、図９０の（Ｂ）のようになる。図９０の（Ｂ）に示す走査型バックライトは、拡散板３０３１１と、ＬＥＤを並置した光源３０３１２－１から３０３１２－Ｎと、を備える。走査型バックライトの光源として、ＬＥＤを用いた場合、バックライトを薄く、軽くできる利点がある。また、色再現範囲を広げることができるという利点がある。さらに、ＬＥＤを並置した光源３０３１２－１から３０３１２－Ｎのそれぞれに並置したＬＥＤも、同様に走査することができるので、点走査型のバックライトとすることもできる。点走査型とすれば、動画像の画質をさらに向上させることができる。
【０６７６】
なお、バックライトの光源としてＬＥＤを用いた場合も、図９０の（Ｃ）に示すように輝度を変化させて駆動することができる。
【０６７７】
次に、高周波駆動について、図９１を参照して説明する。図９１の（Ａ）は、１フレーム期間３０４００に１つの画像および１つの中間画像を表示するときの図である。３０４０１は当該フレームの画像、３０４０２は当該フレームの中間画像、３０４０３は次フレームの画像、３０４０４は次フレームの中間画像である。
【０６７８】
なお、当該フレームの中間画像３０４０２は、当該フレームおよび次フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像３０４０２は、当該フレームの画像３０４０１から作成された画像であってもよい。また、当該フレームの中間画像３０４０２は、黒画像であってもよい。こうすることで、ホールド型表示装置の動画像の画質を向上できる。また、１フレーム期間３０４００に１つの画像および１つの中間画像を表示する場合は、映像信号のフレームレートと整合性が取り易く、画像処理回路が複雑にならないという利点がある。
【０６７９】
図９１の（Ｂ）は、１フレーム期間３０４００が２つ連続する期間（２フレーム期間）に１つの画像および２つの中間画像を表示するときの図である。３０４１１は当該フレームの画像、３０４１２は当該フレームの中間画像、３０４１３は次フレームの中間画像、３０４１４は次々フレームの画像である。
【０６８０】
なお、当該フレームの中間画像３０４１２および次フレームの中間画像３０４１３は、当該フレーム、次フレーム、次々フレームの映像信号を元に作成された画像であってもよい。また、当該フレームの中間画像３０４１２および次フレームの中間画像３０４１３は、黒画像であってもよい。２フレーム期間に１つの画像および２つの中間画像を表示する場合は、周辺駆動回路の動作周波数をそれほど高速化することなく、効果的に動画像の画質を向上できるという利点がある。
【０６８１】
なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。
【０６８２】
なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。
【０６８３】
（実施の形態１１）
本実施形態においては、本実施の形態を実施できる表示装置の画素構造について説明する。特に、有機ＥＬ素子を用いた表示装置の画素構造について説明する。
【０６８４】
図９２（Ａ）に、１つの画素に２つのＴＦＴを有する画素の素子のレイアウト例を示す。また、図９２（Ａ）において、Ｘ－Ｘ’で示される部分の断面図を図９２（Ｂ）に示す。

【０６８５】
図９２（Ａ）に示すように、本実施の形態における画素は、第１のＴＦＴ６０１０５、第１の配線６０１０６、第２の配線６０１０７、第２のＴＦＴ６０１０８、第３の配線６０１１１、対向電極６０１１２、コンデンサ６０１１３、画素電極６０１１５、隔壁６０１１６、有機導電体膜６０１１７、有機薄膜６０１１８、基板６０１１９を有していてもよい。なお、第１のＴＦＴ６０１０５はスイッチング用ＴＦＴとして、第１の配線６０１０６はゲート信号線として、第２の配線６０１０７はソース信号線として、第２のＴＦＴ６０１０８は駆動用ＴＦＴとして、第３の配線６０１１１は電流供給線として、それぞれ用いられるのが好適である。
【０６８６】
図９２（Ａ）に示すように、第１のＴＦＴ６０１０５のゲート電極は、第１の配線６０１０６と電気的に接続され、第１のＴＦＴ６０１０５のソース電極またはドレイン電極の一方は、第２の配線６０１０７と電気的に接続され、第１のＴＦＴ６０１０５のソース電極またはドレイン電極の他方は、第２のＴＦＴ６０１０８のゲート電極およびコンデンサ６０１１３の一方の電極と電気的に接続されているのが好適である。なお、第１のＴＦＴ６０１０５のゲート電極は、図９２（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第１のＴＦＴ６０１０５のオフ状態におけるリーク電流を低減することができる。
【０６８７】
また、第２のＴＦＴ６０１０８のソース電極またはドレイン電極の一方は、第３の配線６０１１１と電気的に接続され、第２のＴＦＴ６０１０８のソース電極またはドレイン電極の他方は、画素電極６０１１５と電気的に接続されているのが好適である。こうすることで、画素電極６０１１５に流れる電流を、第２のＴＦＴ６０１０８によって制御することができる。
【０６８８】
画素電極６０１１５上には、有機導電体膜６０１１７が設けられ、さらに有機薄膜６０１１８（有機化合物層）設けられていてもよい。有機薄膜６０１１８（有機化合物層）上には、対向電極６０１１２が設けられていてもよい。なお、対向電極６０１１２は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。
【０６８９】
有機薄膜６０１１８（有機化合物層）から発せられた光は、画素電極６０１１５もしくは対向電極６０１１２のうちいずれかを透過して発せられる。このとき、図９２（Ｂ）において、画素電極側、すなわちＴＦＴ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。
【０６９０】
下面放射の場合、画素電極６０１１５は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極６０１１２は透明導電膜によって形成されるのが好適である。
【０６９１】
また、カラー表示の発光装置においては、Ｒ、Ｇ、Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子をベタ付けの形で塗り、カラーフィルタによってＲ・Ｇ・Ｂの発光を得るようにしても良い。
【０６９２】
なお、図９２に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図９２に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。
【０６９３】
次に、図９３（Ａ）を参照して、１つの画素に３つのＴＦＴを有する画素の素子のレイア

ウト例について説明する。また、図９３（Ａ）において、Ｘ－Ｘ’で示される部分の断面図を図９３（Ｂ）に示す。

【０６９４】

図９３（Ａ）に示すように、本実施の形態における画素は、基板６０２００、第１の配線６０２０１、第２の配線６０２０２、第３の配線６０２０３、第４の配線６０２０４、第１のＴＦＴ６０２０５、第２のＴＦＴ６０２０６、第３のＴＦＴ６０２０７、画素電極６０２０８、隔壁６０２１１、有機導電体膜６０２１２、有機薄膜６０２１３、対向電極６０２１４、を有していてもよい。なお、第１の配線６０２０１はソース信号線として、第２の配線６０２０２は書込用ゲート信号線として、第３の配線６０２０３は消去用ゲート信号線として、第４の配線６０２０４は電流供給線として、第１のＴＦＴ６０２０５はスイッチング用ＴＦＴとして、第２のＴＦＴ６０２０６は消去用ＴＦＴとして、第３のＴＦＴ６０２０７は駆動用ＴＦＴとして、それぞれ用いられるのが好適である。

【０６９５】

図９３（Ａ）に示すように、第１のＴＦＴ６０２０５のゲート電極は、第２の配線６０２０２と電気的に接続され、第１のＴＦＴ６０２０５のソース電極またはドレイン電極の一方は、第１の配線６０２０１と電気的に接続され、第１のＴＦＴ６０２０５のソース電極またはドレイン電極の他方は、第３のＴＦＴ６０２０７のゲート電極と電気的に接続されているのが好適である。なお、第１のＴＦＴ６０２０５のゲート電極は、図９３（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第１のＴＦＴ６０２０５のオフ状態におけるリーク電流を低減することができる。

【０６９６】

また、第２のＴＦＴ６０２０６のゲート電極は、第３の配線６０２０３と電気的に接続され、第２のＴＦＴ６０２０６のソース電極またはドレイン電極の一方は、第４の配線６０２０４と電気的に接続され、第２のＴＦＴ６０２０６のソース電極またはドレイン電極の他方は、第３のＴＦＴ６０２０７のゲート電極と電気的に接続されているのが好適である。なお、第２のＴＦＴ６０２０６のゲート電極は、図９３（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第２のＴＦＴ６０２０６のオフ状態におけるリーク電流を低減することができる。

【０６９７】

また、第３のＴＦＴ６０２０７のソース電極またはドレイン電極の一方は、第４の配線６０２０４と電気的に接続され、第３のＴＦＴ６０２０７のソース電極またはドレイン電極の他方は、画素電極６０２０８と電気的に接続されているのが好適である。こうすることで、画素電極６０２０８に流れる電流を、第３のＴＦＴ６０２０７によって制御することができる。

【０６９８】

画素電極６０２０８上には、有機導電体膜６０２１２が設けられ、さらに有機薄膜６０２１３（有機化合物層）が設けられていてもよい。有機薄膜６０２１３（有機化合物層）上には、対向電極６０２１４が設けられていてもよい。なお、対向電極６０２１４は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【０６９９】

有機薄膜６０２１３（有機化合物層）から発せられた光は、画素電極６０２０８もしくは対向電極６０２１４のうちいずれかを透過して発せられる。このとき、図９３（Ｂ）において、画素電極側、すなわちＴＦＴ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【０７００】

下面放射の場合、画素電極６０２０８は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極６０２１４は透明導電膜によって形成されるのが好適である。

【０７０１】

また、カラー表示の発光装置においては、Ｒ、Ｇ、Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子をベタ付けの形で塗り、カラーフィルタによってＲ、Ｇ、Ｂの発光を得るようにしても良い。

【０７０２】

なお、図９３に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図９３に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【０７０３】

次に、図９４（Ａ）を参照して、１つの画素に４つのＴＦＴを有する画素の素子のレイアウト例について説明する。また、図９４（Ａ）において、Ｘ－Ｘ’で示される部分の断面図を図９４（Ｂ）に示す。

【０７０４】

図９４（Ａ）に示すように、本実施の形態における画素は、基板６０３００、第１の配線６０３０１、第２の配線６０３０２、第３の配線６０３０３、第４の配線６０３０４、第１のＴＦＴ６０３０５、第２のＴＦＴ６０３０６、第３のＴＦＴ６０３０７、第４のＴＦＴ６０３０８、画素電極６０３０９、第５の配線６０３１１、第６の配線６０３１２、隔壁６０３２１、有機導電体膜６０３２２、有機薄膜６０３２３、対向電極６０３２４、を有していてもよい。なお、第１の配線６０３０１はソース信号線として、第２の配線６０３０２は書込用ゲート信号線として、第３の配線６０３０３は消去用ゲート信号線として、第４の配線６０３０４は逆方向バイアス用信号線として、第１のＴＦＴ６０３０５はスイッチング用ＴＦＴとして、第２のＴＦＴ６０３０６は消去用ＴＦＴとして、第３のＴＦＴ６０３０７は駆動用ＴＦＴとして、第４のＴＦＴ６０３０８は逆方向バイアス用ＴＦＴとして、第５の配線６０３１１は電流供給線として、第６の配線６０３１２は逆方向バイアス用電源線として、それぞれ用いられるのが好適である。

【０７０５】

図９４（Ａ）に示すように、第１のＴＦＴ６０３０５のゲート電極は、第２の配線６０３０２と電気的に接続され、第１のＴＦＴ６０３０５のソース電極またはドレイン電極の一方は、第１の配線６０３０１と電気的に接続され、第１のＴＦＴ６０３０５のソース電極またはドレイン電極の他方は、第３のＴＦＴ６０３０７のゲート電極と電気的に接続されているのが好適である。なお、第１のＴＦＴ６０３０５のゲート電極は、図９４（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第１のＴＦＴ６０３０５のオフ状態におけるリーク電流を低減することができる。

【０７０６】

第２のＴＦＴ６０３０６のゲート電極は、第３の配線６０３０３と電気的に接続され、第２のＴＦＴ６０３０６のソース電極またはドレイン電極の一方は、第５の配線６０３１１と電気的に接続され、第２のＴＦＴ６０３０６のソース電極またはドレイン電極の他方は、第３のＴＦＴ６０３０７のゲート電極と電気的に接続されているのが好適である。なお、第２のＴＦＴ６０３０６のゲート電極は、図９４（Ａ）に示すように、複数のゲート電極によって構成されていても良い。こうすることで、第２のＴＦＴ６０３０６のオフ状態におけるリーク電流を低減することができる。

【０７０７】

第３のＴＦＴ６０３０７のソース電極またはドレイン電極の一方は、第５の配線６０３１１と電気的に接続され、第３のＴＦＴ６０３０７のソース電極またはドレイン電極の他方は、画素電極６０３０９と電気的に接続されているのが好適である。こうすることで、画素電極６０３０９に流れる電流を、第３のＴＦＴ６０３０７によって制御することができる。

【０７０８】

第４のＴＦＴ６０３０８のゲート電極は、第４の配線６０３０４と電気的に接続され、第４のＴＦＴ６０３０８のソース電極またはドレイン電極の一方は、第６の配線６０３１２

と電気的に接続され、第４のＴＦＴ６０３０８のソース電極またはドレイン電極の他方は、画素電極６０３０９と電気的に接続されているのが好適である。こうすることで、画素電極６０３０９の電位を、第４のＴＦＴ６０３０８によって制御することができるので、有機導電体膜６０３２２および有機薄膜６０３２３に、逆方向のバイアスを印加することができる。有機導電体膜６０３２２および有機薄膜６０３２３などで構成される発光素子に逆方向のバイアスを印加することによって、発光素子の信頼性を大きく向上させることができる。

【０７０９】

たとえば、直流電圧（３．６５Ｖ）で駆動した場合の輝度半減時間が４００時間程度である発光素子を、交流電圧（順方向バイアス：３．７Ｖ、逆方向バイアス：１．７Ｖ、デューティ５０％、交流周波数６０Ｈｚ）で駆動すると、輝度半減時間は７００時間以上となることがわかっている。

【０７１０】

画素電極６０３０９上には、有機導電体膜６０３２２が設けられ、さらに有機薄膜６０３２３（有機化合物層）が設けられていてもよい。有機薄膜６０３２３（有機化合物層）上には、対向電極６０３２４が設けられていてもよい。なお、対向電極６０３２４は、全ての画素で共通に接続されるように、ベタ付けの形で形成されていてもよく、シャドーマスクなどを用いてパターン形成されていてもよい。

【０７１１】

有機薄膜６０３２３（有機化合物層）から発せられた光は、画素電極６０３０９もしくは対向電極６０３２４のうちいずれかを透過して発せられる。このとき、図９４（Ｂ）において、画素電極側、すなわちＴＦＴ等が形成されている側に光が発せられる場合を下面放射、対向電極側に光が発せられる場合を上面放射と呼ぶ。

【０７１２】

下面放射の場合、画素電極６０３０９は透明導電膜によって形成されるのが好適である。逆に、上面放射の場合、対向電極６０３２４は透明導電膜によって形成されるのが好適である。

【０７１３】

カラー表示の発光装置においては、Ｒ、Ｇ、Ｂそれぞれの発光色を持つＥＬ素子を塗り分けても良いし、単色のＥＬ素子をベタ付けの形で塗り、カラーフィルタによってＲ、Ｇ、Ｂの発光を得るようにしても良い。

【０７１４】

なお、図９４に示した構成はあくまで一例であり、画素レイアウト、断面構成、ＥＬ素子の電極の積層順等に関して、図９４に示した構成以外にも、様々な構成をとることができる。また、発光層は、図示した有機薄膜で構成される素子の他に、ＬＥＤのような結晶性の素子、無機薄膜で構成される素子など、様々な素子を用いることができる。

【０７１５】

次に、本実施の形態に適用できるＥＬ素子の構造について説明する。

【０７１６】

本実施の形態に適用できるＥＬ素子は、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層等が、明確に区別されるような積層構造ではなく、正孔注入材料、正孔輸送材料、発光材料、電子輸送材料、電子注入材料等の材料のうち、複数の材料が混合された層（混合層）を有する構成（以下、混合接合型のＥＬ素子と表記する）でもよい。

【０７１７】

混合接合型のＥＬ素子の構造を示す模式図を、図９５に示す。図９５において、６０４０１はＥＬ素子の陽極である。６０４０２はＥＬ素子の陰極である。陽極６０４０１と陰極６０４０２の間に挟まれた層が、ＥＬ層に相当する。

【０７１８】

図９５（Ａ）において、ＥＬ層は、正孔輸送材料からなる正孔輸送領域６０４０３と、電子輸送材料からなる電子輸送領域６０４０４とを含み、正孔輸送領域６０４０３は電子輸送領域６０４０４よりも陽極側に位置し、且つ、正孔輸送領域６０４０３と、電子輸送領域６０４０４の間に、前記正孔輸送材料及び前記電子輸送材料の両方を含む混合領域６０４０５が設けられた構成とすることができる。

【０７１９】

なお、陽極６０４０１から陰極６０４０２の方向に、混合領域６０４０５内の前記正孔輸送材料の濃度は減少し、混合領域６０４０５内の電子輸送材料の濃度は増加することを特徴としても良い。

【０７２０】

なお、上記構成において、正孔輸送材料のみからなる正孔輸送領域６０４０３が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域６０４０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、正孔輸送材料のみからなる正孔輸送領域６０４０３及び電子輸送材料のみからなる電子輸送領域６０４０４が存在せず、正孔輸送材料及び電子輸送材料の両方を含む混合領域６０４０５内部で各機能材料の濃度の割合が変化する（濃度勾配を有する）構成であってもよい。また、前記濃度の割合は、陽極や陰極からの距離に依存して変化する構成であってもよい。更に、前記濃度の割合の変化は連続的であってもよい。濃度勾配の設定の仕方は、自由に設定することが可能である。

【０７２１】

混合領域６０４０５内に、発光材料が添加された領域６０４０６を有する。発光材料によって、ＥＬ素子の発光色を制御することができる。また、発光材料によって、キャリアをトラップすることができる。発光材料としては、キノリン骨格を含む金属錯体、ベンゾオキサドール骨格を含む金属錯体、ベンゾチアゾール骨格を含む金属錯体等の他、各種蛍光色素を用いることができる。これらの発光材料を添加することによって、ＥＬ素子の発光色を制御することができる。

【０７２２】

陽極６０４０１としては、効率よく正孔を注入するため、仕事関数の大きな電極材料を用いることが好ましい。例えば、錫ドープ酸化インジウム（ＩＴＯ）や、亜鉛ドープ酸化インジウム（ＩＺＯ）、ＺｎＯ、SnO_2、In_2O_3等の透明電極を用いることができる。また、透光性を有する必要が無いならば、陽極６０４０１は、不透明の金属材料でもよい。

【０７２３】

正孔輸送材料としては、芳香族アミン系の化合物等を用いることができる。

【０７２４】

電子輸送材料としては、キノリン誘導体、８－キノリノールまたはその誘導体を配位子とする金属錯体（特に、トリス（８－キノリノライト）アルミニウム（Alq_3））等を用いることができる。

【０７２５】

陰極６０４０２としては、効率よく電子を注入するため、仕事関数の小さな電極材料を用いることが好ましい。アルミニウム、インジウム、マグネシウム、銀、カルシウム、バリウム、リチウム等の金属を単体で用いることができる。また、これらの金属の合金であっても良いし、これらの金属と他の金属との合金であっても良い。

【０７２６】

図９５（Ａ）とは異なる構成のＥＬ素子の模式図を図９５（Ｂ）に示す。なお、図９５（Ａ）と同じ部分は同じ符号を用いて示し、説明は省略する。

【０７２７】

図９５（Ｂ）では、発光材料が添加された領域を有さない。しかし、電子輸送領域６０４０４に添加する材料として、電子輸送性及び発光性の両方を有する材料（電子輸送発光材料）、例えば、トリス（８－キノリノライト）アルミニウム（Alq_3）を用いる構成と

し、発光を行うことができる。
【０７２８】
または、正孔輸送領域６０４０３に添加する材料として、正孔輸送性及び発光性の両方を有する材料（正孔輸送発光材料）を用いてもよい。
【０７２９】
図９５（Ａ）及び図９５（Ｂ）とは異なる構成のＥＬ素子の模式図を図９５（Ｃ）に示す。なお、図９５（Ａ）及び図９５（Ｂ）と同じ部分は同じ符号を用いて示し、説明は省略する。
【０７３０】
図９５（Ｃ）において、正孔輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい正孔ブロッキング性材料が、混合領域６０４０５内に添加された領域６０４０７を有する。正孔ブロッキング性材料が添加された領域６０４０７を、混合領域６０４０５内の発光材料が添加された領域６０４０６より陰極６０４０２側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、正孔ブロッキング性材料が添加された領域６０４０７を設ける構成は、特に、三重光励起子のよる発光（燐光）を利用するＥＬ素子において有効である。
【０７３１】
図９５（Ａ）、図９５（Ｂ）及び図９５（Ｃ）とは異なる構成のＥＬ素子の模式図を図９５（Ｄ）に示す。なお、図９５（Ａ）、図９５（Ｂ）及び図９５（Ｃ）と同じ部分は同じ符号を用いて示し、説明は省略する。
【０７３２】
図９５（Ｄ）において、電子輸送材料に比べて最高被占分子軌道と最低被占分子軌道とのエネルギー差が大きい電子ブロッキング性材料が、混合領域６０４０５内に添加された領域６０４０８を有する。電子ブロッキング性材料が添加された領域６０４０８を、混合領域６０４０５内の発光材料が添加された領域６０４０６より陽極６０４０１側に配置することによって、キャリアの再結合率を上げ、発光効率を上げることができる。上記、電子ブロッキング性材料が添加された領域６０４０８を設ける構成は、特に、三重光励起子のよる発光（燐光）を利用するＥＬ素子において有効である。
【０７３３】
図９５（Ｅ）は、図９５（Ａ）、図９５（Ｂ）、図９５（Ｃ）および図９５（Ｄ）とは異なる混合接合型のＥＬ素子の構成を示す模式図である。図９５（Ｅ）では、ＥＬ素子の電極に接するＥＬ層の部分に、金属材料を添加した領域６０４０９を有する構成の例を示す。図９５（Ｅ）において、図９５（Ａ）～図９５（Ｄ）と同じ部分は同じ符号を用いて示し説明は省略する。図９５（Ｅ）に示す構成は、たとえば、陰極６０４０２としてＭｇＡｇ（Ｍｇ－Ａｇ合金）を用い、電子輸送材料が添加された電子輸送領域６０４０４の、陰極６０４０２に接する領域にＡｌ（アルミニウム）合金を添加した領域６０４０９を有する構成であってもよい。上記構成によって、陰極の酸化を防止し、且つ、陰極からの電子の注入効率を高めることができる。こうして、混合接合型のＥＬ素子では、その寿命を長くすることができる。また、駆動電圧も低くすることができる。
【０７３４】
上記混合接合型のＥＬ素子を作製する手法としては、共蒸着法等を用いることができる。
【０７３５】
図９５（Ａ）～図９５（Ｅ）に示したような混合接合型のＥＬ素子では、明確な層の界面が存在せず、電荷の蓄積を低減することができる。こうして、その寿命を長くすることができる。また、駆動電圧も低くすることができる。
【０７３６】
図９５（Ａ）～図９５（Ｅ）に示した構成は、自由に組み合わせて実施することが可能である。
【０７３７】
混合接合型のＥＬ素子の構成は、これに限定されない。公知の構成を自由に用いることが

できる。

【０７３８】

ＥＬ素子のＥＬ層を構成する有機材料としては、低分子材料でも高分子材料でもよい。また、これらの材料を両方用いてもよい。有機化合物材料として低分子材料を用いる場合は、蒸着法によって成膜することができる。一方、ＥＬ層として高分子材料を用いる場合では、高分子材料を溶媒に溶かし、スピン塗布法やインクジェット方式で成膜することができる。

【０７３９】

ＥＬ層は、中分子材料によって構成されていても良い。本明細書中において、中分子系有機発光材料とは、昇華性を有さず、かつ、重合度が２０程度以下の有機発光材料を示すものとする。ＥＬ層として中分子材料を用いる場合では、インクジェット方式等で成膜することができる。

【０７４０】

低分子材料と、高分子材料と、中分子材料とを組み合わせて用いても良い。

【０７４１】

また、ＥＬ素子は、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

【０７４２】

次に、本実施の形態が適用できる表示装置を製造するための蒸着装置について、図面を参照して説明する。

【０７４３】

本実施の形態が適用できる表示装置は、ＥＬ層を形成して製造されてもよい。ＥＬ層は、エレクトロルミネセンスを発現する材料を少なくとも一部に含んで形成される。ＥＬ層は機能の異なる複数の層で構成されても良い。その場合、ＥＬ層は、正孔注入輸送層、発光層、電子注入輸送層などとも呼ばれる機能の異なる層が組み合わさって構成されていてもよい。

【０７４４】

トランジスタが形成された素子基板に、ＥＬ層を形成するための蒸着装置の構成を図９６に示す。この蒸着装置は、搬送室６０５６０、６０５６１に複数の処理室を連結している。処理室には、基板を供給するロード室６０５６２、基板を回収するアンロード室６０５６３、その他、加熱処理室６０５６８、プラズマ処理室６０５７２、ＥＬ材料を蒸着する成膜処理室６０５６９～６０５７５、ＥＬ素子の一方の電極として、アルミニウム若しくはアルミニウムを主成分とする導電膜を形成する成膜処理室６０５７６を含んでいる。また、搬送室と各処理室の間にはゲートバルブ６０５７７ａ～６０５７７ｍが設けられていて、各処理室の圧力は独立して制御可能とされており、処理室間の相互汚染を防いでいる。

【０７４５】

ロード室６０５６２から搬送室６０５６０に導入された基板は、回転自在に設けられたアーム方式の搬送手段６０５６６により、所定の処理室へ搬入される。また、基板は搬送手段６０５６６により、ある処理室から他の処理室へ搬送される。搬送室６０５６０と搬送室６０５６１とは成膜処理室６０５７０で連結され、ここで搬送手段６０５６６と搬送手段６０５６７により基板の受け渡しが行う。

【０７４６】

搬送室６０５６０及び搬送室６０５６１に連結する各処理室は減圧状態に保持されている。従って、この蒸着装置では、基板は大気に触れることなく連続してＥＬ層の成膜処理が行われる。ＥＬ層の成膜処理が終わった表示パネルは、水蒸気などにより劣化する場合があるので、この蒸着装置では、品質を保持するために大気に触れさせる前に封止処理を行うための封止処理室６０５６５が搬送室６０５６１に連結されている。封止処理室６０５６５は大気圧若しくはそれに近い減圧下におかれているので、搬送室６０５６１と封止処理室６０５６５の間にも中間処理室６０５６４が備えられている。中間処理室６０５６４

は基板の受け渡しと、室間の圧力を緩衝するために設けられている。

【０７４７】

ロード室、アンロード室、搬送室及び成膜処理室には室内を減圧に保持するための排気手段が備えられている。排気手段としては、ドライポンプ、ターボ分子ポンプ、拡散ポンプなど各種の真空ポンプを用いることができる。

【０７４８】

図９６の蒸着装置において、搬送室６０５６０及び搬送室６０５６１に連結される処理室の数やその構成は、ＥＬ素子の積層構造に応じて適宜組み合わせることができる。以下に、その組み合わせの一例を示す。

【０７４９】

加熱処理室６０５６８は、最初に下部電極や絶縁隔壁等が形成された基板を加熱して脱ガス処理を行う。プラズマ処理室６０５７２は、下地電極表面を希ガスや酸素プラズマ処理を行う。このプラズマ処理は、表面を清浄化、表面状態の安定化、表面の物理的若しくは化学的状態（例えば、仕事関数など）を安定化させるために行う。

【０７５０】

成膜処理室６０５６９は、ＥＬ素子の一方の電極と接触する電極バッファ層を形成する処理室である。電極バッファ層はキャリア注入性（正孔注入若しくは電子注入）があり、ＥＬ素子の短絡や暗点欠陥の発生を抑制する層である。代表的には、電極バッファ層は、有機無機混合材料であって、抵抗率が5×10^{4}～1×10^{6}Ωｃｍであり、３０～３００ｎｍの厚さに形成される。また、成膜室６０５７１は正孔輸送層を成膜する処理室である。

【０７５１】

ＥＬ素子における発光層は、単色発光をする場合と白色発光をする場合とで、その構成が異なる。蒸着装置において成膜処理室もそれに応じて配置することが好ましい。例えば、表示パネルに発光色が異なる三種類のＥＬ素子を形成する場合には、各発光色に対応した発光層を成膜する必要がある。この場合、成膜処理室６０５７０を第１の発光層の成膜用として、成膜処理室６０５７３を第２の発光層の成膜用として、成膜処理室６０５７４を第３の発光層の成膜用として用いることができる。発光層ごとに成膜処理室を分けることで、異なる発光材料による相互汚染を防止することが出来、成膜処理のスループットを向上させることが出来る。

【０７５２】

成膜処理室６０５７０、成膜処理室６０５７３、成膜処理室６０５７４のそれぞれで、発光色が異なる三種類のＥＬ材料を順次蒸着しても良い。この場合、シャドーマスクを使い、蒸着する領域に応じて当該マスクをずらして蒸着を行うことになる。

【０７５３】

白色発光するＥＬ素子を形成する場合には、異なる発光色の発光層を縦積みにして形成する。その場合にも、素子基板が成膜処理室を順次移動して、発光層ごとに成膜することができる。また、同じ成膜処理室で異なる発光層を連続して成膜することもできる。

【０７５４】

成膜処理室６０５７６では、ＥＬ層の上に電極を成膜する。電極の形成は、電子ビーム蒸着法やスパッタリング法を適用することもできるが、好ましくは抵抗加熱蒸着法を用いることが好ましい。

【０７５５】

電極の形成まで終了した素子基板は、中間処理室６０５６４を経て封止処理室６０５６５に搬入される。封止処理室６０５６５は、ヘリウム、アルゴン、ネオン、若しくは窒素などの不活性な気体が充填されており、その雰囲気下で素子基板のＥＬ層が形成された側に封止板を貼り付けて封止する。封止された状態において、素子基板と封止板との間には、不活性気体が充填されていても良いし、樹脂材料を充填しておいても良い。封止処理室６０５６５には、シール材を描画するディスペンサーや、素子基板に対向して封止板を固定する固定ステージやアームなどの機械的要素、樹脂材料を充填するディスペンサー若しく

はスピンコーターなどが備えられている。

【０７５６】

図９７は、成膜処理室の内部構成を示す。成膜処理室は減圧下に保たれていて、図９７では天板６０６９１と底板６０６９２で挟まれる内側が室内であり、減圧状態に保たれる室内を示している。

【０７５７】

処理室内には、一つ又は複数個の蒸発源が備えられている。組成の異なる複数の層を成膜する場合や、異なる材料を共蒸着する場合は、複数個の蒸発源を設けることが好ましいからである。図９７では、蒸発源６０６８１ａ、６０６８１ｂ、６０６８１ｃが蒸発源ホルダ６０６８０に装着されている。蒸発源ホルダ６０６８０は多関節アーム６０６８３によって保持されている。多関節アーム６０６８３は関節の伸縮によって、蒸発源ホルダ６０６８０の位置をその可動範囲内で自在に移動可能としている。また、蒸発源ホルダ６０６８０に距離センサー６０６８２を設け、蒸発源６０６８１ａ～６０６８１ｃと基板６０６８９との間隔をモニターして、蒸着時における最適な間隔を制御しても良い。その場合には、多関節アームに上下方向（Ｚ方向）にも変位する多関節アームとしても良い。

【０７５８】

基板ステージ６０６８６と基板チャック６０６８７は一対となって基板６０６８９を固定する。基板ステージ６０６８６はヒータを内蔵させて基板６０６８９を加熱できるように構成しても良い。基板６０６８９は、基板チャック６０６８７の禁緩により、基板ステージ６０６８６に固定されまた搬出入される。蒸着に際しては、必要に応じて蒸着するパターンに対応して開口部を備えたシャドーマスク６０６９０を用いることもできる。その場合、シャドーマスク６０６９０は、基板６０６８９と蒸発源６０６８１ａ～６０６８１ｃの間に配置されるようにする。シャドーマスク６０６９０はマスクチャック６０６８８により、基板６０６８９と密着若しくは一定の間隔を持って固定される。シャドーマスク６０６９０のアライメントが必要な場合には、処理室内にカメラを配置し、マスクチャック６０６８８にＸ－Ｙ－θ方向に微動する位置決め手段を備えることで、その位置合わせを行う。

【０７５９】

蒸発源６０６８１には、蒸着材料を蒸発源に連続して供給する蒸着材料供給手段が付加されている。蒸着材料供給手段は、蒸発源６０６８１と離れた位置に配置される材料供給源６０６８５ａ、６０６８５ｂ、６０６８５ｃと、その両者の間を繋ぐ材料供給管６０６８４を有している。典型的には、材料供給源６０６８５ａ、６０６８５ｂ、６０６８５ｃは蒸発源６０６８１に対応して設けられている。図９７の場合は、材料供給源６０６８５ａと６０６蒸発源８１ａが対応している。材料供給源６０６８５ｂと蒸発源６０６８１ｂ、材料供給源６０６８５ｃと蒸発源６０６８１ｃについても同様である。

【０７６０】

蒸着材料の供給方式には、気流搬送方式、エアロゾル方式などが適用できる。気流搬送方式は、蒸着材料の微粉末を気流に乗せて搬送するもので、不活性ガスなどを用いて蒸発源６０６８１に搬送する。エアロゾル方式は、蒸着材料を溶剤中に溶解または分散させた原料液を搬送し、噴霧器によりエアロゾル化し、エアロゾル中の溶媒を気化させながら行う蒸着である。いずれの場合にも、蒸発源６０６８１には加熱手段が設けられ、搬送された蒸着材料を蒸発させて基板６０６８９に成膜する。図９７の場合、材料供給管６０６８４は柔軟に曲げることができ、減圧状態下においても変形しない程度の剛性を持った細管で構成されている。

【０７６１】

気流搬送方式やエアロゾル方式を適用する場合には、成膜処理室内を大気圧若しくはそれ以下であって、好ましくは１３３Ｐａ～１３３００Ｐａの減圧下で成膜を行えば良い。成膜処理室内にはヘリウム、アルゴン、ネオン、クリプトン、キセノン、若しくは窒素などの不活性気体を充填し、または当該気体を供給しながら（同時に排気しながら）、圧力の調節を行うことができる。また、酸化膜を形成する成膜処理室では、酸素、亜酸化窒素な

どの気体を導入して酸化雰囲気としておいても良い。また、有機材料を蒸着する成膜処理室内には水素などの気体を導入して還元雰囲気にしておいても良い。

【０７６２】

その他の蒸着材料の供給方法として、材料供給管６０６８４の中にスクリューを設け蒸着材料を蒸発源に向けて連続的に押し出す構成としても良い。

【０７６３】

この蒸着装置によれば、大画面の表示パネルであっても、均一性良く、連続して成膜することができる。また、蒸発源に蒸着材料が無くなる度に、その都度蒸着材料を補給する必要がないので、スループットを向上することができる。

【０７６４】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【０７６５】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【０７６６】

（実施の形態１２）

本実施形態においては、本実施の形態を実施できる表示装置の画素回路及び駆動方法について説明する。

【０７６７】

まず、本実施の形態に適応可能なデジタル時間階調駆動について説明する。まず、画素への信号書き込み期間（アドレス期間）と発光期間（サステイン期間）とが分離されている場合の駆動方法について、図９８（Ａ）を参照して説明する。ここでは、一例として４ビットのデジタル時間階調の場合について説明する。

【０７６８】

なお、１表示領域分の画像を完全に表示するための期間を１フレーム期間という。１フレーム期間は複数のサブフレーム期間を有し、１サブフレーム期間はアドレス期間とサステイン期間とを有する。アドレス期間Ｔａ１～Ｔａ４は、全行分の画素への信号書き込みにかかる時間を示し、期間Ｔｂ１～Ｔｂ４は一行分の画素（又は一画素分）への信号書き込みにかかる時間を示している。また、サスティン期間Ｔｓ１～Ｔｓ４は、画素へ書き込まれたビデオ信号にしたがって点灯又は非点灯状態を維持する時間を示し、その長さの比をＴｓ１：Ｔｓ２：Ｔｓ３：Ｔｓ４＝2^3：2^2：2^1：2^0＝８：４：２：１としている。どのサスティン期間で発光するかによって階調を表現している。

【０７６９】

動作について説明する。まず、アドレス期間Ｔａ１において、１行目から順に走査線に画素選択信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサスティン期間Ｔｓ１における各画素の点灯、非点灯が制御される。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４において画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間Ｔｓ２、Ｔｓ３、Ｔｓ４における各画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サスティン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【０７７０】

ここで、図９８（Ｂ）を参照して、ｉ行目の画素行に着目して説明する。まず、アドレス期間Ｔａ１において、１行目から順に走査線に画素選択信号が入力され、アドレス期間Ｔａ１のうち期間Ｔｂ１（ｉ）においてｉ行目の画素が選択される。そして、ｉ行目の画素が選択されているときに、信号線からｉ行目の画素へビデオ信号が入力される。そして、ｉ行目の画素にビデオ信号が書き込まれると、ｉ行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサステイン期間Ｔｓ１におけ

るｉ行目の画素の点灯、非点灯が制御される。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４においてｉ行目の画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間Ｔｓ２、Ｔｓ３、Ｔｓ４におけるｉ行目の画素の点灯、非点灯が制御される。そして、それぞれのサブフレーム期間において、アドレス期間中は点灯せず、アドレス期間が終了した後、サスティン期間が始まり、点灯させるための信号が書き込まれている画素が点灯する。

【０７７１】

なお、ここでは４ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番はＴｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４である必要はなく、ランダムでもよいし、複数に分割して発光をさせてもよい。また、Ｔｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４の点灯時間は、２のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、２のべき乗からすこしだけずらしてもよい。

【０７７２】

続いて、画素への信号書き込み期間（アドレス期間）と発光期間（サスティン期間）とが分離されていない場合の駆動方法について説明する。つまり、ビデオ信号の書き込み動作が完了した行の画素は、次に画素へ信号の書き込み（又は消去）が行われるまで、信号を保持する。書き込み動作から次にこの画素へ信号の書き込みが行われるまでの期間をデータ保持時間という。そして、このデータ保持時間中は画素に書き込まれたビデオ信号に従って、画素が点灯又は非点灯となる。同じ動作が、最終行まで行われ、アドレス期間が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。

【０７７３】

このように、信号書き込み動作が完了しデータ保持時間となると、直ちに画素へ書き込まれたビデオ信号に従って画素が点灯又は非点灯となる駆動方法の場合には、データ保持時間をアドレス期間より短くしようとしても、同時に２行に信号を入力できないため、アドレス期間を重ならないようにしなければならないので、データ保持時間を短くすることができない。よって、その結果、高階調表示を行うことが困難になる。

【０７７４】

よって、消去期間を設けることによって、アドレス期間より短いデータ保持時間を設定する。消去期間を設けアドレス期間より短いデータ保持時間を設定する場合の駆動方法について図９９（Ａ）を用いて説明する。

【０７７５】

まず、アドレス期間Ｔａ１において、１行目から順に走査線に画素走査信号が入力され、画素が選択される。そして、画素が選択されているときに、信号線から画素へビデオ信号が入力される。そして、画素にビデオ信号が書き込まれると、画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によってサスティン期間Ｔｓ１における各画素の点灯、非点灯が制御される。ビデオ信号の書き込み動作が完了した行においては、直ちに書き込まれたビデオ信号にしたがって、画素が点灯又は非点灯の状態となる。同じ動作が、最終行まで行われ、アドレス期間Ｔａ１が終了する。そして、データ保持時間が終了した行から順に次のサブフレーム期間の信号書き込み動作へ移る。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４において画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間Ｔｓ２、Ｔｓ３、Ｔｓ４における各画素の点灯、非点灯が制御される。そして、サスティン期間ＴＳ４はその終期を消去動作の開始によって設定される。なぜなら、各行の消去時間Ｔｅに画素に書き込まれた信号の消去が行われると、次の画素への信号の書き込みが行われるまでは、アドレス期間に画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間Ｔｅが始まった行の画素からデータ保持時間が終了する。

【０７７６】

ここで、図９９（Ｂ）を参照して、ｉ行目の画素行に着目して説明する。ｉ行目の画素行において、アドレス期間Ｔａ１において、１行目から順に走査線に画素走査信号が入力さ

れ、画素が選択される。そして、期間Ｔｂ１（ｉ）においてｉ行目の画素が選択されているときに、ｉ行目の画素にビデオ信号が入力される。そして、ｉ行目の画素にビデオ信号が書き込まれると、ｉ行目の画素は再び信号が入力されるまでその信号を保持する。この書き込まれたビデオ信号によって、サスティン期間Ｔｓ１（ｉ）におけるｉ行目の画素の点灯、非点灯が制御される。つまり、ｉ行目にビデオ信号の書き込み動作が完了したら、直ちに書き込まれたビデオ信号にしたがって、ｉ行目の画素が点灯又は非点灯の状態となる。同様に、アドレス期間Ｔａ２、Ｔａ３、Ｔａ４においてｉ行目の画素へビデオ信号が入力され、そのビデオ信号によってサスティン期間Ｔｓ２、Ｔｓ３、Ｔｓ４におけるｉ行目の画素の点灯、非点灯が制御される。そして、サスティン期間Ｔｓ４（ｉ）はその終期を消去動作の開始によって設定される。なぜなら、ｉ行目の消去時間Ｔｓ（ｉ）にｉ行目の画素に書き込まれたビデオ信号に関わらず、強制的に非点灯となるからである。つまり、消去時間Ｔｅ（ｉ）が始まるとｉ行目の画素のデータ保持時間が終了する。

【０７７７】

よって、アドレス期間とサスティン期間とを分離せずに、アドレス期間より短い高階調且つデューティー比（１フレーム期間中の点灯期間の割合）の高い表示装置を提供することができる。また、瞬間輝度を低くすることが可能であるため表示素子の信頼性の向上を図ることが可能である。

【０７７８】

なお、ここでは４ビット階調を表現する場合について説明したが、ビット数及び階調数はこれに限定されない。また、点灯の順番はＴｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４である必要はなく、ランダムでもよいし、複数に分割して発光をしてもよい。また、Ｔｓ１、Ｔｓ２、Ｔｓ３、Ｔｓ４の点灯時間は、２のべき乗にする必要はなく、同じ長さの点灯時間にしてもよいし、２のべき乗からすこしだけずらしてもよい。

【０７７９】

ここで、図９８（Ａ）及び図９９（Ａ）で説明したデジタル時間階調駆動を可能な画素構成について図１００（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）及び（Ｅ）を参照して説明する。なお、図１００（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）及び（Ｅ）に示す表示素子としては、ＥＬ素子（有機ＥＬ素子、無機ＥＬ素子又は有機物及び無機物を含むＥＬ素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（ＧＬＶ）、デジタルマイクロミラーデバイス（ＤＭＤ）、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適応することができる。また、図１００（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）及び（Ｅ）に示す画素は、表示素子としてＥＬ素子などのような自発光型の素子が適している。なお、図１００（Ａ）、（Ｂ）、（Ｃ）、（Ｄ）及び（Ｅ）は１画素のみを図示しているが、表示装置の画素部には行方向と列方向にマトリクス状に複数の画素が配置されている。

【０７８０】

図１００（Ａ）に示す画素は、スイッチング用トランジスタ８０３０１ａ、駆動用トランジスタ８０３０２ａ、容量素子８０３０４ａを有している。スイッチング用トランジスタ８０３０１ａは、ゲート端子が走査線８０３１２ａに接続され、第１端子（ソース端子又はドレイン端子）が信号線８０３１１ａに接続され、第２端子（ソース端子又はドレイン端子）が駆動用トランジスタ８０３０２ａのゲート端子と接続されている。また、スイッチング用トランジスタ８０３０１ａの第２端子は容量素子８０３０４ａを介して電源線８０３１３ａに接続されている。さらに、駆動用トランジスタ８０３０２ａは第１端子が電源線８０３１３ａに接続され、第２端子が表示素子８０３２０ａの第１の電極に接続されている。表示素子８０３２０ａの第２の電極８０３２１ａには低電源電位が設定されている。なお、低電源電位とは、電源線８０３１３ａに設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子８０３２０ａに印加して、表示素子８０３２０ａに電流を流して表示素子８０３２０ａを発光させるため、高電源電位と低電源電位との電位差が表示素子８０３２０ａの順方向しきい値電圧

以上となるようにそれぞれの電位を設定する。なお、容量素子８０３０４ａは駆動用トランジスタ８０３０２ａのゲート容量を代用して省略することも可能である。駆動用トランジスタ８０３０２ａのゲート容量については、ソース領域やドレイン領域やＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【０７８１】

走査線８０３１２ａで画素が選択されているとき、つまりスイッチング用トランジスタ８０３０１ａがオンになっているときに信号線８０３１１ａから画素にビデオ信号が入力される。そして、ビデオ信号に相当する電圧分の電荷が容量素子８０３０４ａに蓄積され、容量素子８０３０４ａはその電圧を保持する。この電圧は駆動用トランジスタ８０３０２ａのゲート端子と第１端子間の電圧であり、駆動用トランジスタ８０３０２ａのゲートソース間電圧Ｖｇｓに相当する。

【０７８２】

一般に、トランジスタの動作領域は、線形領域と飽和領域とに分けることが出来る。その境目は、ドレインソース間電圧をＶｄｓ、ゲートソース間電圧をＶｇｓ、しきい値電圧をＶｔｈとすると、（Ｖｇｓ－Ｖｔｈ）＝Ｖｄｓの時になる。（Ｖｇｓ－Ｖｔｈ）＞Ｖｄｓの場合は、線形領域であり、Ｖｄｓ、Ｖｇｓの大きさによって電流値が決まる。一方、（Ｖｇｓ－Ｖｔｈ）＜Ｖｄｓの場合は飽和領域になり、理想的には、Ｖｄｓが変化しても、電流値はほとんど変わらない。つまり、Ｖｇｓの大きさだけによって電流値が決まる。

【０７８３】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ８０３０２ａのゲート端子には、駆動用トランジスタ８０３０２ａが十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ８０３０２ａは線形領域で動作させる。

【０７８４】

よって、駆動用トランジスタ８０３０２ａがオンするビデオ信号であるときには、理想的には電源線８０３１３ａに設定されている電源電位ＶＤＤをそのまま表示素子８０３２０ａの第１の電極に設定する。

【０７８５】

つまり、理想的には表示素子８０３２０ａに印加する電圧を一定にし、表示素子８０３２０ａから得られる輝度を一定にする。そして、１フレーム期間内に複数のサブフレーム期間を設け、サブフレーム期間毎に画素へのビデオ信号の書き込みを行い、サブフレーム期間毎に画素の点灯又は非点灯を制御し、その点灯しているサブフレーム期間の合計によって、階調を表現する。

【０７８６】

次に、図１００（Ｂ）の画素構成について説明する。図１００（Ｂ）に示す画素は、スイッチング用トランジスタ８０３０１ａ、駆動用トランジスタ８０３０２ａ、整流素子８０３０６ａ、容量素子８０３０４ａ、表示素子８０３２０ｂを有している。スイッチング用トランジスタ８０３０１ｂは、ゲート端子が第１の走査線８０３１２ｂに接続され、第１端子（ソース端子又はドレイン端子）が信号線８０３１１ｂに接続され、第２端子（ソース端子又はドレイン端子）が駆動用トランジスタ８０３０２ｂのゲート端子と接続されている。さらに、駆動トランジスタ８０３０２のゲート端子は整流素子８０３０６ａを介して第２の走査線８０３１４ｂに接続されている。また、スイッチング用トランジスタ８０３０１ｂの第２端子は容量素子８０３０４ｂを介して電源線８０３１３ｂに接続されている。さらに、駆動用トランジスタ８０３０２ｂは第１端子が電源線８０３１３ｂに接続され、第２端子が表示素子８０３２０ｂの第１の電極に接続されている。表示素子８０３２０ｂの第２の電極８０３２１ｂには低電源電位が設定されている。なお、低電源電位とは、電源線８０３１３ｂに設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子８０３２０ｂに印加して、表示素子８

０３２０ｂに電流を流して表示素子８０３２０ｂを発光させるため、高電源電位と低電源電位との電位差が表示素子８０３２０ｂの順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子８０３０４ｂは駆動用トランジスタ８０３０２ｂのゲート容量を代用して省略することも可能である。駆動用トランジスタ８０３０２ｂのゲート容量については、ソース領域やドレイン領域やＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【０７８７】

本画素構成は、図１００（Ａ）の画素に、整流素子８０３０６ａと第２の走査線８０３１４ｂを追加したものである。よって、スイッチング用トランジスタ８０３０１ｂ、駆動用トランジスタ８０３０２ｂ、容量素子８０３０４ｂ、信号線８０３１１ｂ、第１の走査線８０３１２ｂ、電源線８０３１３ｂは、それぞれスイッチング用トランジスタ８０３０１ａ、駆動用トランジスタ８０３０２ａ、容量素子８０３０４ａ、信号線８０３１１ａ、走査線８０３１２ａ、電源線８０３１３ａに相当し、書き込みの動作や発光の動作は同様であるためここではその説明を省略する。

【０７８８】

消去動作について説明する。消去動作時には、第２の走査線８０３１４ｂにＨレベルの信号を入力する。すると、整流素子８０３０６ａに電流が流れ、容量素子８０３０４ｂによって保持されていた駆動用トランジスタ８０３０２ｂのゲート電位をある電位に設定することができる。つまり、駆動用トランジスタ８０３０２ｂのゲート端子の電位を、ある電位に設定し、画素へ書き込まれたビデオ信号に関わらず、駆動用トランジスタ８０３０２ｂを強制的にオフさせることができる。

【０７８９】

なお、第２の走査線８０３１４ｂに入力するＬレベルの信号は、画素に非点灯となるビデオ信号が書き込まれているときに整流素子８０３０６ａに電流が流れないような電位とする。また、第２の走査線８０３１４ｂに入力するＨレベルの信号は、画素に書き込まれたビデオ信号に関わらず、駆動用トランジスタ８０３０２ｂがオフするような電位をゲート端子に設定することができるような電位とする。

【０７９０】

なお、整流素子８０３０６ａには、ダイオード接続したトランジスタを用いることが可能である。さらに、ダイオード接続したトランジスタの他にも、ＰＮ接合やＰＩＮ接合のダイオードやショットキー型のダイオードやカーボンナノチューブで形成されたダイオードなどを用いてもよい。ダイオード接続したＮチャネル型トランジスタを適用した場合を図１００（Ｃ）に示す。ダイオード接続トランジスタ８０３０３ｃの第１端子（ソース端子又はドレイン端子）を駆動用トランジスタ８０３０２ｃのゲート端子と接続する。また、ダイオード接続トランジスタ８０３０３ｃの第２端子（ソース端子又はドレイン端子）をゲート端子と接続するとともに、第２の走査線８０３１４ｃに接続する。すると、第２の走査線８０３１４ｃがＬレベルのときにはダイオード接続トランジスタ８０３０３ｃはゲート端子とソース端子が接続されているため電流が流れないが、第２の走査線８０３１４ｃにＨレベルの信号を入力したときにダイオード接続トランジスタ８０３０３ｃの第２端子はドレイン端子となるためダイオード接続トランジスタ８０３０３ｃに電流が流れる。よって、ダイオード接続トランジスタ８０３０３ｃは整流作用を奏する。

【０７９１】

なお、スイッチング用トランジスタ８０３０１ｃ、駆動用トランジスタ８０３０２ｃ、容量素子８０３０４ｃ、信号線８０３１１ｃ、第１の走査線８０３１２ｃ、電源線８０３１３ｃは、それぞれ図１００（Ａ）のスイッチング用トランジスタ８０３０１ａ、駆動用トランジスタ８０３０２ａ、容量素子８０３０４ａ、信号線８０３１１ａ、走査線８０３１２ａ、電源線８０３１３ａに相当する。また、第２の走査線８０３１４ｃは、図１００（Ｂ）の第２の走査線８０３１２ｄに相当する。

【０７９２】

また、ダイオード接続したＰチャネル型トランジスタを適用した場合は図１００（Ｄ）に示す。ダイオード接続トランジスタ８０３０３ｄの第１端子（ソース端子又はドレイン端子）を第２の走査線８０３１３ｄに接続する。また、ダイオード接続トランジスタ８０３０３ｄの第２端子（ソース端子又はドレイン端子）をゲート端子と接続するとともに、駆動用トランジスタ８０３０２ｄのゲート端子と接続する。すると、第２の走査線８０３１３ｄがＬレベルのときにはダイオード接続トランジスタ８０３０３ｄはゲート端子とソース端子が接続されているため電流が流れないが、第２の走査線８０３１３ｄにＨレベルの信号を入力したときにダイオード接続トランジスタ８０３０３ｄの第２端子はドレイン端子となるためダイオード接続トランジスタ８０３０３ｄに電流が流れる。よって、ダイオード接続トランジスタ８０３０３ｄは整流作用を奏する。

【０７９３】

なお、スイッチング用トランジスタ８０３０１ｄ、駆動用トランジスタ８０３０２ｄ、容量素子８０３０４ｄ、信号線８０３１１ｄ、第１の走査線８０３１２ｄ、電源線８０３１３ｄは、それぞれ図１００（Ａ）のスイッチング用トランジスタ８０３０１ａ、駆動用トランジスタ８０３０２ａ、容量素子８０３０４ａ、信号線８０３１１ａ、走査線８０３１２ａ、電源線８０３１３ａに相当する。また、第２の走査線８０３１４ｄは、図１００（Ｂ）の第２の走査線８０３１２ｄに相当する。

【０７９４】

また、画素へ書き込まれた信号を消去させるために消去用トランジスタを設けてもよい。図１００（Ｅ）に示す画素は、図１００（Ａ）の画素に消去用トランジスタ８０３０３ｅと第２の走査線８０３１２ｅを追加したものである。よって、スイッチング用トランジスタ８０３０１ｅ、駆動用トランジスタ８０３０２ｅ、容量素子８０３０４ｅ、信号線８０３１１ｅ、第１の走査線８０３１２ｅ、電源線８０３１３ｅは、それぞれ図１００（Ａ）のスイッチング用トランジスタ８０３０１ａ、駆動用トランジスタ８０３０２ａ、容量素子８０３０４ａ、信号線８０３１１ａ、走査線８０３１２ａ、電源線８０３１３ａに相当し、書き込みの動作や発光の動作は同様であるためここではその説明を省略する。

【０７９５】

消去動作について説明する。消去動作時には、第２の走査線８０３１２ｅにＨレベルの信号を入力する。すると、消去用トランジスタ８０３０３ｅがオンし、駆動用トランジスタ８０３０２ｅのゲート端子と第１端子を同電位にすることができる。つまり、駆動用トランジスタ８０３０２ｅのゲートソース間電圧を０Ｖにすることができる。なお、第２の走査線８０３１２ｅのＨレベルの電位は、電源線８０３１３ｅの電位よりも消去用トランジスタ８０３０３ｅのしきい値電圧Ｖｔｈ以上高いことが望ましい。こうして、駆動用トランジスタ８０３０２ｅを強制的にオフさせることができる。

【０７９６】

続いて、本実施の形態に適応可能なしきい値電圧補正型の画素回路及び駆動方法の一例について、図１０１（Ａ）を参照して説明する。

【０７９７】

図１０１（Ａ）に示す画素は、駆動トランジスタ８０４００、第１のスイッチ８０４０１、第２のスイッチ８０４０２、第３のスイッチ８０４０３、第１の容量素子８０４０４、第２の容量素子８０４０５及び表示素子８０４２０を有している。駆動トランジスタ８０４００は、ゲート端子が第１の容量素子８０４０４と第１のスイッチ８０４０１とを順に介して信号線８０４１１と接続され、第１端子が電源線８０４１２と接続され、第２端子が第３のスイッチ８０４０３を介して表示素子８０４２０の第１の電極に接続されている。さらに、駆動トランジスタ８０４００のゲート端子が第２の容量素子８０４０５を介して電源線８０４１２と接続されている。また、駆動トランジスタ８０４００のゲート端子が第２のスイッチ８０４０２を介して駆動トランジスタ８０４００の第２端子と接続されている。また、表示素子８０４２０の第２の電極８０４２１には低電源電位が設定されている。なお、低電源電位とは、電源線８０４１２に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなど

が設定されていても良い。この高電源電位と低電源電位との電位差を表示素子８０４２０に印加して、表示素子８０４２０に電流を流して表示素子８０４２０を発光させるため、高電源電位と低電源電位との電位差が表示素子８０４２０の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、第２の容量素子８０４０５は駆動トランジスタ８０４００のゲート容量を代用して省略することも可能である。駆動トランジスタ８０４００のゲート容量については、ソース領域やドレイン領域やＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。なお、第１のスイッチ８０４０１、第２のスイッチ８０４０２、第３のスイッチ８０４０３は、それぞれ第１の走査線８０４１３、第２の走査線８０４１４、第３の走査線８０４１５によってオン・オフが制御される。

【０７９８】

図１０１（Ａ）に示す画素の駆動方法は、初期化期間、データ書き込み期間、しきい値取得期間、発光期間に分割することができる。

【０７９９】

初期化期間では、第２のスイッチ８０４０２及び第３のスイッチ８０４０３がオンして、駆動トランジスタ８０４００のゲート端子の電位が少なくとも電源線８０４１２の電位よりも低くなる。なお、このとき、第１のスイッチ８０４０１は、オンしていてもオフしていてもよい。なお、初期化期間は必ずしも必要ではない。

【０８００】

しきい値取得期間では、第１の走査線８０４１３によって画素が選択される。つまり、第１のスイッチ８０４０１がオンし、信号線８０４１１からある一定電圧が入力される。このとき、第２のスイッチ８０４０２がオンしており、駆動トランジスタ８０４００がダイオード接続される。また、第３のスイッチ８０４０３はオフしている。したがって、駆動トランジスタ８０４００のゲート端子の電位は、電源線８０４１２の電位から駆動トランジスタ８０４００のしきい値電圧を引いた値となる。第１の容量素子８０４０４には駆動トランジスタ８０４００のしきい値電圧が保持される。また、第２の容量素子８０４０５には、駆動トランジスタ８０４００のゲート端子の電位と信号線８０４１１から入力されている一定電圧との電位差が保持される。

【０８０１】

データ書き込み期間では、信号線８０４１１からビデオ信号（電圧）が入力される。このとき、第１のスイッチ８０４０１がオンのままであり、第２のスイッチ８０４０２がオフし、第２のスイッチ８０４０２がオフのままである。また、駆動トランジスタ８０４００のゲート端子は浮遊状態となっている。よって、駆動トランジスタ８０４００のゲート端子の電位は、しきい値取得期間において信号線８０４１１入力される一定電圧と、データ書き込み期間において信号線８０４１１入力されるビデオ信号と、の電位差に応じて変化する。例えば、第１の容量素子８０４０４の容量値＜＜第２の容量素子８０４０５の容量値であれば、データ書き込み期間における駆動トランジスタ８０４００のゲート端子の電位は、しきい値取得期間において信号線８０４１１入力される一定電圧とデータ書き込み期間において信号線８０４１１入力されるビデオ信号との電位差を、電源線８０４１２の電位から駆動トランジスタ８０４００のしきい値電圧を引いた値に足した値とおおむね等しくなる。つまり、駆動トランジスタ８０４００のゲート端子の電位は、駆動トランジスタ８０４００のしきい値電圧を補正した電位となる。

【０８０２】

発光期間では、駆動トランジスタ８０４００のゲート端子の電位と電源線８０４１２との電位差（Ｖｇｓ）に応じた電流が表示素子８０４２０に流れる。このとき、第１のスイッチ８０４０１がオフし、第２のスイッチ８０４０２がオフのままであり、第３のスイッチ８０４０３がオンする。なお、表示素子８０４２０に流れる電流は、駆動トランジスタ８０４００のしきい値電圧によらず一定である。

【０８０３】

なお、図１０１（Ａ）に示す画素構成は、図１０１（Ａ）に限定されない。例えば、図１０１（Ａ）に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。また、例えば、第２のスイッチ８０４０２をＰチャネル型トランジスタ又はＮチャネル型トランジスタで構成し、第３のスイッチ８０４０３を第２のスイッチ８０４０２とは別の極性のトランジスタで構成し、第２のスイッチ８０４０２及び第３のスイッチ８０４０３を同じ走査線で制御してもよい。

【０８０４】

続いて、本実施の形態に適応可能な電流入力型の画素回路及び駆動方法の一例について、図１０１（Ｂ）参照して説明する。

【０８０５】

図１０１（Ｂ）に示す画素は、駆動用トランジスタ８０４３０、第１のスイッチ８０４３１、第２のスイッチ８０４３２、第３のスイッチ８０４３３、容量素子８０４３４及び表示素子８０４５０を有している。駆動用トランジスタ８０４３０は、ゲート端子が第２のスイッチ８０４３２と第１のスイッチ８０４３１とを順に介して信号線８０４４１に接続され、第１端子が電源線８０４４２と接続され、第２端子が第３のスイッチ８０４３３を介して表示素子８０４５０の第１の電極に接続されている。さらに、駆動用トランジスタ８０４３０のゲート端子が容量素子８０４３４を介して電源線８０４４２と接続されている。また、駆動用トランジスタ８０４３０のゲート端子が第２のスイッチ８０４３２を介して駆動用トランジスタ８０４３０の第２端子と接続されている。また、表示素子８０４５０の第２の電極８０４５１には低電源電位が設定されている。なお、低電源電位とは、電源線８０４４２に設定される高電源電位を基準にして低電源電位＜高電源電位を満たす電位であり、低電源電位としては例えばＧＮＤ、０Ｖなどが設定されていても良い。この高電源電位と低電源電位との電位差を表示素子８０４５０に印加して、表示素子８０４５０に電流を流して表示素子８０４５０を発光させるため、高電源電位と低電源電位との電位差が表示素子８０４５０の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。なお、容量素子８０４３４は駆動用トランジスタ８０４３０のゲート容量を代用して省略することも可能である。駆動用トランジスタ８０４３０のゲート容量については、ソース領域やドレイン領域やＬＤＤ領域などとゲート電極とが重なってオーバーラップしているような領域で容量が形成されていてもよいし、チャネル領域とゲート電極との間で容量が形成されていてもよい。なお、第１のスイッチ８０４３１、第２のスイッチ８０４３２、第３のスイッチ８０４３３は、それぞれ第１の走査線８０４４３、第２の走査線８０４４４、第３の走査線８０４４５によってオンオフが制御される。

【０８０６】

図１０１（Ｂ）に示す画素の駆動方法は、データ書き込み期間、発光期間に分割することができる。

【０８０７】

データ書き込み期間では、第１の走査線８０４４３によって画素が選択される。つまり、第１のスイッチ８０４３１がオンし、信号線８０４４１からビデオ信号として電流が入力される。このとき、第２のスイッチ８０４３２がオンし、第３のスイッチ８０４３３がオフする。したがって、駆動用トランジスタ８０４３０のゲート端子の電位は、ビデオ信号に応じた電位となる。つまり、容量素子８０４３４には、駆動用トランジスタ８０４３０がビデオ信号と同じ電流を流すような駆動用トランジスタ８０４３０のゲートとソース間の電圧が保持される。

【０８０８】

次に、発光期間では、第１のスイッチ８０４３１及び第２のスイッチ８０４３２がオフし、第３のスイッチ８０４３３がオンする。したがって、表示素子８０４５０にはビデオ信号と同じ値の電流が流れる。

【０８０９】

なお、図１０１（Ｂ）に示す画素構成は、図１０１（Ｂ）に限定されない。例えば、図１０１（Ｂ）に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回

路などを追加してもよい。また、例えば、第１のスイッチ８０４３１をＰチャネル型トランジスタ又はＮチャネル型トランジスタで構成し、第２のスイッチ８０４３２を第１のスイッチ８０４３１と同じ極性のトランジスタで構成し、第１のスイッチ８０４３１及び第２のスイッチ８０４３２を同じ走査線で制御してもよい。また、第２のスイッチ８０４３２は駆動用トランジスタ８０４３０のゲート端子と信号線８０４４１との間に配置されていてもよい。

【０８１０】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【０８１１】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【０８１２】

（実施の形態１３）

本実施形態においては、本実施の形態を適用できる半導体装置が薄膜トランジスタ（ＴＦＴ）を素子として有する場合の半導体装置の作製方法について、図面を参照して説明する。

【０８１３】

図１０２は、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスの例を示す図である。図１０２（Ａ）は、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの構造の例を示す図である。また、図１０２（Ｂ）乃至（Ｇ）は、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの製造プロセスの例を示す図である。

【０８１４】

なお、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスは、図１０２に示すものに限定されず、様々な構造および製造プロセスを用いることができる。

【０８１５】

まず、図１０２（Ａ）を参照し、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの構造の例について説明する。図１０２（Ａ）は複数の異なる構造を有するＴＦＴの断面図である。ここで、図１０２（Ａ）においては、複数の異なる構造を有するＴＦＴを並置して示しているが、これは、発明を適用できる半導体装置が有することのできるＴＦＴの構造を説明するための表現であり、発明を適用できる半導体装置が有することのできるＴＦＴが、実際に図１０２（Ａ）のように並置されている必要はなく、必要に応じてつくり分けることができる。

【０８１６】

次に、本実施の形態を適用できる半導体装置が有することのできるＴＦＴを構成する各層の特徴について説明する。

【０８１７】

基板１１０１１１は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチック又はアクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。可撓性を有する基板を用いることによって、折り曲げが可能である半導体装置を作製することが可能となる。また、可撓性を有す基板であれば、基板の面積及び基板の形状に大きな制限はないため、基板１１０１１１として、例えば、１辺が１メートル以上であって、矩形状のものを用いれば、生産性を格段に向上させることができる。このような利点は、円形のシリコン基板を用いる場合と比較すると、大きな優位点である。

【０８１８】

絶縁膜１１０１１２は、下地膜として機能する。基板１１０１１１からＮａなどのアルカ

リ金属又はアルカリ土類金属が、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。絶縁膜１１０１１２としては、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素又は窒素を有する絶縁膜の単層構造若しくはこれらの積層構造で設けることができる。例えば、絶縁膜１１０１１２を２層構造で設ける場合、１層目の絶縁膜として窒化酸化珪素膜を設け、２層目の絶縁膜として酸化窒化珪素膜を設けるとよい。また、絶縁膜１１０１１２を３層構造で設ける場合、１層目の絶縁膜として酸化窒化珪素膜を設け、２層目の絶縁膜として窒化酸化珪素膜を設け、３層目の絶縁膜として酸化窒化珪素膜を設けるとよい。

【０８１９】

半導体膜１１０１１３、１１０１１４、１１０１１５は、非晶質（アモルファス）半導体またはセミアモルファス半導体（ＳＡＳ）で形成することができる。あるいは、多結晶半導体膜を用いても良い。ＳＡＳは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第３の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、０．５～２０ｎｍの結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが５２０ｃｍ$^{-1}$よりも低波数側にシフトしている。Ｘ線回折では珪素結晶格子に由来するとされる（１１１）、（２２０）の回折ピークが観測される。未結合手（ダングリングボンド）の補償するものとして水素またはハロゲンを少なくとも１原子％またはそれ以上含ませている。ＳＡＳは、材料ガスをグロー放電分解（プラズマＣＶＤ）して形成する。材料ガスとしては、SiH_4、その他にもSi_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4などを用いることが可能である。あるいは、GeF_4を混合させても良い。この材料ガスをH_2、または、H_2とＨｅ、Ａｒ、Ｋｒ、Ｎｅから選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は２～１０００倍の範囲。圧力は概略０．１Ｐａ～１３３Ｐａの範囲、電源周波数は１ＭＨｚ～１２０ＭＨｚ、好ましくは１３ＭＨｚ～６０ＭＨｚ。基板加熱温度は３００℃以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は1×10^{20}ｃｍ$^{-1}$以下とすることが望ましく、特に、酸素濃度は5×10^{19}／ｃｍ^{3}以下、好ましくは1×10^{19}／ｃｍ^{3}以下とする。ここでは、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いてシリコン（Ｓｉ）を主成分とする材料（例えばＳｉｘＧｅ１－ｘ等）で非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させる。

【０８２０】

絶縁膜１１０１１６は、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造で設けることができる。

【０８２１】

ゲート電極１１０１１７は、単層の導電膜、または二層、三層の導電膜の積層構造とすることができる。ゲート電極１１０１１７の材料としては、公知の導電膜を用いることができる。たとえば、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、クロム（Ｃｒ）、シリコン（Ｓｉ）などの元素の単体膜、または、前記元素の窒化膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または、前記元素を組み合わせた合金膜（代表的にはＭｏ－Ｗ合金、Ｍｏ－Ｔａ合金）、または、前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）などを用いることができる。なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層で用いてもよいし、積層して用いてもよい。

【０８２２】

絶縁膜１１０１１８は、公知の手段（スパッタ法やプラズマＣＶＤ法等）によって、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、

窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、若しくはこれらの積層構造で設けることができる。

【０８２３】

絶縁膜１１０１１９は、シロキサン樹脂、または、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜、または、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、からなる単層若しくは積層構造で設けることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。なお、本実施の形態における半導体装置において、絶縁膜１１０１１８を設けずにゲート電極１１０１１７を覆うように直接、絶縁膜１１０１１９を設けることも可能である。

【０８２４】

導電膜１１０１２３は、Ａｌ、Ｎｉ、Ｃ、Ｗ、Ｍｏ、Ｔｉ、Ｐｔ、Ｃｕ、Ｔａ、Ａｕ、Ｍｎなどの元素の単体膜、または、前記元素の窒化膜、または、前記元素を組み合わせた合金膜、または、前記元素のシリサイド膜などを用いることができる。例えば、前記元素を複数含む合金として、Ｃ及びＴｉを含有したＡｌ合金、Ｎｉを含有したＡｌ合金、Ｃ及びＮｉを含有したＡｌ合金、Ｃ及びＭｎを含有したＡｌ合金等を用いることができる。また、積層構造で設ける場合、ＡｌをＭｏまたはＴｉなどで挟み込んだ構造とすることができる。こうすることで、Ａｌの熱や化学反応に対する耐性を向上することができる。

【０８２５】

次に、図１０２（Ａ）に示した、複数の異なる構造を有するＴＦＴの断面図を参照して、各々の構造の特徴について説明する。

【０８２６】

１１０１０１は、シングルドレインＴＦＴであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜１１０１１３、１１０１１５は、それぞれ不純物の濃度が異なり、半導体膜１１０１１３はチャネル領域、半導体膜１１０１１５はソース領域およびドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜１１０１２３との電気的な接続状態を、オーミック接続に近づけることができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極１１０１１７をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。

【０８２７】

１１０１０２は、ゲート電極１１０１１７に一定以上のテーパー角を有するＴＦＴであり、簡便な方法で製造できるため、製造コストが低く、歩留まりを高く製造できる利点がある。ここで、半導体膜１１０１１３、１１０１１４、１１０１１５は、それぞれ不純物濃度が異なり、半導体膜１１０１１３はチャネル領域、半導体膜１１０１１４は低濃度ドレイン（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ：ＬＤＤ）領域、半導体膜１１０１１５はソース領域およびドレイン領域として用いる。このように、不純物の量を制御することで、半導体膜の抵抗率を制御できる。また、半導体膜と導電膜１１０１２３との電気的な接続状態を、オーミック接続に近づけることができる。また、ＬＤＤ領域を有するため、ＴＦＴ内部に高電界がかかりにくく、ホットキャリアによる素子の劣化を抑制することができる。なお、不純物の量の異なる半導体膜を作り分ける方法としては、ゲート電極１１０１１７をマスクとして半導体膜に不純物をドーピングする方法を用いることができる。１１０１０２においては、ゲート電極１１０１１７が一定以上のテーパー角を有しているため、ゲート電極１１０１１７を通過して半導体膜にドーピングされる不純物の濃度に勾

配を持たせることができ、簡便にＬＤＤ領域を形成することができる。
【０８２８】
１１０１０３は、ゲート電極１１０１１７が少なくとも２層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するＴＦＴである。本明細書中においては、上層のゲート電極及び下層のゲート電極の形状を、帽子型と呼ぶ。ゲート電極１１０１１７の形状が帽子型であることによって、フォトマスクを追加することなく、ＬＤＤ領域を形成することができる。なお、１１０１０３のように、ＬＤＤ領域がゲート電極１１０１１７と重なっている構造を、特にＧＯＬＤ構造（Ｇａｔｅ　Ｏｖｅｒｌａｐｐｅｄ　ＬＤＤ）と呼ぶ。なお、ゲート電極１１０１１７の形状を帽子型とする方法としては、次のような方法を用いてもよい。
【０８２９】
まず、ゲート電極１１０１１７をパターニングする際に、ドライエッチングにより、下層のゲート電極及び上層のゲート電極をエッチングして側面に傾斜（テーパー）のある形状にする。続いて、異方性エッチングにより上層のゲート電極の傾斜を垂直に近くなるように加工する。これにより、断面形状が帽子型のゲート電極が形成される。その後、２回、不純物元素をドーピングすることによって、チャネル領域として用いる半導体膜１１０１１３、ＬＤＤ領域として用いる半導体膜１１０１１４、ソース電極およびドレイン電極として用いる半導体膜１１０１１５が形成される。
【０８３０】
なお、ゲート電極１１０１１７と重なっているＬＤＤ領域をＬｏｖ領域、ゲート電極１１０１１７と重なっていないＬＤＤ領域をＬｏｆｆ領域と呼ぶことにする。ここで、Ｌｏｆｆ領域はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリアによるオン電流値の劣化を防ぐ効果は低い。一方、Ｌｏｖ領域はドレイン近傍の電界を緩和し、オン電流値の劣化の防止には有効であるが、オフ電流値を抑える効果は低い。よって、種々の回路毎に、求められる特性に応じた構造のＴＦＴを作製することが好ましい。たとえば、本実施の形態における半導体装置を表示装置として用いる場合、画素ＴＦＴは、オフ電流値を抑えるために、Ｌｏｆｆ領域を有するＴＦＴを用いることが好適である。一方、周辺回路におけるＴＦＴは、ドレイン近傍の電界を緩和し、オン電流値の劣化を防止するために、Ｌｏｖ領域を有するＴＦＴを用いることが好適である。
【０８３１】
１１０１０４は、ゲート電極１１０１１７の側面に接して、サイドウォール１１０１２１を有するＴＦＴである。サイドウォール１１０１２１を有することによって、サイドウォール１１０１２１と重なる領域をＬＤＤ領域とすることができる。
【０８３２】
１１０１０５は、半導体膜にマスクを用いてドーピングすることにより、ＬＤＤ（Ｌｏｆｆ）領域を形成したＴＦＴである。こうすることにより、確実にＬＤＤ領域を形成することができ、ＴＦＴのオフ電流値を低減することができる。
【０８３３】
１１０１０６は、半導体膜にマスクを用いてドーピングすることにより、ＬＤＤ（Ｌｏｖ）領域を形成したＴＦＴである。こうすることにより、確実にＬＤＤ領域を形成することができ、ＴＦＴのドレイン近傍の電界を緩和し、オン電流値の劣化を低減することができる。
【０８３４】
次に、図１０２（Ｂ）乃至（Ｇ）を参照して、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの製造プロセスの例を説明する。
なお、本実施の形態を適用できる半導体装置が有することのできるＴＦＴの構造および製造プロセスは、図１０２に示すものに限定されず、様々な構造および製造プロセスを用いることができる。
【０８３５】
本実施の形態においては、基板１１０１１１の表面に、絶縁膜１１０１１２の表面に、半

導体膜１１０１１３の表面に、１１０１１４の表面に、１１０１１５の表面に、絶縁膜１１０１１６の表面に、絶縁膜１１０１１８の表面に、または絶縁膜１１０１１９の表面に、プラズマ処理を用いて酸化または窒化を行うことにより、半導体膜または絶縁膜を酸化または窒化することができる。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または当該絶縁膜の表面を改質し、ＣＶＤ法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【０８３６】

まず、基板１１０１１１の表面をフッ酸（ＨＦ）、アルカリまたは純水を用いて洗浄する。基板１１０１１１は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板またはステンレスを含む金属基板等を用いることができる。他にも、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）に代表されるプラスチックや、アクリル等の可撓性を有する合成樹脂からなる基板を用いることも可能である。なお、ここでは基板１１０１１１としてガラス基板を用いる場合を示す。

【０８３７】

ここで、基板１１０１１１の表面にプラズマ処理を行うことで、基板１１０１１１の表面を酸化または窒化することによって、基板１１０１１１の表面に酸化膜または窒化膜を形成してもよい（図１０２（Ｂ））。表面にプラズマ処理を行うことで形成された酸化膜または窒化膜などの絶縁膜を、以下では、プラズマ処理絶縁膜とも記す。図１０２（Ｂ）においては、絶縁膜１１０１３１がプラズマ処理絶縁膜である。一般的に、ガラス又はプラスチック等の基板上に薄膜トランジスタ等の半導体素子を設ける場合、ガラス又はプラスチック等に含まれるＮａなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入して汚染することによって、半導体素子の特性に影響を及ぼす恐れがある。しかし、ガラス又はプラスチック等からなる基板の表面を窒化することにより、基板に含まれるＮａなどの、アルカリ金属又はアルカリ土類金属等の不純物元素が半導体素子に混入するのを防止することができる。

【０８３８】

なお、プラズマ処理により表面を酸化する場合には、酸素雰囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、または、酸素と水素（H_2）と希ガス雰囲気下、または、一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、または、窒素と水素と希ガス雰囲気下、または、NH_3と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばＡｒを用いることができる。あるいは、ＡｒとＫｒを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。たとえば、Ａｒを用いた場合にはプラズマ処理絶縁膜にＡｒが含まれている。

【０８３９】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が$1\times10^{11}cm^{-3}$以上$1\times10^{13}cm^{-3}$以下であり、プラズマの電子温度が０．５ｅｖ以上１．５ｅＶ以下で行うことが好適である。プラズマの電子密度が高密度であり、被処理物付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が$1\times10^{11}cm^{-3}$以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することよって形成される酸化物または窒化膜は、ＣＶＤ法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。あるいは、プラズマの電子温度が１ｅＶ以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも１００度以上低い温度でプラズマ処理を行って

も十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（２．４５ＧＨｚ）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【０８４０】

なお、図１０２（Ｂ）においては、基板１１０１１１の表面をプラズマ処理することによってプラズマ処理絶縁膜を形成する場合を示しているが、本実施の形態は、基板１１０１１１の表面にプラズマ処理絶縁膜を形成しない場合も含む。

【０８４１】

なお、図１０２（Ｃ）乃至（Ｇ）においては、被処理物の表面をプラズマ処理することによって形成されるプラズマ処理絶縁膜を図示しないが、本実施の形態においては、基板１１０１１１、絶縁膜１１０１１２、半導体膜１１０１１３、１１０１１４、１１０１１５、絶縁膜１１０１１６、絶縁膜１１０１１８、または絶縁膜１１０１１９の表面に、プラズマ処理を行なうことによって形成されるプラズマ処理絶縁膜が存在する場合も含む。

【０８４２】

次に、基板１１０１１１上に公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて絶縁膜１１０１１２を形成する（図１０２（Ｃ））。絶縁膜１１０１１２としては、酸化珪素（ＳｉＯｘ）または酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）を用いることができる。

【０８４３】

ここで、絶縁膜１１０１１２の表面にプラズマ処理を行い、絶縁膜１１０１１２を酸化または窒化することによって、絶縁膜１１０１１２の表面にプラズマ処理絶縁膜を形成してもよい。絶縁膜１１０１１２の表面を酸化することによって、絶縁膜１１０１１２の表面を改質しピンホール等の欠陥の少ない緻密な膜を得ることができる。また、絶縁膜１１０１１２の表面を酸化することによって、Ｎ原子の含有率が低いプラズマ処理絶縁膜を形成することができるため、プラズマ処理絶縁膜に半導体膜を設けた場合にプラズマ処理絶縁膜と半導体膜界面特性が向上する。また、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。なお、プラズマ処理は上述した条件下で同様に行うことができる。

【０８４４】

次に、絶縁膜１１０１１２上に島状の半導体膜１１０１１３、１１０１１４を形成する（図１０２（Ｄ））。島状の半導体膜１１０１１３、１１０１１４は、絶縁膜１１０１１２上に公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いてシリコン（Ｓｉ）を主成分とする材料（例えばＳｉｘＧｅ１－ｘ等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、ＲＴＡ又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、ここでは、島状の半導体膜の端部を直角に近い形状（θ＝８５～１００°）で設ける。あるいは、低濃度ドレイン領域となる半導体膜１１０１１４は、マスクを用いて不純物をドーピングすることによって形成されてもよい。

【０８４５】

ここで、半導体膜１１０１１３、１１０１１４の表面にプラズマ処理を行い、半導体膜１１０１１３、１１０１１４の表面を酸化または窒化することによって、半導体膜１１０１１３、１１０１１４の表面にプラズマ処理絶縁膜を形成してもよい。例えば、半導体膜１１０１１３、１１０１１４としてＳｉを用いた場合、プラズマ処理絶縁膜として、酸化珪素（ＳｉＯｘ）または窒化珪素（ＳｉＮｘ）が形成される。あるいは、プラズマ処理により半導体膜１１０１１３、１１０１１４を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜１１０１１３、１１０１１４に接して酸化珪素（ＳｉＯｘ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰

囲気下（例えば、酸素（O_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、または、酸素と水素（H_2）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）、でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（N_2）と希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）雰囲気下、または、窒素と水素と希ガス雰囲気下またはNH_3と希ガス雰囲気下）、でプラズマ処理を行う。希ガスとしては、例えばＡｒを用いることができる。また、ＡｒとＫｒを混合したガスを用いてもよい。そのため、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。たとえば、Ａｒを用いた場合にはプラズマ処理絶縁膜にＡｒが含まれている。

【０８４６】

次に、絶縁膜１１０１１６を形成する（図１０２（Ｅ））。絶縁膜１１０１１６は、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。なお、半導体膜１１０１１３、１１０１１４の表面をプラズマ処理することにより、半導体膜１１０１１３、１１０１１４の表面にプラズマ処理絶縁膜を形成した場合には、プラズマ処理絶縁膜を絶縁膜１１０１１６として用いることも可能である。

【０８４７】

ここで、絶縁膜１１０１１６の表面にプラズマ処理を行い、絶縁膜１１０１１６の表面を酸化または窒化することによって、絶縁膜１１０１１６の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【０８４８】

あるいは、一旦酸素雰囲気下でプラズマ処理を行うことにより絶縁膜１１０１１６を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。このように、絶縁膜１１０１１６にプラズマ処理を行い、絶縁膜１１０１１６の表面を酸化または窒化することによって、絶縁膜１１０１１６の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、ＣＶＤ法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、薄膜トランジスタの特性を向上させることができる。

【０８４９】

次に、ゲート電極１１０１１７を形成する（図１０２（Ｆ））。ゲート電極１１０１１７は、公知の手段（スパッタ法、ＬＰＣＶＤ法、プラズマＣＶＤ法等）を用いて形成することができる。

【０８５０】

１１０１０１においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ソース領域およびドレイン領域として用いる半導体膜１１０１１５を形成することができる。

【０８５１】

１１０１０２においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ領域として用いる１１０１１４と、半導体膜ソース領域およびドレイン領域として用いる半導体膜１１０１１５を形成することができる。

【０８５２】

１１０１０３においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ領域として用いる１１０１１４と、半導体膜ソース領域およびドレイン領域として用いる半導体膜１１０１１５を形成することができる。

【０８５３】

１１０１０４においては、ゲート電極１１０１１７の側面にサイドウォール１１０１２１を形成した後、不純物ドーピングを行なうことで、ＬＤＤ領域として用いる１１０１１４と、半導体膜ソース領域およびドレイン領域として用いる半導体膜１１０１１５を形成することができる。

【０８５４】

なお、サイドウォール１１０１２１は、酸化珪素（ＳｉＯｘ）または窒化珪素（ＳｉＮｘ）を用いることができる。サイドウォール１１０１２１をゲート電極１１０１１７の側面に形成する方法としては、たとえば、ゲート電極１１０１１７を形成した後に、酸化珪素（ＳｉＯｘ）または窒化珪素（ＳｉＮｘ）を公知の方法で成膜した後に、異方性エッチングによって酸化珪素（ＳｉＯｘ）または窒化珪素（ＳｉＮｘ）膜をエッチングする方法を用いることができる。こうすることで、ゲート電極１１０１１７の側面にのみ酸化珪素（ＳｉＯｘ）または窒化珪素（ＳｉＮｘ）膜を残すことができるので、ゲート電極１１０１１７の側面にサイドウォール１１０１２１を形成することができる。

【０８５５】

１１０１０５においては、ゲート電極１１０１１７を覆うようにマスク１１０１２２を形成した後、不純物ドーピングを行なうことで、ＬＤＤ（Ｌｏｆｆ）領域として用いる１１０１１４と、半導体膜ソース領域およびドレイン領域として用いる半導体膜１１０１１５を形成することができる。

【０８５６】

１１０１０６においては、ゲート電極１１０１１７を形成した後に不純物ドーピングを行なうことで、ＬＤＤ（Ｌｏｖ）領域として用いる１１０１１４と、半導体膜ソース領域およびドレイン領域として用いる半導体膜１１０１１５を形成することができる。

【０８５７】

次に、絶縁膜１１０１１８を形成する（図１０２（Ｇ））。絶縁膜１１０１１８は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜の単層構造、またはこれらの積層構造で設けることができる。

【０８５８】

ここで、絶縁膜１１０１１８の表面にプラズマ処理を行い、絶縁膜１１０１１８の表面を酸化または窒化することによって、絶縁膜１１０１１８の表面にプラズマ処理絶縁膜を形成してもよい。なお、プラズマ処理絶縁膜は、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）を含んでいる。また、プラズマ処理は上述した条件下で同様に行うことができる。

【０８５９】

次に、絶縁膜１１０１１９を形成する。絶縁膜１１０１１９は、公知の手段（スパッタ法やプラズマＣＶＤ法等）により、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化窒化珪素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化珪素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等の酸素または窒素を有する絶縁膜やＤＬＣ（ダイヤモンドライクカーボン）等の炭素を含む膜を用いることができる他に、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂の単層構造、またはこれらの積層構造で設けることができる。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いることもできる。あるいは、置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、プラズマ処理絶縁膜には、プラズマ処理に用いた希ガス（Ｈｅ、Ｎｅ、Ａｒ、Ｋｒ、Ｘｅの少なくとも一つを含む）が含まれており、例えばＡｒを用いた場合にはプラズマ処理絶縁膜中にＡｒが含まれている。

【０８６０】

絶縁膜１１０１１９としてポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料やシロキサン樹脂等を用いた場合、絶縁膜１１０１１９の表面をプラズマ処理により酸化または窒化することにより、当該絶縁膜の表面を改質することができる。表面を改質することによって、絶縁膜１１０１１９の強度が向上し開口部形成時等におけるクラックの発生やエッチング時の膜減り等の物理的ダメージを低減することが可能となる。また、絶縁膜１１０１１９の表面が改質されることによって、絶縁膜１１０１１９上に導電膜１１０１２３を形成する場合に導電膜との密着性が向上する。例えば、絶縁膜１１０１１９としてシロキサン樹脂を用いてプラズマ処理を用いて窒化を行った場合、シロキサン樹脂の表面が窒化されることにより窒素または希ガスを含むプラズマ処理絶縁膜が形成され、物理的強度が向上する。

【０８６１】

次に、半導体膜１１０１１５と電気的に接続された導電膜１１０１２３を形成するため、絶縁膜１１０１１９、絶縁膜１１０１１８、絶縁膜１１０１１６にコンタクトホールを形成する。なお、コンタクトホールの形状はテーパー状であってもよい。こうすることで、導電膜１１０１２３のカバレッジを向上させることができる。

【０８６２】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【０８６３】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【０８６４】

（実施の形態１４）

本実施形態においては、本実施の形態を実施できる表示装置に適用できる発光素子の詳細な構成について説明する。

【０８６５】

エレクトロルミネセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機ＥＬ素子、後者は無機ＥＬ素子と呼ばれている。

【０８６６】

無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー－アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機ＥＬではドナー－アクセプター再結合型発光、薄膜型無機ＥＬ素子では局在型発光である場合が多い。

【０８６７】

本実施の形態で用いることのできる発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる。発光材料の作製方法としては、固相法や液相法（共沈法）などの様々な方法を用いることができる。あるいは、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【０８６８】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【０８６９】
液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。
【０８７０】
発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ＺｎＳ）、硫化カドミウム（ＣｄＳ）、硫化カルシウム（ＣａＳ）、硫化イットリウム（$Ｙ_2Ｓ_3$）、硫化ガリウム（$Ｇａ_2Ｓ_3$）、硫化ストロンチウム（ＳｒＳ）、硫化バリウム（ＢａＳ）等を用いることができる。また、酸化物としては、例えば、酸化亜鉛（ＺｎＯ）、酸化イットリウム（$Ｙ_2Ｏ_3$）等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム（ＡｌＮ）、窒化ガリウム（ＧａＮ）、窒化インジウム（ＩｎＮ）等を用いることができる。さらに、セレン化亜鉛（ＺｎＳｅ）、テルル化亜鉛（ＺｎＴｅ）等も用いることができ、硫化カルシウム－ガリウム（$ＣａＧａ_2Ｓ_4$）、硫化ストロンチウム－ガリウム（$ＳｒＧａ_2Ｓ_4$）、硫化バリウム－ガリウム（$ＢａＧａ_2Ｓ_4$）、等の３元系の混晶であってもよい。
【０８７１】
局在型発光の発光中心として、マンガン（Ｍｎ）、銅（Ｃｕ）、サマリウム（Ｓｍ）、テルビウム（Ｔｂ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、ユーロピウム（Ｅｕ）、セリウム（Ｃｅ）、プラセオジウム（Ｐｒ）などを用いることができる。なお、電荷補償として、フッ素（Ｆ）、塩素（Ｃｌ）などのハロゲン元素が添加されていてもよい。
【０８７２】
一方、ドナー－アクセプター再結合型発光の発光中心として、ドナー準位を形成する第１の不純物元素及びアクセプター準位を形成する第２の不純物元素を含む発光材料を用いることができる。第１の不純物元素は、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、アルミニウム（Ａｌ）等を用いることができる。第２の不純物元素としては、例えば、銅（Ｃｕ）、銀（Ａｇ）等を用いることができる。
【０８７３】
ドナー－アクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第１の不純物元素又は第１の不純物元素を含む化合物と、第２の不純物元素又は第２の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第１の不純物元素又は第１の不純物元素を含む化合物としては、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、硫化アルミニウム（$Ａｌ_2Ｓ_3$）等を用いることができ、第２の不純物元素又は第２の不純物元素を含む化合物としては、例えば、銅（Ｃｕ）、銀（Ａｇ）、硫化銅（$Ｃｕ_2Ｓ$）、硫化銀（$Ａｇ_2Ｓ$）等を用いることができる。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。
【０８７４】
また、固相反応を利用する場合の不純物元素として、第１の不純物元素と第２の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料が得ることができる。第１の不純物元素と第２の不純物元素で構成される化合物としては、例えば、塩化銅（ＣｕＣｌ）、塩化銀（ＡｇＣｌ）等を用いることができる。
【０８７５】
なお、これらの不純物元素の濃度は、母体材料に対して０．０１～１０ａｔｏｍ％であればよく、好ましくは０．０５～５ａｔｏｍ％の範囲である。
【０８７６】
薄膜型無機ＥＬの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、

電子ビーム蒸着（ＥＢ蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（ＰＶＤ）、有機金属ＣＶＤ法、ハイドライド輸送減圧ＣＶＤ法等の化学気相成長法（ＣＶＤ）、原子エピタキシ法（ＡＬＥ）等を用いて形成することができる。

【０８７７】

図１０３（Ａ）乃至（Ｃ）に発光素子として用いることのできる薄膜型無機ＥＬ素子の一例を示す。図１０３（Ａ）乃至（Ｃ）において、発光素子は、第１の電極層１２０１００、電界発光層１２０１０２、第２の電極層１２０１０３を含む。

【０８７８】

図１０３（Ｂ）及び図１０３（Ｃ）に示す発光素子は、図１０３（Ａ）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図１０３（Ｂ）に示す発光素子は、第１の電極層１２０１００と電界発光層１２０１０２との間に絶縁層１２０１０４を有し、図１０３（Ｃ）に示す発光素子は、第１の電極層１２０１００と電界発光層１２０１０２との間に絶縁層１２０１０５、第２の電極層１２０１０３と電界発光層１２０１０２との間に絶縁層１２０１０６とを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また、絶縁層は単層でもよいし複数層を有する積層でもよい。

【０８７９】

なお、図１０３（Ｂ）では第１の電極層１２０１００に接するように絶縁層１２０１０４が設けられているが、絶縁層と電界発光層の順番を逆にして、第２の電極層１２０１０３に接するように絶縁層１２０１０４を設けてもよい。

【０８８０】

分散型無機ＥＬの場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。粒子状に加工する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉砕などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【０８８１】

分散型無機ＥＬの場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法などの塗布法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、１０～１０００ｎｍの範囲である。また、発光材料及びバインダを含む電界発光層において、発光材料の割合は５０ｗｔ％以上８０ｗｔ％以下とするよい。

【０８８２】

図１０４（Ａ）乃至（Ｃ）に発光素子として用いることのできる分散型無機ＥＬ素子の一例を示す。図１０４（Ａ）における発光素子は、第１の電極層１２０２００、電界発光層１２０２０２、第２の電極層１２０２０３の積層構造を有し、電界発光層１２０２０２中にバインダによって保持された発光材料１２０２０１を含む。

【０８８３】

本実施の形態に用いることのできるバインダは、絶縁材料を用いることができる。絶縁材料としては、有機材料および無機材料を用いることができる。あるいは、有機材料及び無機材料の混合材料を用いてもよい。有機絶縁材料としては、シアノエチルセルロース系樹脂のように、比較的誘電率の高いポリマーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコーン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。あるいは、芳香族ポリアミド、ポリベンゾイミダゾール（ｐｏｌｙｂｅｎｚｉｍｉｄａｚｏｌｅ）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ

基とを用いてもよい。あるいは、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂（ポリベンゾオキサゾール）等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム（$BaTiO_3$）やチタン酸ストロンチウム（ＳｒＴｉＯ３）などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

【０８８４】

バインダに含まれる無機絶縁材料としては、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸素及び窒素を含む珪素、窒化アルミニウム（ＡｌＮ）、酸素及び窒素を含むアルミニウム、酸素及び窒素を含む酸化アルミニウム（Al_2O_3）、酸化チタン（TiO_2）、$BaTiO_3$、$SrTiO_3$、チタン酸鉛（$PbTiO_3$）、ニオブ酸カリウム（$KNbO_3$）、ニオブ酸鉛（$PbNbO_3$）、酸化タンタル（Ta_2O_5）、タンタル酸バリウム（$BaTa_2O_6$）、タンタル酸リチウム（$LiTaO_3$）、酸化イットリウム（Y_2O_3）、酸化ジルコニウム（ZrO_2）、ＺｎＳその他の無機絶縁性材料を含む物質から選ばれた材料で形成することができる。有機材料に、誘電率の高い無機材料を含ませる（添加等によって）ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

【０８８５】

作製工程において、発光材料はバインダを含む溶液中に分散される。本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法（各種ウエットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。たとえば、溶媒として有機溶媒等を用いることができる。バインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（ＰＧＭＥＡともいう）、３－メトシキ－３メチル－１－ブタノール（ＭＭＢともいう）などを溶媒として用いることができる。

【０８８６】

図１０４（Ｂ）及び図１０４（Ｃ）に示す発光素子は、図１０４（Ａ）の発光素子において、電極層と電界発光層間に絶縁層を設ける構造である。図１０４（Ｂ）に示す発光素子は、第１の電極層１２０２００と電界発光層１２０２０２との間に絶縁層１２０２０４を有し、図１０４（Ｃ）に示す発光素子は、第１の電極層１２０２００と電界発光層１２０２０２との間に絶縁層１２０２０５、第２の電極層１２０２０３と電界発光層１２０２０２との間に絶縁層１２０２０６とを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層を有する積層でもよい。

【０８８７】

また、図１０４（Ｂ）では第１の電極層１２０２００に接するように絶縁層１２０２０４が設けられているが、絶縁層と電界発光層の順番を逆にして、第２の電極層１２０２０３に接するように絶縁層１２０２０４を設けてもよい。

【０８８８】

図１０３における絶縁層１２０１０４、図１０４における絶縁層１２０２０４のような絶縁層に用いることのできる材料は、絶縁耐性が高く、緻密な膜質であることが好ましい。さらには、誘電率が高いことが好ましい。例えば、酸化シリコン（SiO_2）、酸化イットリウム（Y_2O_3）、酸化チタン（TiO_2）、酸化アルミニウム（Al_2O_3）、酸化ハフニウム（HfO_2）、酸化タンタル（Ta_2O_5）、チタン酸バリウム（$BaTiO_3$）、チタン酸ストロンチウム（$SrTiO_3$）、チタン酸鉛（$PbTiO_3$）、窒化シリコン（Si_3N_4）、酸化ジルコニウム（ZrO_2）等やこれらの混合膜又は２種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、ＣＶＤ等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは１０～１０

００ｎｍの範囲である。
【０８８９】
本実施の形態で示す発光素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。
【０８９０】
なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。
【０８９１】
なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。
【０８９２】
（実施の形態１５）
本実施形態においては、本実施の形態を実施できる表示装置の一例、特に光学的な取り扱いを行なう場合について説明する。
【０８９３】
図１０５（Ａ）及び（Ｂ）に示す背面投影型表示装置１３０１００は、プロジェクタユニット１３０１１１、ミラー１３０１１２、スクリーンパネル１３０１０１を備えている。その他に、スピーカ１３０１０２、操作スイッチ類１３０１０４を備えていてもよい。このプロジェクタユニット１３０１１１は、背面投影型表示装置１３０１００の筐体１３０１１０の下部に配設され、映像信号に基づいて映像を映し出す投射光をミラー１３０１１２に向けて投射する。背面投影型表示装置１３０１００はスクリーンパネル１３０１０１の背面から投影される映像を表示する構成となっている。
【０８９４】
一方、図１０６は、前面投影型表示装置１３０２００を示している。前面投影型表示装置１３０２００は、プロジェクタユニット１３０１１１と投射光学系１３０２０１を備えている。この投射光学系１３０２０１は前面に配設するスクリーン等に映像を投影する構成となっている。
【０８９５】
図１０５に示す背面投影型表示装置１３０１００、図１０６に示す前面投影型表示装置１３０２００に適用されるプロジェクタユニット１３０１１１の構成を以下に説明する。
【０８９６】
図１０７は、プロジェクタユニット１３０１１１の一構成例を示している。このプロジェクタユニット１３０１１１は、光源ユニット１３０３０１及び変調ユニット１３０３０４を備えている。光源ユニット１３０３０１は、レンズ類を含んで構成される光源光学系１３０３０３と、光源ランプ１３０３０２を備えている。光源ランプ１３０３０２は迷光が拡散しないように筐体内に収納されている。光源ランプ１３０３０２としては、大光量の光を放射可能な、例えば、高圧水銀ランプやキセノンランプなどが用いられる。光源光学系１３０３０３は、光学レンズ、偏光機能を有するフィルム、位相差を調節するためのフィルム、ＩＲフィルム等を適宜設けて構成される。そして、光源ユニット１３０３０１は、放射光が変調ユニット１３０３０４に入射するように配設されている。変調ユニット１３０３０４は、複数の表示パネル１３０３０８、カラーフィルター、ダイクロイックミラー１３０３０５、全反射ミラー１３０３０６、プリズム１３０３０９、投射光学系１３０３１０を備えている。光源ユニット１３０３０１から放射された光は、ダイクロイックミラー１３０３０５で複数の光路に分離される。
【０８９７】
各光路には、所定の波長若しくは波長帯の光を透過するカラーフィルターと、表示パネル１３０３０８が備えられている。透過型である表示パネル１３０３０８は映像信号に基づいて透過光を変調する。表示パネル１３０３０８を透過した各色の光は、プリズム１３０３０９に入射し投射光学系１３０３１０を通して、スクリーン上に映像を表示する。なお、フレネルレンズがミラー及びスクリーンの間に配設されていてもよい。そして、プロ

ジェクタユニット１３０１１１によって投射されミラーで反射される投影光は、フレネルレンズによって概略平行光に変換され、スクリーンに投影される。

【０８９８】

図１０８で示すプロジェクタユニット１３０１１１は、反射型表示パネル１３０４０７、１３０４０８、１３０４０９を備えた構成を示している。

【０８９９】

図１０８で示すプロジェクタユニット１３０１１１は、光源ユニット１３０３０１と変調ユニット１３０４００を備えている。光源ユニット１３０３０１は、図１０７と同様の構成であってもよい。光源ユニット１３０３０１からの光は、ダイクロイックミラー１３０４０１、１３０４０２、全反射ミラー１３０４０３により、複数の光路に分けられて、偏光ビームスプリッタ１３０４０４、１３０４０５、１３０４０６に入射する。偏光ビームスプリッタ１３０４０４、１３０４０５、１３０４０６は、各色に対応する反射型表示パネル１３０４０７、１３０４０８、１３０４０９に対応して設けられている。反射型表示パネル１３０４０７、１３０４０８、１３０４０９は、映像信号に基づいて反射光を変調する。反射型表示パネル１３０４０７、１３０４０８、１３０４０９で反射された各色の光は、プリズム１３０３０９に入射することで合成されて、投射光学系１３０４１１を通して投射される。

【０９００】

光源ユニット１３０３０１から放射された光は、ダイクロイックミラー１３０４０１で赤の波長領域の光のみを透過し、緑および青の波長領域の光を反射する。さらに、ダイクロイックミラー１３０４０２では、緑の波長領域の光のみが反射される。ダイクロイックミラー１３０４０１を透過した赤の波長領域の光は、全反射ミラー１３０４０３で反射され、偏光ビームスプリッタ１３０４０４へ入射する、また、青の波長領域の光は偏光ビームスプリッタ１３０４０５へ入射し、緑の波長領域の光は偏光ビームスプリッタ１３０４０６に入射する。偏光ビームスプリッタ１３０４０４、１３０４０５、１３０４０６は、入射光をＰ偏光とＳ偏光とに分離する機能を有し、且つＰ偏光のみを透過させる機能を有している。反射型表示パネル１３０４０７、１３０４０８、１３０４０９は、映像信号に基づいて、入射した光を偏光する。

【０９０１】

各色に対応する反射型表示パネル１３０４０７、１３０４０８、１３０４０９には各色に対応するＳ偏光のみが入射する。なお、反射型表示パネル１３０４０７、１３０４０８、１３０４０９は液晶パネルであってもよい。このとき、液晶パネルは電界制御複屈折モード（ＥＣＢ）で動作する。また、液晶分子は基板に対してある角度をもって垂直配向している。よって、反射型表示パネル１３０４０７、１３０４０８、１３０４０９は画素がオフ状態にある時は入射光の偏光状態を変化させないで反射させるように表示分子が配向している。また、画素がオン状態にある時は表示分子の配向状態が変化し、入射光の偏光状態が変化する。

【０９０２】

図１０８に示すプロジェクタユニット１３０１１１は、図１０５に示す背面投影型表示装置１３０１００及び、図１０６に示す前面投影型表示装置１３０２００に適用することができる。

【０９０３】

図１０９で示すプロジェクタユニットは単板式の構成を示している。図１０９（Ａ）に示したプロジェクタユニット１３０１１１は、光源ユニット１３０３０１、表示パネル１３０５０７、投射光学系１３０５１１、位相差板１３０５０４を備えている。投射光学系１３０５１１は一つ又は複数のレンズにより構成されている。表示パネル１３０５０７にはカラーフィルターが備えられていてもよい。

【０９０４】

図１０９（Ｂ）は、フィールドシーケンシャル方式で動作するプロジェクタユニット１３０１１１の構成を示している。フィールドシーケンシャル方式は、赤、緑、青などの各

色の光を時間的にずらせて順次表示パネルに入射させて、カラーフィルター無しでカラー表示を行う方式である。特に、入力信号変化に対する応答速度の大きい表示パネルと組み合わせると、高精細な映像を表示することができる。図１０９（Ｂ）では、光源ユニット１３０３０１と表示パネル１３０５０８の間に、赤、緑、青などの複数のカラーフィルターが備えられた回動式のカラーフィルター板１３０５０５を備えている。

【０９０５】

図１０９（Ｃ）で示すプロジェクタユニット１３０１１１は、カラー表示の方式として、マクロレンズを使った色分離方式の構成を示している。この方式は、マイクロレンズアレイ１３０５０６を表示パネル１３０５０９の光入射側に備え、各色の光をそれぞれの方向から照明することでカラー表示を実現する方式である。この方式を採用するプロジェクタユニット１３０１１１は、カラーフィルターによる光の損失が少ないので、光源ユニット１３０３０１からの光を有効に利用することができるという特徴を有している。図１０９（Ｃ）に示すプロジェクタユニット１３０１１１は、表示パネル１３０５０９に対して各色の光をそれぞれの方向から照明するように、ダイクロイックミラー１３０５０１、ダイクロイックミラー１３０５０２、赤色光用ダイクロイックミラー１３０５０３を備えている。

【０９０６】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【０９０７】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【０９０８】

（実施の形態１６）

本実施形態においては、本実施の形態に係る電子機器の例について説明する。

【０９０９】

図１１０は表示パネル９００１０１と、回路基板９００１１１を組み合わせた表示パネルモジュールを示している。表示パネル９００１０１は画素部９００１０２、走査線駆動回路９００１０３及び信号線駆動回路９００１０４を有している。回路基板９００１１１には、例えば、コントロール回路９００１１２及び信号分割回路９００１１３などが形成されている。表示パネル９００１０１と回路基板９００１１１とは接続配線９００１１４によって接続されている。接続配線にはＦＰＣ等を用いることができる。

【０９１０】

表示パネル９００１０１は、画素部９００１０２と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にＴＦＴを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）などで表示パネル９００１０１に実装してもよい。こうすることで、回路基板９００１１１の面積を削減でき、小型の表示装置を得ることができる。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）やプリント基板を用いて表示パネル９００１０１に実装してもよい。こうすることで、表示パネル９００１０１の面積を小さくできるので、額縁サイズの小さい表示装置を得ることができる。

【０９１１】

例えば、消費電力の低減を図るため、ガラス基板上にＴＦＴを用いて画素部を形成し、全ての周辺駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧまたはＴＡＢで表示パネルに実装してもよい。

【０９１２】

図１１０に示した表示パネルモジュールによって、テレビ受像機を完成させることができる。図１１１は、テレビ受像機の主要な構成を示すブロック図である。チューナ９００２０１は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路９００２０２と、映像信号増幅回路９００２０２から出力される信号を赤、緑、青の各色に対応した色信号

に変換する映像信号処理回路９００２０３と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路９００２１２により処理される。コントロール回路９００２１２は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路９００２１３を設け、入力デジタル信号をｍ個（ｍは正の整数）に分割して供給する構成としても良い。

【０９１３】

チューナ９００２０１で受信した信号のうち、音声信号は音声信号増幅回路９００２０５に送られ、その出力は音声信号処理回路９００２０６を経てスピーカー９００２０７に供給される。制御回路９００２０８は受信局（受信周波数）及び音量の制御情報を入力部９００２０９から受け、チューナ９００２０１や音声信号処理回路９００２０６に信号を送出する。

【０９１４】

また、図１１１とは別の形態の表示パネルモジュールを組み込んだテレビ受像器について図１１２（Ａ）に示す。図１１２（Ａ）において、筐体９００３０１内に収められた表示画面９００３０２は、表示パネルモジュールで形成される。なお、スピーカー９００３０３、操作スイッチ９００３０４などが適宜備えられていてもよい。

【０９１５】

また、図１１２（Ｂ）に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体９００３１２にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部９００３１３やスピーカー部９００３１７を駆動させる。バッテリーは充電器９００３１０で繰り返し充電が可能となっている。また、充電器９００３１０は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体９００３１２は操作キー９００３１６によって制御する。あるいは、図１１２（Ｂ）に示す装置は、操作キー９００３１６を操作することによって、筐体９００３１２から充電器９００３１０に信号を送ることが可能である、映像音声双方向通信装置であってもよい。あるいは、操作キー９００３１６を操作することによって、筐体９００３１２から充電器９００３１０に信号を送り、さらに充電器９００３１０が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能である、汎用遠隔制御装置であってもよい。本実施の形態は表示部９００３１３に適用することができる。

【０９１６】

図１１３（Ａ）は、表示パネル９００４０１とプリント配線基板９００４０２を組み合わせたモジュールを示している。表示パネル９００４０１は、複数の画素が設けられた画素部９００４０３と、第１の走査線駆動回路９００４０４、第２の走査線駆動回路９００４０５と、選択された画素にビデオ信号を供給する信号線駆動回路９００４０６を備えていてもよい。

【０９１７】

プリント配線基板９００４０２には、コントローラ９００４０７、中央処理装置（ＣＰＵ）９００４０８、メモリ９００４０９、電源回路９００４１０、音声処理回路９００４１１及び送受信回路９００４１２などが備えられている。プリント配線基板９００４０２と表示パネル９００４０１は、フレキシブル配線基板（ＦＰＣ）９００４１３により接続されている。プリント配線基板（ＦＰＣ）９００４１３には、保持容量、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ９００４０７、音声処理回路９００４１１、メモリ９００４０９、中央処理装置（ＣＰＵ）９００４０８、電源回路９００４１０などは、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式を用いて表示パネル９００４０１に実装することもできる。ＣＯＧ方式により、プリント配線基板９００４０２の規模を縮小することができる。

【０９１８】

プリント配線基板９００４０２に備えられたインターフェース（Ｉ／Ｆ）部９００４１４

を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート９００４１５が、プリント配線基板９００４０２に設けられている。

【０９１９】

図１１３（Ｂ）は、図１１３（Ａ）に示したモジュールのブロック図を示す。このモジュールは、メモリ９００４０９としてＶＲＡＭ９００４１６、ＤＲＡＭ９００４１７、フラッシュメモリ９００４１８などが含まれている。ＶＲＡＭ９００４１６にはパネルに表示する画像のデータが、ＤＲＡＭ９００４１７には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

【０９２０】

電源回路９００４１０は、表示パネル９００４０１、コントローラ９００４０７、中央処理装置（ＣＰＵ）９００４０８、音声処理回路９００４１１、メモリ９００４０９、送受信回路９００４１２を動作させる電力を供給する。またパネルの仕様によっては、電源回路９００４１０に電流源が備えられている場合もある。

【０９２１】

中央処理装置（ＣＰＵ）９００４０８は、制御信号生成回路９００４２０、デコーダ９００４２１、レジスタ９００４２２、演算回路９００４２３、ＲＡＭ９００４２４、中央処理装置（ＣＰＵ）９００４０８用のインターフェース９００４１９などを有している。インターフェース９００４１９を介して中央処理装置（ＣＰＵ）９００４０８に入力された各種信号は、一旦、レジスタ９００４２２に保持された後、演算回路９００４２３、デコーダ９００４２１などに入力される。演算回路９００４２３では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方、デコーダ９００４２１に入力された信号はデコードされ、制御信号生成回路９００４２０に入力される。制御信号生成回路９００４２０は入力された信号に基づき、各種命令を含む信号を生成し、演算回路９００４２３において指定された場所、具体的にはメモリ９００４０９、送受信回路９００４１２、音声処理回路９００４１１、コントローラ９００４０７などに送る。

【０９２２】

メモリ９００４０９、送受信回路９００４１２、音声処理回路９００４１１、コントローラ９００４０７は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

【０９２３】

入力手段９００４２５から入力された信号は、インターフェイス（Ｉ／Ｆ）部９００４１４を介してプリント配線基板９００４０２に実装された中央処理装置（ＣＰＵ）９００４０８に送られる。制御信号生成回路９００４２０は、ポインティングデバイスやキーボードなどの入力手段９００４２５から送られてきた信号に従い、ＶＲＡＭ９００４１６に格納してある画像データを所定のフォーマットに変換し、コントローラ９００４０７に送付する。

【０９２４】

コントローラ９００４０７は、パネルの仕様に合わせて中央処理装置（ＣＰＵ）９００４０８から送られてきた画像データを含む信号にデータ処理を施し、表示パネル９００４０１に供給する。またコントローラ９００４０７は、電源回路９００４１０から入力された電源電圧や中央処理装置（ＣＰＵ）９００４０８から入力された各種信号をもとに、Ｈｓｙｎｃ信号、Ｖｓｙｎｃ信号、クロック信号ＣＬＫ、交流電圧（ＡＣ　Ｃｏｎｔ）、切り替え信号Ｌ／Ｒを生成し、表示パネル９００４０１に供給する。

【０９２５】

送受信回路９００４１２では、アンテナ９００４２８において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、ＶＣＯ（Ｖｏｌｔａｇｅ　Ｃｏｎｔｒｏｌｌｅｄ　Ｏｓｃｉｌｌａｔｏｒ）、ＬＰＦ（Ｌｏｗ　Ｐａｓｓ　Ｆｉｌｔｅｒ）、カプラ、バランなどの高周波回路を含んでいてもよい。送受信回路９００４１２において送受信される信号のうち音声情報を含む信号が、中央処理装置（ＣＰＵ

）９００４０８からの命令に従って、音声処理回路９００４１１に送られる。
【０９２６】
中央処理装置（ＣＰＵ）９００４０８の命令に従って送られてきた音声情報を含む信号は、音声処理回路９００４１１において音声信号に復調され、スピーカー９００４２７に送られる。またマイク９００４２６から送られてきた音声信号は、音声処理回路９００４１１において変調され、中央処理装置（ＣＰＵ）９００４０８からの命令に従って、送受信回路９００４１２に送られる。
【０９２７】
コントローラ９００４０７、中央処理装置（ＣＰＵ）９００４０８、電源回路９００４１０、音声処理回路９００４１１、メモリ９００４０９を、本実施形態のパッケージとして実装することができる。
【０９２８】
勿論、本実施の形態はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。
【０９２９】
次に、図１１４を参照して、本実施の形態に係る携帯電話の構成例について説明する。
【０９３０】
表示パネル９００５０１はハウジング９００５３０に脱着自在に組み込まれる。ハウジング９００５３０は表示パネル９００５０１のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル９００５０１を固定したハウジング９００５３０はプリント基板９００５３１に嵌入されモジュールとして組み立てられる。
【０９３１】
表示パネル９００５０１はＦＰＣ９００５１３を介してプリント基板９００５３１に接続される。プリント基板９００５３１には、スピーカー９００５３２、マイクロフォン９００５３３、送受信回路９００５３４、ＣＰＵ及びコントローラなどを含む信号処理回路９００５３５が形成されている。このようなモジュールと、入力手段９００５３６、バッテリー９００５３７を組み合わせ、筐体９００５３９に収納する。表示パネル９００５０１の画素部は筐体９００５３９に形成された開口窓から視認できように配置する。
【０９３２】
表示パネル９００５０１は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にＴＦＴを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で表示パネル９００５０１に実装しても良い。あるいは、そのＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）やプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。
【０９３３】
また、図１１５で示す携帯電話機は、操作スイッチ類９００６０４、マイクロフォン９００６０５などが備えられた本体（Ａ）９００６０１と、表示パネル（Ａ）９００６０８、表示パネル（Ｂ）９００６０９、スピーカー９００６０６などが備えられた本体（Ｂ）９００６０２とが、蝶番９００６１０で開閉可能に連結されている。表示パネル（Ａ）９００６０８と表示パネル（Ｂ）９００６０９は、回路基板９００６０７と共に本体（Ｂ）９００６０２の筐体９００６０３の中に収納される。表示パネル（Ａ）９００６０８及び表示パネル（Ｂ）９００６０９の画素部は筐体９００６０３に形成された開口窓から視認できるように配置される。
【０９３４】
表示パネル（Ａ）９００６０８と表示パネル（Ｂ）９００６０９は、その携帯電話機９００６００の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パ

ネル（Ａ）９００６０８を主画面とし、表示パネル（Ｂ）９００６０９を副画面として組み合わせることができる。

【０９３５】

本実施形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番９００６１０の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類９００６０４、表示パネル（Ａ）９００６０８、表示パネル（Ｂ）９００６０９を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施形態の構成を適用しても、同様な効果を得ることができる。

【０９３６】

本実施の形態は様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはＤｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【０９３７】

図１１６（Ａ）はディスプレイであり、筐体９００７１１、支持台９００７１２、表示部９００７１３等を含む。

【０９３８】

図１１６（Ｂ）はカメラであり、本体９００７２１、表示部９００７２２、受像部９００７２３、操作キー９００７２４、外部接続ポート９００７２５、シャッター９００７２６等を含む。

【０９３９】

図１１６（Ｃ）はコンピュータであり、本体９００７３１、筐体９００７３２、表示部９００７３３、キーボード９００７３４、外部接続ポート９００７３５、ポインティングデバイス９００７３６等を含む。

【０９４０】

図１１６（Ｄ）はモバイルコンピュータであり、本体９００７４１、表示部９００７４２、スイッチ９００７４３、操作キー９００７４４、赤外線ポート９００７４５等を含む。

【０９４１】

図１１６（Ｅ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、本体９００７５１、筐体９００７５２、表示部（Ａ）９００７５３、表示部（Ｂ）９００７５４、記録媒体（ＤＶＤ等）読み込み部９００７５５、操作キー９００７５６、スピーカー部９００７５７等を含む。表示部（Ａ）９００７５３は主として画像情報を表示し、表示部（Ｂ）９００７５４は主として文字情報を表示することができる。

【０９４２】

図１１６（Ｆ）はゴーグル型ディスプレイであり、本体９００７６１、表示部９００７６２、イヤホン９００７６３、支持部９００７６４を含む。

【０９４３】

図１１６（Ｇ）は携帯型遊技機であり、筐体９００７７１、表示部９００７７２、スピーカー部９００７７３、操作キー９００７７４、記憶媒体挿入部９００７７５等を含む。本実施の形態の表示装置を表示部９００７７２に用いた携帯型遊技機は、鮮やかな色彩を表現することができる。

【０９４４】

図１１６（Ｈ）はテレビ受像機能付きデジタルカメラであり、本体９００７８１、表示部９００７８２、操作キー９００７８３、スピーカー９００７８４、シャッター９００７８５、受像部９００７８６、アンテナ９００７８７等を含む。

【０９４５】

図１１６（Ａ）乃至（Ｅ）に示したように、本実施の形態に係る電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。

【０９４６】

次に、本実施の形態に係る半導体装置の応用例を説明する。

【０９４７】

図１１７に、本実施の形態に係る半導体装置を、建造物と一体にして設けた例について示す。図１１７は、筐体９００８１０、表示部９００８１１、操作部であるリモコン装置９００８１２、スピーカー部９００８１３等を含む。本実施の形態に係る半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【０９４８】

図１１８に、建造物内に本実施の形態に係る半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル９００９０１は、ユニットバス９００９０２と一体に取り付けられており、入浴者は表示パネル９００９０１の視聴が可能になる。表示パネル９００９０１は入浴者が操作することで情報を表示し、広告や娯楽手段として利用できる機能を有する。

【０９４９】

なお、本実施の形態に係る半導体装置は、図１１８で示したユニットバス９００９０２の側壁だけではなく、様々な場所に設置することができる。たとえば、鏡面の一部や浴槽自体と一体にするなどとしてもよい。このとき、表示パネル９００９０１の形状は、鏡面や浴槽の形状に合わせたものとなっていてもよい。

【０９５０】

図１１９に、本実施の形態に係る半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル９０１００２は、柱状体９０１００１の曲面に合わせて湾曲させて取り付けられている。なお、ここでは柱状体９０１００１を電柱として説明する。

【０９５１】

図１１９に示す表示パネル９０１００２は、人間の視点より高い位置に設けられている。電柱のように屋外で繰り返し林立している建造物に表示パネル９０１００２を設置することで、不特定多数の視認者に広告を行なうことができる。ここで、表示パネル９０１００２は、外部からの制御により、同じ画像を表示させること、また、瞬時に画像を切替えることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。また、表示パネル９０１００２に自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。また、電柱に設置することで、表示パネル９０１００２の電力供給手段の確保が容易である。また、災害発生時などの非常事態の際には、被災者に素早く正確な情報を伝達する手段ともなり得る。

【０９５２】

なお、表示パネル９０１００２としては、たとえば、フィルム状の基板に有機トランジスタなどのスイッチング素子を設けて表示素子を駆動することにより画像の表示を行なう表示パネルを用いることができる。

【０９５３】

なお、本実施形態において、建造物として壁、柱状体、ユニットバスを例としたが、本実施形態はこれに限定されず、様々な建造物に本実施の形態に係る半導体装置を設置することができる。

【０９５４】

次に、本実施の形態に係る半導体装置を、移動体と一体にして設けた例について示す。

【０９５５】

図１２０は、本実施の形態に係る半導体装置を、自動車と一体にして設けた例について示した図である。表示パネル９０１１０２は、自動車の車体９０１１０１と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示することができる。また、ナビゲーション機能を有していてもよい。

【０９５６】
なお、本実施の形態に係る半導体装置は、図１２０で示した車体９０１１０１だけではなく、様々な場所に設置することができる。たとえば、ガラス窓、ドア、ハンドル、シフトレバー、座席シート、ルームミラー等と一体にしてもよい。このとき、表示パネル９０１１０２の形状は、設置するものの形状に合わせたものとなっていてもよい。
【０９５７】
図１２１は、本実施の形態に係る半導体装置を、列車車両と一体にして設けた例について示した図である。
【０９５８】
図１２１（ａ）は、列車車両のドア９０１２０１のガラスに表示パネル９０１２０２を設けた例について示した図である。従来の紙による広告に比べて、広告切替えの際に必要となる人件費がかからないという利点がある。また、表示パネル９０１２０２は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、たとえば、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替えることができ、より効果的な広告効果が期待できる。
【０９５９】
図１２１（ｂ）は、列車車両のドア９０１２０１のガラスの他に、ガラス窓９０１２０３、及び天井９０１２０４に表示パネル９０１２０２を設けた例について示した図である。このように、本実施の形態に係る半導体装置は、従来では設置が困難であった場所に容易に設置することが可能であるため、効果的な広告効果を得ることができる。また、本実施の形態に係る半導体装置は、外部からの信号により表示部で表示される画像の切り替えを瞬時に行なうことが可能であるため、広告切替え時のコストおよび時間が削減でき、より柔軟な広告の運用および情報伝達が可能となる。
【０９６０】
なお、本実施の形態に係る半導体装置は、図１２１で示したドア９０１２０１、ガラス窓９０１２０３、及び天井９０１２０４だけではなく、様々な場所に設置することができる。たとえば、つり革、座席シート、てすり、床等と一体にしてもよい。このとき、表示パネル９０１２０２の形状は、設置するものの形状に合わせたものとなっていてもよい。
【０９６１】
図１２２は、本実施の形態に係る半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。
【０９６２】
図１２２（ａ）は、旅客用飛行機の座席上部の天井９０１３０１に表示パネル９０１３０２を設けたときの、使用時の形状について示した図である。表示パネル９０１３０２は、天井９０１３０１とヒンジ部９０１３０３を介して一体に取り付けられており、ヒンジ部９０１３０３の伸縮により乗客は表示パネル９０１３０２の視聴が可能になる。表示パネル９０１３０２は乗客が操作することで情報を表示できる。さらに、広告や娯楽手段として利用できる機能を有する。また、図１２２（ｂ）に示すように、ヒンジ部を折り曲げて天井９０１３０１に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、情報伝達手段および誘導灯としても利用可能である。
【０９６３】
なお、本実施の形態に係る半導体装置は、図１２２で示した天井９０１３０１だけではなく、様々な場所に設置することができる。たとえば、座席シート、座席テーブル、肘掛、窓等と一体にしてもよい。また、多数の人が同時に視聴できる大型の表示パネルを、機体の壁に設置してもよい。このとき、表示パネル９０１３０２の形状は、設置するものの形状に合わせたものとなっていてもよい。
【０９６４】
なお、本実施形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、

電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。本実施の形態に係る半導体装置は、外部からの信号により、移動体内における表示パネルの表示を瞬時に切り替えることが可能であるため、移動体に本実施の形態に係る半導体装置を設置することにより、移動体を不特定多数の顧客を対象とした広告表示板、災害発生時の情報表示板、等の用途に用いることが可能となる。

【０９６５】

なお、本実施の形態は、他の実施の形態と自由に組み合わせて実施することができる。

【０９６６】

なお、本実施形態における各々の図の内容は、他の図の内容と自由に組み合わせて実施することができる。

【０９６７】

（実施の形態１７）

以上に説明したように、本明細書には少なくとも以下の発明が含まれている。

【０９６８】

液晶素子を有する画素と駆動回路とを有した液晶表示装置。駆動回路は、第１のトランジスタ、第２のトランジスタ、第３のトランジスタ、第４のトランジスタ、第５のトランジスタ、第６のトランジスタ、第７のトランジスタを有している。この駆動回路は少なくとも一部に以下の接続関係を含んでいる。第１のトランジスタの第１の電極が第４の配線に電気的に接続され、第１のトランジスタの第２の電極が第３の配線に電気的に接続されている。第２のトランジスタの第１の電極が第６の配線に電気的に接続され、第２のトランジスタの第２の電極が第３の配線に電気的に接続されている。第３のトランジスタの第１の電極が第５の配線に電気的に接続され、第３のトランジスタの第２の電極が第２のトランジスタのゲート電極に電気的に接続され、第３のトランジスタのゲート電極が第７の配線に電気的に接続されている。第４のトランジスタの第１の電極が第６の配線に電気的に接続され、第４のトランジスタの第２の電極が第２のトランジスタのゲート電極に電気的に接続され、第４のトランジスタのゲート電極が第１のトランジスタのゲート電極に電気的に接続されている。第５のトランジスタの第１の電極が第７の配線に電気的に接続され、第５のトランジスタの第２の電極が第１のトランジスタのゲート電極に電気的に接続され、第５のトランジスタのゲート電極が第１の配線に電気的に接続されている。第６のトランジスタの第１の電極が第６の配線に電気的に接続され、第６のトランジスタの第２の電極が第１のトランジスタのゲート電極に電気的に接続され、第６のトランジスタのゲート電極が第２のトランジスタのゲート電極に電気的に接続されている。第７のトランジスタの第１の電極が第６の配線に電気的に接続され、第７のトランジスタの第２の電極が第１のトランジスタのゲート電極に電気的に接続され、第７のトランジスタのゲート電極が第２の配線に電気的に接続されている。

【０９６９】

上記液晶素子を有する画素と駆動回路とを有した液晶表示装置は次に示す構成が含まれていても良い。第１のトランジスタ乃至第７のトランジスタのチャネル長Ｌとチャネル幅Ｗの比Ｗ／Ｌの値の中で、第１のトランジスタのＷ／Ｌの値が最大となる駆動回路を含む構成。第１のトランジスタのＷ／Ｌの値は、第５のトランジスタのＷ／Ｌの値の２倍乃至５倍となる駆動回路を含む構成。第３のトランジスタのチャネル長Ｌは、第４のトランジスタのチャネル長Ｌよりも大きい場合を含む構成。第１のトランジスタの第２の電極と、第１のトランジスタのゲート電極との間に容量素子が配置されているものを含む構成。第１のトランジスタ乃至第７のトランジスタは、Ｎチャネル型トランジスタであるものを含む構成。第１のトランジスタ乃至第７のトランジスタは、半導体層としてアモルファスシリコンを用いるものを含む構成。

【０９７０】

液晶素子を有する画素と、第１の駆動回路、第２の駆動回路を有する液晶表示装置。第１の駆動回路と第２の駆動回路は少なくとも一部に以下の接続関係を含んでいる。

第１の駆動回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタ

と、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタを有している。第１のトランジスタの第１の電極が第４の配線に電気的に接続され、第１のトランジスタの第２の電極が第３の配線に電気的に接続されている。第２のトランジスタの第１の電極が第６の配線に電気的に接続され、第９のトランジスタの第２の電極が第３の配線に電気的に接続されている。第３のトランジスタの第１の電極が第５の配線に電気的に接続され、第３のトランジスタの第２の電極が第２のトランジスタのゲート電極に電気的に接続され、第３のトランジスタのゲート電極が第７の配線に電気的に接続されている。第４のトランジスタの第１の電極が第６の配線に電気的に接続され、第４のトランジスタの第２の電極が第２のトランジスタのゲート電極に電気的に接続され、第４のトランジスタのゲート電極が第１のトランジスタのゲート電極に電気的に接続されている。第５のトランジスタの第１の電極が第７の配線に電気的に接続され、第５のトランジスタの第２の電極が第１のトランジスタのゲート電極に電気的に接続され、第５のトランジスタのゲート電極が第１の配線に電気的に接続されている。第６のトランジスタの第１の電極が第６の配線に電気的に接続され、第６のトランジスタの第２の電極が第１のトランジスタのゲート電極に電気的に接続され、第６のトランジスタのゲート電極が第２のトランジスタのゲート電極に電気的に接続されている。第７のトランジスタの第１の電極が第６の配線に電気的に接続され、第７のトランジスタの第２の電極が第１のトランジスタのゲート電極に電気的に接続され、第７のトランジスタのゲート電極が第２の配線に電気的に接続されている。

第２の駆動回路は、第８のトランジスタと、第９のトランジスタと、第１０のトランジスタと、第１１のトランジスタと、第１２のトランジスタと、第１３のトランジスタと、第１４のトランジスタを有している。第８のトランジスタの第１の電極が第１１の配線に電気的に接続され、第８のトランジスタの第２の電極が第１０の配線に電気的に接続されている。第９のトランジスタの第１の電極が第１３の配線に電気的に接続され、第９のトランジスタの第２の電極が第１０の配線に電気的に接続されている。第１０のトランジスタの第１の電極が第１２の配線に電気的に接続され、第１０のトランジスタの第２の電極が第９のトランジスタのゲート電極に電気的に接続され、第１０のトランジスタのゲート電極が第１４の配線に電気的に接続されている。第１１のトランジスタの第１の電極が第１３の配線に電気的に接続され、第１１のトランジスタの第２の電極が第９のトランジスタのゲート電極に電気的に接続され、第１１のトランジスタのゲート電極が第８のトランジスタのゲート電極に電気的に接続されている。第１２のトランジスタの第１の電極が第１４の配線に電気的に接続され、第１２のトランジスタの第２の電極が第８のトランジスタのゲート電極に電気的に接続され、第１２のトランジスタのゲート電極が第８配線に電気的に接続されている。第１３のトランジスタの第１の電極が第１３の配線に電気的に接続され、第１３のトランジスタの第２の電極が第８のトランジスタのゲート電極に電気的に接続され、第１３のトランジスタのゲート電極が第９のトランジスタのゲート電極に電気的に接続されている。第１４のトランジスタの第１の電極が第１３の配線に電気的に接続され、第１４のトランジスタの第２の電極が第８のトランジスタのゲート電極に電気的に接続され、第１４のトランジスタのゲート電極が第９の配線に電気的に接続されている。

【０９７１】

上記液晶素子を有する画素と駆動回路とを有した液晶表示装置は次に示す構成が含まれていても良い。第４の配線と第１１の配線とが電気的に接続され、第５の配線と第１２の配線とが電気的に接続され、第６の配線と第１３の配線とが電気的に接続され、第７の配線と第１４の配線とが電気的に接続されている構成。第４の配線と第１１の配線とは同一の配線であり、第５の配線と第１２の配線とは同一の配線であり、第６の配線と第１３の配線とは同一の配線であり、第７の配線と第１４の配線とは同一の配線である構成。第３の配線と第１０の配線とが電気的に接続されている構成。第３の配線と第１０の配線とは同一の配線である構成。第１のトランジスタ乃至第７のトランジスタのチャネル長Ｌとチャネル幅Ｗの比Ｗ／Ｌの値の中で、第１のトランジスタのＷ／Ｌの値が最大となり、第８のトランジスタ乃至第１４のトランジスタのチャネル長Ｌとチャネル幅Ｗの比Ｗ／Ｌの値の

中で、第８のトランジスタのＷ／Ｌの値が最大となる構成。第１のトランジスタのＷ／Ｌの値は、第５のトランジスタのＷ／Ｌの値の２倍乃至５倍となり、第８のトランジスタのＷ／Ｌの値は、第１２のトランジスタのＷ／Ｌの値の２倍乃至５倍となる構成。第３のトランジスタのチャネル長Ｌは、第４のトランジスタのチャネル長Ｌよりも大きく、第１０のトランジスタのチャネル長Ｌは、第１１のトランジスタのチャネル長Ｌよりも大きい構成。第１のトランジスタの第２の電極と、第１のトランジスタのゲート電極との間に容量素子が配置され、第８のトランジスタの第２の電極と、第８のトランジスタのゲート電極との間に容量素子が配置されている構成。第１のトランジスタ乃至第１４のトランジスタは、Ｎチャネル型トランジスタである構成。第１のトランジスタ乃至第１４のトランジスタは、半導体層としてアモルファスシリコンを用いる構成。

【０９７２】

本実施の形態で示す液晶表示装置は、本明細書に記載されているものであり、従って他の実施の形態と同様の作用効果を奏する。

【図面の簡単な説明】

【０９７３】

【図１】実施の形態１に示すフリップフロップの構成を説明する図。
【図２】図１で示したフリップフロップの動作を説明するタイミングチャート。
【図３】図１で示したフリップフロップの動作を説明する図。
【図４】実施の形態１に示すフリップフロップの構成を説明する図。
【図５】実施の形態１に示すフリップフロップの構成を説明する図。
【図６】実施の形態１に示すフリップフロップの動作を説明するタイミングチャート。
【図７】実施の形態１に示すフリップフロップの構成を説明する図。
【図８】実施の形態１に示す表示装置の構成を説明する図。
【図９】図８で示した表示装置の書き込み動作を説明するタイミングチャート。
【図１０】実施の形態１に示すシフトレジスタの構成を説明する図。
【図１１】図１０で示したシフトレジスタの動作を説明するタイミングチャート。
【図１２】図１０で示したシフトレジスタの動作を説明するタイミングチャート。
【図１３】実施の形態１に示すシフトレジスタの構成を説明する図。
【図１４】実施の形態１に示すシフトレジスタの構成を説明する図。
【図１５】実施の形態１に示すシフトレジスタの構成を説明する図。
【図１６】実施の形態２に示す表示装置の構成を説明する図。
【図１７】実施の形態１に示すシフトレジスタの構成を説明する図。
【図１８】実施の形態１に示す表示装置の構成を説明する図。
【図１９】図１８で示した表示装置の書き込み動作を説明するタイミングチャート。
【図２０】実施の形態１に示す表示装置の構成を説明する図。
【図２１】実施の形態１に示すフリップフロップの構成を説明する図。
【図２２】実施の形態２に示すフリップフロップの構成を説明する図。
【図２３】実施の形態４に示すフリップフロップの構成を説明する図。
【図２４】図２３で示したフリップフロップの動作を説明するタイミングチャート。
【図２５】図１で示したフリップフロップの上面図。
【図２６】図１３で示したバッファの構成を説明する図。
【図２７】実施の形態３に示すフリップフロップの構成を説明する図。
【図２８】図２７で示したフリップフロップの動作を説明するタイミングチャート。
【図２９】実施の形態３に示すシフトレジスタの構成を説明する図。
【図３０】図２９で示したシフトレジスタの動作を説明するタイミングチャート。
【図３１】実施の形態２に示すフリップフロップの動作を説明するタイミングチャート。
【図３２】実施の形態２に示すフリップフロップの動作を説明するタイミングチャート。
【図３３】実施の形態２に示すシフトレジスタの構成を説明する図。
【図３４】実施の形態２に示すシフトレジスタの構成を説明する図。
【図３５】図３３で示したシフトレジスタの動作を説明するタイミングチャート。

【図３６】図３３で示したシフトレジスタの動作を説明するタイミングチャート。
【図３７】実施の形態５に示す信号線駆動回路の構成を説明する図。
【図３８】図３７で示した信号線駆動回路の動作を説明するタイミングチャート。
【図３９】実施の形態５に示す信号線駆動回路の構成を説明する図。
【図４０】図３９で示した信号線駆動回路の動作を説明するタイミングチャート。
【図４１】実施の形態５に示す信号線駆動回路の構成を説明する図。
【図４２】実施の形態６に示す保護ダイオードの構成を説明する図。
【図４３】実施の形態６に示す保護ダイオードの構成を説明する図。
【図４４】実施の形態６に示す保護ダイオードの構成を説明する図。
【図４５】実施の形態７に示す表示装置の構成を説明する図。
【図４６】半導体装置の画素レイアウト例と断面図。
【図４７】半導体装置の画素レイアウト例と断面図。
【図４８】半導体装置の画素レイアウト例と断面図。
【図４９】半導体装置の画素レイアウト例と断面図。
【図５０】半導体装置の画素レイアウト例と断面図。
【図５１】半導体装置の表示素子の断面図。
【図５２】半導体装置の表示素子の断面図。
【図５３】半導体装置の表示素子の断面図。
【図５４】半導体装置の表示素子の上面図。
【図５５】半導体装置の表示素子の上面図。
【図５６】半導体装置の表示素子の上面図。
【図５７】半導体装置の周辺回路構成を説明する図。
【図５８】半導体装置の周辺回路構成を説明する図。
【図５９】半導体装置のパネル回路構成を説明する図。
【図６０】半導体装置のパネル回路構成を説明する図。
【図６１】半導体装置の断面図。
【図６２】半導体装置の周辺回路構成を説明する図。
【図６３】半導体装置の断面図。
【図６４】半導体装置の断面図。
【図６５】半導体装置の断面図。
【図６６】半導体装置の断面図。
【図６７】半導体装置の断面図。
【図６８】半導体装置の断面図。
【図６９】半導体装置の断面図。
【図７０】半導体装置の断面図。
【図７１】半導体装置の断面図。
【図７２】半導体装置の断面図。
【図７３】半導体装置の断面図。
【図７４】半導体装置の断面図。
【図７５】半導体装置の断面図。
【図７６】半導体装置の断面図。
【図７７】半導体装置の断面図。
【図７８】半導体装置の断面図。
【図７９】半導体装置の断面図。
【図８０】半導体装置の断面図。
【図８１】半導体装置の断面図。
【図８２】半導体装置の周辺構成部材を説明する図。
【図８３】半導体装置の周辺回路構成を説明する図。
【図８４】半導体装置の周辺構成部材を説明する図。
【図８５】半導体装置の周辺構成部材を説明する図。

【図８６】半導体装置の周辺構成部材を説明する図。
【図８７】半導体装置を説明する図。
【図８８】半導体装置の駆動方法の一を説明する図。
【図８９】半導体装置の駆動方法の一を説明する図。
【図９０】半導体装置の駆動方法の一を説明する図。
【図９１】半導体装置の駆動方法の一を説明する図。
【図９２】半導体装置の画素レイアウト例と断面図。
【図９３】半導体装置の画素レイアウト例と断面図。
【図９４】半導体装置の画素レイアウト例と断面図。
【図９５】半導体装置の表示素子の断面図。
【図９６】半導体装置の表示素子を形成する装置を説明する図。
【図９７】半導体装置の表示素子を形成する装置を説明する図。
【図９８】半導体装置の駆動方法の一を説明する図。
【図９９】半導体装置の駆動方法の一を説明する図。
【図１００】半導体装置の画素回路の一を説明する図。
【図１０１】半導体装置の画素回路の一を説明する図。
【図１０２】半導体装置を製造するプロセスを説明する図。
【図１０３】半導体装置の表示素子を説明する図。
【図１０４】半導体装置の表示素子を説明する図。
【図１０５】半導体装置の構造を説明する図。
【図１０６】半導体装置の構造を説明する図。
【図１０７】半導体装置の構造を説明する図。
【図１０８】半導体装置の構造を説明する図。
【図１０９】半導体装置の構造を説明する図。
【図１１０】半導体装置の構造を説明する図。
【図１１１】半導体装置の構造を説明する図。
【図１１２】半導体装置の構造を説明する図。
【図１１３】半導体装置の構造を説明する図。
【図１１４】半導体装置の構造を説明する図。
【図１１５】半導体装置の構造を説明する図。
【図１１６】半導体装置を用いた電子機器を説明する図。
【図１１７】半導体装置を用いた電子機器を説明する図。
【図１１８】半導体装置を用いた電子機器を説明する図。
【図１１９】半導体装置を用いた電子機器を説明する図。
【図１２０】半導体装置を用いた電子機器を説明する図。
【図１２１】半導体装置を用いた電子機器を説明する図。
【図１２２】半導体装置を用いた電子機器を説明する図。
【図１２３】図１３で示したバッファの構成を説明する図。
【図１２４】従来技術のフリップフロップの構成とタイミングチャートを説明する図。
【符号の説明】
【０９７４】
Ｓ１　信号線
Ｓｊ　信号線
ＶＤＤ　電源電位
ＶＳＳ　電源電位
Ｇ１　走査線
Ｇｉ　走査線
Ｇｎ　走査線
１１　トランジスタ
１２　トランジスタ

１３　トランジスタ
１４　トランジスタ
１５　トランジスタ
１６　トランジスタ
１７　トランジスタ
２１　信号線
２２　信号線
２３　配線
２４　信号線
２５　電源線
２６　電源線
３２　酸化窒化シリコン膜
４１　ノード
１０１　トランジスタ
１０２　トランジスタ
１０３　トランジスタ
１０４　トランジスタ
１０５　トランジスタ
１０６　トランジスタ
１１０　配線
１０７　トランジスタ
１１２　配線
１０８　トランジスタ
１０９　トランジスタ
１２１　配線
１２２　配線
１２３　配線
１２４　配線
１２５　配線
１２６　配線
１２７　配線
１２８　配線
１２９　配線
１３０　配線
１３１　配線
１３２　配線
１３３　配線
１３４　配線
１４１　ノード
１４２　ノード
２２１　信号
２２２　信号
２２３　信号
２２５　信号
２２６　信号
２３２　信号
２４１　電位
２４２　電位
４０１　容量素子
４０２　トランジスタ

４０３　抵抗素子
５０１　配線
５０２　配線
５０３　配線
５０４　配線
５０５　配線
５０６　配線
５０７　配線
５０８　配線
５０９　配線
５１０　配線
７０１　トランジスタ
７０２　トランジスタ
７１１　配線
８１ａ　蒸発源
１００１　フリップフロップ
１００７　配線
１０１１　配線
１０１２　配線
１０１３　配線
１０１４　配線
１０１５　配線
１０１６　配線
１０１７　配線
１０１８　配線
１１１１　信号
１１１２　信号
１１１３　信号
１１１７　信号
１１１８　信号
１２１１　信号
１２１８　信号
１３０１　バッファ
１６０２　走査線駆動回路
１８０１　信号線駆動回路
１８０２　走査線駆動回路
１８０３　画素
１８０４　画素部
１８０５　絶縁基板
１８０８　配線
２１０８　トランジスタ
２１３２　配線
２３０１　トランジスタ
２３０２　トランジスタ
２３０３　トランジスタ
２３０４　トランジスタ
２３０５　トランジスタ
２３０６　トランジスタ
２３０７　トランジスタ
２３２１　配線

２３２２　配線
２３２３　配線
２３２４　配線
２３２５　配線
２３２６　配線
２３２７　配線
２３２８　配線
２３２９　配線
２３３０　配線
２３３１　配線
２３４１　ノード
２３４２　ノード
２４２１　信号
２４２２　信号
２４２３　信号
２４２５　信号
２４２６　信号
２４４１　電位
２４４２　電位
２５０１　導電層
２５０２　導電層
２５０３　導電層
２５０４　導電層
２５０５　導電層
２５０６　導電層
２５０７　導電層
２５０８　導電層
２５１０　導電層
２５１１　導電層
２５１２　導電層
２５１３　導電層
２５１４　導電層
２５１５　導電層
２５４１　配線
２５４２　配線
２５４３　配線
２５４４　配線
２５４５　配線
２５４６　配線
２５４７　配線
２５４８　配線
２５４９　配線
２５８１　半導体層
２５８２　半導体層
２５８３　半導体層
２５８４　半導体層
２５８５　半導体層
２５８６　半導体層
２５８７　半導体層
２９０１　フリップフロップ

２９０７　配線
２９１１　配線
２９１２　配線
２９１３　配線
２９１４　配線
２９１５　配線
２９１６　配線
２９１７　配線
２９１８　配線
２９１９　配線
３０１１　信号
３０１８　信号
３０１９　信号
３１０１　フリップフロップ
３１１１　配線
３１２０　配線
３１２１　信号
３１２２　信号
３１２３　信号
３１２５　信号
３１２６　信号
３１４１　電位
３１４２　電位
３３０１　フリップフロップ
３３０１　配線
３３０６　配線
３３１１　配線
３３１２　配線
３３１３　配線
３３１４　配線
３３１５　配線
３３１６　配線
３３１７　配線
３３１８　配線
３３１９　配線
３３２０　配線
３３２１　配線
３３２２　配線
３５１１　信号
３５１２　信号
３５１３　信号
３５１４　信号
３５１５　信号
３５１９　信号
３５２０　信号
３５２１　信号
３６０４　基板フィルム
３６１１　信号
３６２１　信号
５６０１　ドライバＩＣ

５６０２　スイッチ群
５６１１　配線
５６１２　配線
５６１３　配線
５６２１　配線
５７２１　信号
５８２１　信号
５９１１　配線
５９１２　配線
５９１３　配線
６００１　トランジスタ
６００２　トランジスタ
６００３　トランジスタ
６００４　トランジスタ
６００５　トランジスタ
６００６　トランジスタ
６０１１　配線
６０１２　配線
６０１３　配線
６０１４　配線
６０１５　配線
６０１６　配線
６０２２　スイッチ群
６１０１　トランジスタ
６１０２　トランジスタ
６１１１　配線
６１１２　配線
６２０１　トランジスタ
６２１１　配線
６４０１　トランジスタ
６４０２　トランジスタ
６４１１　配線
６４１２　配線
８０００　バッファ
８０１１　配線
８０１２　配線
８０２ａ　走査線駆動回路
８０２ｂ　走査線駆動回路
８１００　バッファ
８２０１　トランジスタ
８２０２　トランジスタ
８２１１　配線
８２１２　配線
８２１３　配線
８２１４　配線
８３０１　トランジスタ
８３０２　トランジスタ
８３０３　トランジスタ
８３０４　トランジスタ
８３１１　配線

８３１２　配線
８３１３　配線
８３１４　配線
８３１５　配線
８３１６　配線
８３４１　ノード
８４０１　トランジスタ
８４０２　トランジスタ
８４０３　トランジスタ
８４０４　トランジスタ
８４１１　配線
８４１２　配線
８４１３　配線
８４１４　配線
８４１５　配線
８４１６　配線
８４１７　配線
８４４１　ノード
８５０１　トランジスタ
８５０２　トランジスタ
８５０３　トランジスタ
８５１１　配線
８５１２　配線
８５１３　配線
８５１４　配線
８５１５　配線
８５１６　配線
８５４１　ノード
８６０１　トランジスタ
８６０２　トランジスタ
８６０３　トランジスタ
８６０４　トランジスタ
８６１１　配線
８６１２　配線
８６１３　配線
８６１４　配線
８６１５　配線
８６１６　配線
８６４１　ノード
１０１０１　基板
１０１０２　絶縁膜
１０１０３　導電層
１０１０４　絶縁膜
１０１０５　半導体層
１０１０６　半導体層
１０１０７　導電層
１０１０８　絶縁膜
１０１０９　導電層
１０１１０　配向膜
１０１１２　配向膜

１０１１３　導電層
１０１１４　遮光膜
１０１１５　カラーフィルタ
１０１１６　基板
１０１１７　スペーサ
１０１１８　液晶分子
１０１２１　走査線
１０１２２　映像信号線
１０１２３　容量線
１０１２４　ＴＦＴ
１０１２５　画素電極
１０１２６　画素容量
１０２０１　基板
１０２０２　絶縁膜
１０２０３　導電層
１０２０４　絶縁膜
１０２０５　半導体層
１０２０６　半導体層
１０２０７　導電層
１０２０８　絶縁膜
１０２０９　導電層
１０２１０　配向膜
１０２１２　配向膜
１０２１３　導電層
１０２１４　遮光膜
１０２１５　カラーフィルタ
１０２１６　基板
１０２１７　スペーサ
１０２１８　液晶分子
１０２１９　配向制御用突起
１０２２１　走査線
１０２２２　映像信号線
１０２２３　容量線
１０２２４　ＴＦＴ
１０２２５　画素電極
１０２２６　画素容量
１０３０１　基板
１０３０２　絶縁膜
１０３０３　導電層
１０３０４　絶縁膜
１０３０５　半導体層
１０３０６　半導体層
１０３０７　導電層
１０３０８　絶縁膜
１０３０９　導電層
１０３１０　配向膜
１０３１２　配向膜
１０３１３　導電層
１０３１４　遮光膜
１０３１５　カラーフィルタ

１０３１６　基板
１０３１７　スペーサ
１０３１８　液晶分子
１０３１９　電極切り欠き部
１０３２１　走査線
１０３２２　映像信号線
１０３２３　容量線
１０３２４　ＴＦＴ
１０３２５　画素電極
１０３２６　画素容量
１０４０１　基板
１０４０２　絶縁膜
１０４０３　導電層
１０４０４　絶縁膜
１０４０５　半導体層
１０４０６　半導体層
１０４０７　導電層
１０４０８　絶縁膜
１０４０９　導電層
１０４１０　配向膜
１０４１２　配向膜
１０４１４　遮光膜
１０４１５　カラーフィルタ
１０４１６　基板
１０４１７　スペーサ
１０４１８　液晶分子
１０４２１　走査線
１０４２２　映像信号線
１０４２３　共通電極
１０４２４　ＴＦＴ
１０４２５　画素電極
１０５０１　基板
１０５０２　絶縁膜
１０５０３　導電層
１０５０４　絶縁膜
１０５０５　半導体層
１０５０６　半導体層
１０５０７　導電層
１０５０８　絶縁膜
１０５０９　導電層
１０５１０　配向膜
１０５１２　配向膜
１０５１３　導電層
１０５１４　遮光膜
１０５１５　カラーフィルタ
１０５１６　基板
１０５１７　スペーサ
１０５１８　液晶分子
１０５１９　絶縁膜
１０５２１　走査線

１０５２２　映像信号線
１０５２３　共通電極
１０５２４　ＴＦＴ
１０５２５　画素電極
１０６００　液晶層
１０６０１　基板
１０６０２　基板
１０６０３　層
１０６０４　層
１０６０５　電極
１０６０６　電極
１０６０７　突起物
１０８０１　電極
１０８０２　電極
１０８０３　電極
１０８０４　電極
１０９０１　絶縁層
２００２ａ　走査線駆動回路
２００２ｂ　走査線駆動回路
２０１００　基板
２０１０１　画素部
２０１０２　画素
２０１０３　走査線入力端子
２０１０４　信号線入力端子
２０１０５　走査線駆動回路
２０１０６　信号線駆動回路
２０１１５　基板
２０２００　ＦＰＣ
２０２０１　ドライバＩＣ
２０３０１　トランジスタ
２０３０２　液晶素子
２０３０３　容量素子
２０３０４　配線
２０３０５　配線
２０３０６　容量線
２０３０７　対向電極
２０５０１　絶縁膜
２０５０２　半導体層
２０５０３　絶縁層
２０５０４　導電層
２０５０５　絶縁層
２０５０６　導電膜
２０５０７　絶縁層
２０５０８　導電層
２０５０９　絶縁層
２０５１０　液晶層
２０５１１　絶縁膜
２０５１２　導電膜
２０５１３　絶縁膜
２０５１４　絶縁膜

２０５１５　対向基板
２０５１６　シール材
２０５１７　異方性導電体層
２０５１８　ＦＰＣ
２０５２１　トランジスタ
２０５２５　駆動回路領域
２０５２６　画素領域
２０５３０　ＩＣチップ
２０５３１　スペーサ
２０５３２　絶縁膜
２０５３３　導電膜
２０６０１　ドライバＩＣ
２１３０１　絶縁膜
２１８０１　絶縁膜
２２００１　絶縁膜
２２０２ａ　走査線駆動回路
２２０２ｂ　走査線駆動回路
２２２０１　絶縁膜
２２６０１　バックライトユニット
２２６０２　拡散板
２２６０３　導光板
２２６０４　反射板
２２６０５　ランプリフレクタ
２２６０６　光源
２２６０７　液晶パネル
２２６０８　層
２２６０９　層
２２６１０　スリット
２２７０１　映像信号
２２７０２　制御回路
２２７０３　信号線駆動回路
２２７０４　走査線駆動回路
２２７０５　画素部
２２７０６　照明手段
２２７０７　電源
２２７０８　駆動回路部
２２７１０　走査線
２２７１２　信号線
２２７３１　シフトレジスタ
２２７３２　ラッチ
２２７３３　ラッチ
２２７３４　レベルシフタ
２２７３５　バッファ
２２７４１　シフトレジスタ
２２７４２　レベルシフタ
２２７４３　バッファ
２２８０１　冷陰極管
２２８０２　発光ダイオード
２２８０３　発光ダイオード
２２８３２　ランプリフレクタ

２２８５２　バックライトユニット
２３０００　偏光フィルム
２３００１　保護フィルム
２３００２　基板フィルム
２３００２　基板フィルム
２３００３　ＰＶＡ偏光フィルム
２３００４　基板フィルム
２３００５　粘着剤層
２３００６　離型フィルム
２３１００　ＴＦＴ基板
２３１０１　対向基板
２３１０２　シール材
２３１０３　画素部
２３１０４　液晶層
２３１０５　着色層
２３１０６　層
２３１０７　層
２３１０９　フレキシブル配線基板
２３１１０　冷陰極管
２３１１１　反射板
２３１１２　回路基板
２３１１３　拡散板
２３１９９　制御部
２９０１ｉ　フリップフロップ
３０１０１　符号化回路
３０１０２　フレームメモリ
３０１０３　補正回路
３０１０４　ＤＡ変換回路
３０１１２　フレームメモリ
３０１１３　補正回路
３０１２１　入力電圧
３０１２２　入力電圧
３０１２３　出力輝度
３０１２４　出力輝度
３０１３１　入力映像信号
３０１３２　出力映像信号
３０１３３　出力切替信号
３０２０１　トランジスタ
３０２０２　補助容量
３０２０３　表示素子
３０２０４　映像信号線
３０２０５　走査線
３０２０６　コモン線
３０２１１　トランジスタ
３０２１２　補助容量
３０２１３　表示素子
３０２１４　映像信号線
３０２１５　走査線
３０２１６　コモン線
３０２１７　コモン線

３０３０１　拡散板
３０３０２　冷陰極管
３０３１１　拡散板
３０３１２　光源
３０４００　フレーム期間
３０４０１　画像
３０４０２　中間画像
３０４１２　中間画像
３０４１３　中間画像
５６０３ａ　スイッチ
５６０３ｂ　スイッチ
５６０３ｃ　スイッチ
５７０３ａ　タイミング
５７０３ｂ　タイミング
５７０３ｃ　タイミング
５８０３ａ　タイミング
５８０３ｂ　タイミング
５８０３ｃ　タイミング
５９０３ａ　トランジスタ
５９０３ｂ　トランジスタ
５９０３ｃ　トランジスタ
６０１０５　ＴＦＴ
６０１０６　配線
６０１０７　配線
６０１０８　ＴＦＴ
６０１１１　配線
６０１１２　対向電極
６０１１３　コンデンサ
６０１１５　画素電極
６０１１６　隔壁
６０１１７　有機導電体膜
６０１１８　有機薄膜
６０１１９　基板
６０２００　基板
６０２０１　配線
６０２０２　配線
６０２０３　配線
６０２０４　配線
６０２０５　ＴＦＴ
６０２０６　ＴＦＴ
６０２０７　ＴＦＴ
６０２０８　画素電極
６０２１１　隔壁
６０２１２　有機導電体膜
６０２１３　有機薄膜
６０２１４　対向電極
６０３００　基板
６０３０１　配線
６０３０２　配線
６０３０３　配線

６０３０４　配線
６０３０５　ＴＦＴ
６０３０６　ＴＦＴ
６０３０７　ＴＦＴ
６０３０８　ＴＦＴ
６０３０９　画素電極
６０３１１　配線
６０３１２　配線
６０３２１　隔壁
６０３２２　有機導電体膜
６０３２３　有機薄膜
６０３２４　対向電極
６０４０１　陽極
６０４０２　陰極
６０４０３　正孔輸送領域
６０４０４　電子輸送領域
６０４０５　混合領域
６０４０６　領域
６０４０７　領域
６０４０８　領域
６０４０９　領域
６０５６０　搬送室
６０５６１　搬送室
６０５６２　ロード室
６０５６３　アンロード室
６０５６４　中間処理室
６０５６５　封止処理室
６０５６６　搬送手段
６０５６７　搬送手段
６０５６８　加熱処理室
６０５６９　成膜処理室
６０５７０　成膜処理室
６０５７１　成膜室
６０５７２　プラズマ処理室
６０５７３　成膜処理室
６０５７４　成膜処理室
６０５７６　成膜処理室
６０６８０　蒸発源ホルダ
６０６８１　蒸発源
６０６８２　距離センサー
６０６８３　多関節アーム
６０６８４　材料供給管
６０６８６　基板ステージ
６０６８７　基板チャック
６０６８８　マスクチャック
６０６８９　基板
６０６９０　シャドーマスク
６０６９１　天板
６０６９２　底板
６３０１ａ　トランジスタ

６３０１ｂ　トランジスタ
６３０２ａ　トランジスタ
６３０２ｂ　トランジスタ
８００１ａ　インバータ
８００１ｂ　インバータ
８００１ｃ　インバータ
８００２ａ　インバータ
８００２ｂ　インバータ
８００２ｃ　インバータ
８００３ａ　インバータ
８００３ｂ　インバータ
８００３ｃ　インバータ
８０３０２　駆動トランジスタ
８０４００　駆動トランジスタ
８０４０１　スイッチ
８０４０２　スイッチ
８０４０３　スイッチ
８０４０４　容量素子
８０４０５　容量素子
８０４１１　信号線
８０４１２　電源線
８０４１３　第１の走査線
８０４１４　第２の走査線
８０４１５　第３の走査線
８０４２０　表示素子
８０４２１　電極
８０４３０　駆動用トランジスタ
８０４３１　スイッチ
８０４３２　スイッチ
８０４３３　スイッチ
８０４３４　容量素子
８０４４１　信号線
８０４４２　電源線
８０４４３　第１の走査線
８０４４４　第２の走査線
８０４４５　第３の走査線
８０４５０　表示素子
８０４５１　電極
８０４５４　走査線
１０６０６ａ　電極
１０８０１ａ　電極
１０８０１ｂ　電極
１０８０１ｃ　電極
１０８０１ｄ　電極
１０８０２ａ　電極
１０８０２ｂ　電極
１０８０２ｃ　電極
１０８０２ｄ　電極
１０８０３ａ　電極
１０８０３ｂ　電極

１０８０３ｃ　電極
１０８０３ｄ　電極
１０８０４ａ　電極
１０８０４ｂ　電極
１０８０４ｃ　電極
１０８０４ｄ　電極
１１０１１１　基板
１１０１１２　絶縁膜
１１０１１３　半導体膜
１１０１１４　半導体膜
１１０１１５　半導体膜
１１０１１６　絶縁膜
１１０１１７　ゲート電極
１１０１１８　絶縁膜
１１０１１９　絶縁膜
１１０１２１　サイドウォール
１１０１２２　マスク
１１０１２３　導電膜
１１０１３１　絶縁膜
１２０１００　電極層
１２０１０２　電界発光層
１２０１０３　電極層
１２０１０４　絶縁層
１２０１０５　絶縁層
１２０１０６　絶縁層
１２０２００　電極層
１２０２０１　発光材料
１２０２０２　電界発光層
１２０２０３　電極層
１２０２０４　絶縁層
１２０２０５　絶縁層
１２０２０６　絶縁層
１３０１００　背面投影型表示装置
１３０１０１　スクリーンパネル
１３０１０２　スピーカ
１３０１０４　操作スイッチ類
１３０１１０　筐体
１３０１１１　プロジェクタユニット
１３０１１２　ミラー
１３０２００　前面投影型表示装置
１３０２０１　投射光学系
１３０３０１　光源ユニット
１３０３０１　　光源ユニット
１３０３０２　光源ランプ
１３０３０３　光源光学系
１３０３０４　変調ユニット
１３０３０５　ダイクロイックミラー
１３０３０６　全反射ミラー
１３０３０８　表示パネル
１３０３０９　プリズム

１３０３１０　投射光学系
１３０４００　変調ユニット
１３０４０１　ダイクロイックミラー
１３０４０２　ダイクロイックミラー
１３０４０３　全反射ミラー
１３０４０４　偏光ビームスプリッタ
１３０４０５　偏光ビームスプリッタ
１３０４０６　偏光ビームスプリッタ
１３０４０７　反射型表示パネル
１３０４１１　投射光学系
１３０５０１　ダイクロイックミラー
１３０５０２　ダイクロイックミラー
１３０５０３　赤色光用ダイクロイックミラー
１３０５０４　位相差板
１３０５０５　カラーフィルター板
１３０５０６　マイクロレンズアレイ
１３０５０７　表示パネル
１３０５０８　表示パネル
１３０５０９　表示パネル
１３０５１１　投射光学系
２０１０２ａ　画素
２０１０２ｂ　画素
２０１０５ａ　走査線駆動回路
２０１０５ｂ　走査線駆動回路
２０３０１ａ　トランジスタ
２０３０１ｂ　トランジスタ
２０３０３ａ　容量素子
２０３０３ｂ　容量素子
２０３０５ａ　配線
２０３０５ｂ　配線
２０３０７６　配線
２０５０２ａ　半導体層
２０５０２ｂ　半導体層
２０５０３ａ　絶縁層
２０５０３ｂ　絶縁層
２０５０４ａ　導電層
２０５０４ｂ　導電層
２０５０８ａ　導電層
２０５０８ｂ　導電層
２０６０２ａ　ドライバＩＣ
２０６０２ｂ　ドライバＩＣ
２３１９０ａ　赤色光源
２３１９０ｂ　緑色光源
２３１９０ｃ　青色光源
６０５７７ａ　ゲートバルブ
６０６８１ａ　蒸発源
６０６８１ｂ　蒸発源
６０６８１ｃ　蒸発源
６０６８５ａ　材料供給源
６０６８５ｂ　材料供給源

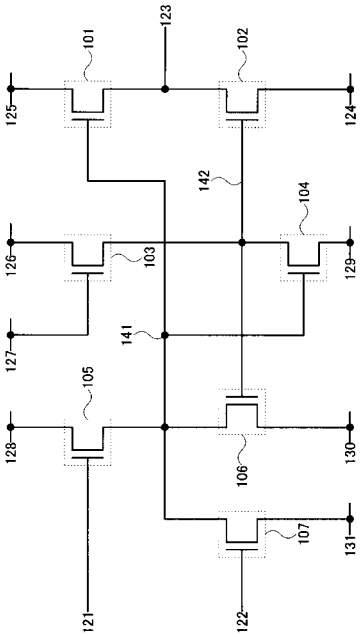
６０６８５ｃ　材料供給源
８０３０１ａ　スイッチング用トランジスタ
８０３０１ｂ　スイッチング用トランジスタ
８０３０１ｃ　スイッチング用トランジスタ
８０３０１ｄ　スイッチング用トランジスタ
８０３０１ｅ　スイッチング用トランジスタ
８０３０２ａ　駆動用トランジスタ
８０３０２ｂ　駆動用トランジスタ
８０３０２ｃ　駆動用トランジスタ
８０３０２ｄ　駆動用トランジスタ
８０３０２ｅ　駆動用トランジスタ
８０３０３ｃ　ダイオード接続トランジスタ
８０３０３ｄ　ダイオード接続トランジスタ
８０３０３ｅ　消去用トランジスタ
８０３０４ａ　容量素子
８０３０４ｂ　容量素子
８０３０４ｃ　容量素子
８０３０４ｄ　容量素子
８０３０４ｅ　容量素子
８０３０６ａ　整流素子
８０３１１ａ　信号線
８０３１１ｂ　信号線
８０３１１ｃ　信号線
８０３１１ｄ　信号線
８０３１１ｅ　信号線
８０３１２ａ　第１の走査線
８０３１２ｂ　第１の走査線
８０３１２ｃ　第１の走査線
８０３１２ｄ　第１の走査線
８０３１２ｅ　第１の走査線
８０３１３ａ　電源線
８０３１３ｂ　電源線
８０３１３ｃ　電源線
８０３１３ｄ　電源線
８０３１３ｅ　電源線
８０３１４ｂ　第２の走査線
８０３１４ｃ　第２の走査線
８０３１４ｄ　第２の走査線
８０３２０ａ　表示素子
８０３２０ｂ　表示素子
８０３２１ａ　電極
８０３２１ｂ　電極
９００１０１　表示パネル
９００１０２　画素部
９００１０３　走査線駆動回路
９００１０４　信号線駆動回路
９００１１１　回路基板
９００１１２　コントロール回路
９００１１３　信号分割回路
９００１１４　接続配線

９００２０１　チューナ
９００２０２　映像信号増幅回路
９００２０３　映像信号処理回路
９００２０５　音声信号増幅回路
９００２０６　音声信号処理回路
９００２０７　スピーカー
９００２０８　制御回路
９００２０９　入力部
９００２１２　コントロール回路
９００２１３　信号分割回路
９００３０１　筐体
９００３０２　表示画面
９００３０３　スピーカー
９００３０４　操作スイッチ
９００３１０　充電器
９００３１２　筐体
９００３１３　表示部
９００３１６　操作キー
９００３１７　スピーカー部
９００４０１　表示パネル
９００４０２　プリント配線基板
９００４０３　画素部
９００４０４　走査線駆動回路
９００４０５　走査線駆動回路
９００４０６　信号線駆動回路
９００４０７　コントローラ
９００４０８　中央処理装置（ＣＰＵ）
９００４０９　メモリ
９００４１０　電源回路
９００４１１　音声処理回路
９００４１２　送受信回路
９００４１３　フレキシブル配線基板（ＦＰＣ）
９００４１４　インターフェース（Ｉ／Ｆ）部
９００４１５　アンテナ用ポート
９００４１６　ＶＲＡＭ
９００４１７　ＤＲＡＭ
９００４１８　フラッシュメモリ
９００４１９　インターフェース
９００４２０　制御信号生成回路
９００４２１　デコーダ
９００４２２　レジスタ
９００４２３　演算回路
９００４２４　ＲＡＭ
９００４２５　入力手段
９００４２６　マイク
９００４２７　スピーカー
９００４２８　アンテナ
９００５０１　表示パネル
９００５１３　ＦＰＣ
９００５３０　ハウジング

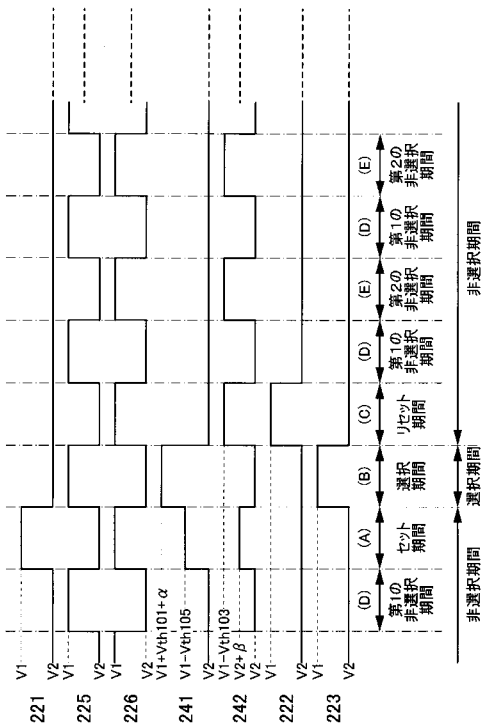
９００５３１　プリント基板
９００５３２　スピーカー
９００５３３　マイクロフォン
９００５３４　送受信回路
９００５３５　信号処理回路
９００５３６　入力手段
９００５３７　バッテリー
９００５３９　筐体
９００６００　携帯電話機
９００６０１　本体（Ａ）
９００６０２　本体（Ｂ）
９００６０３　筐体
９００６０４　操作スイッチ類
９００６０５　マイクロフォン
９００６０６　スピーカー
９００６０７　回路基板
９００６０８　表示パネル（Ａ）
９００６０９　表示パネル（Ｂ）
９００６１０　蝶番
９００７１１　筐体
９００７１２　支持台
９００７１３　表示部
９００７２１　本体
９００７２２　表示部
９００７２３　受像部
９００７２４　操作キー
９００７２５　外部接続ポート
９００７２６　シャッター
９００７３１　本体
９００７３２　筐体
９００７３３　表示部
９００７３４　キーボード
９００７３５　外部接続ポート
９００７３６　ポインティングデバイス
９００７４１　本体
９００７４２　表示部
９００７４３　スイッチ
９００７４４　操作キー
９００７４５　赤外線ポート
９００７５１　本体
９００７５２　筐体
９００７５３　表示部（Ａ）
９００７５４　表示部（Ｂ）
９００７５５　部
９００７５６　操作キー
９００７５７　スピーカー部
９００７６１　本体
９００７６２　表示部
９００７６３　イヤホン
９００７６４　支持部

９００７７１　筐体
９００７７２　表示部
９００７７３　スピーカー部
９００７７４　操作キー
９００７７５　記憶媒体挿入部
９００７８１　本体
９００７８２　表示部
９００７８３　操作キー
９００７８４　スピーカー
９００７８５　シャッター
９００７８６　受像部
９００７８７　アンテナ
９００８１０　筐体
９００８１１　表示部
９００８１２　リモコン装置
９００８１３　スピーカー部
９００９０１　表示パネル
９００９０２　ユニットバス
９０１００１　柱状体
９０１００２　表示パネル
９０１１０１　車体
９０１１０２　表示パネル
９０１２０１　ドア
９０１２０２　表示パネル
９０１２０３　ガラス窓
９０１２０４　天井
９０１３０１　天井
９０１３０２　表示パネル
９０１３０３　ヒンジ部

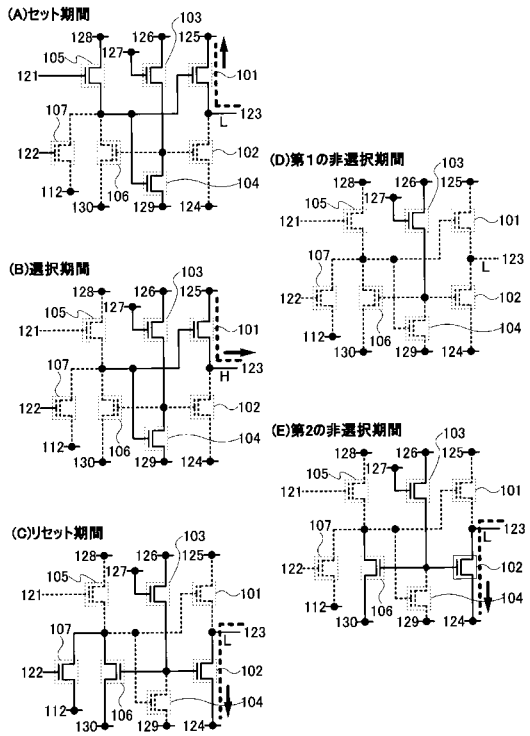
【図１】


101
102
123
125
124
142
104
126
103
129
127
141
105
128
106
130
107
131
121
122

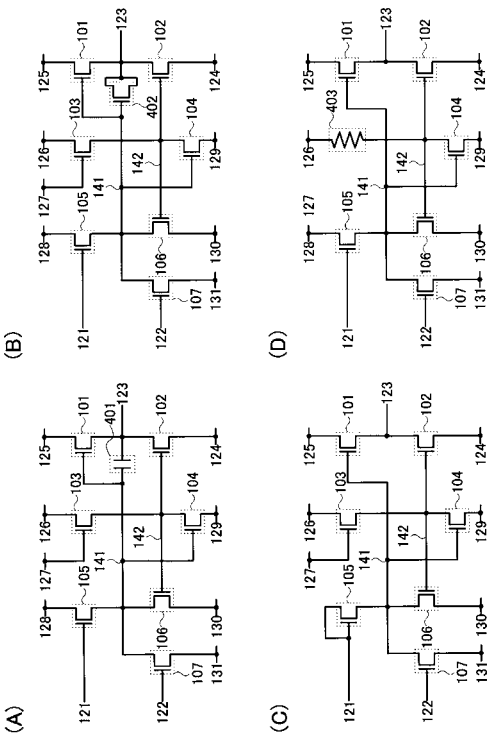
【図２】


(D) 第1の非選択期間
(A) セット期間
(B) 選択期間
(C) リセット期間
(D) 第1の非選択期間
(E) 第2の非選択期間
(D) 第1の非選択期間
(E) 第2の非選択期間
非選択期間
選択期間
非選択期間
V1
V2
V1
V2
V1
V2
V1+Vth101+α
V1−Vth105
V2
V1−Vth103
V2+β
V2
V1
V2
V1
V2
221
225
226
241
242
222
223

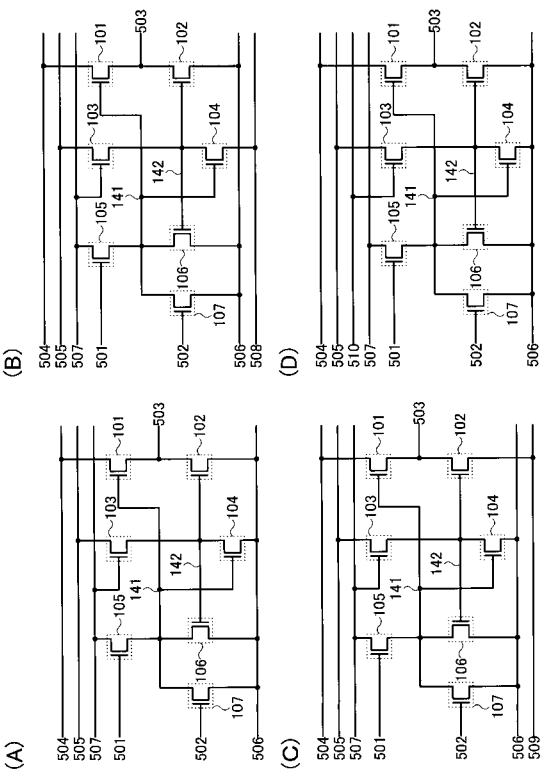
【図３】


(A)セット期間
(B)選択期間
(C)リセット期間
(D)第1の非選択期間
(E)第2の非選択期間
L
H

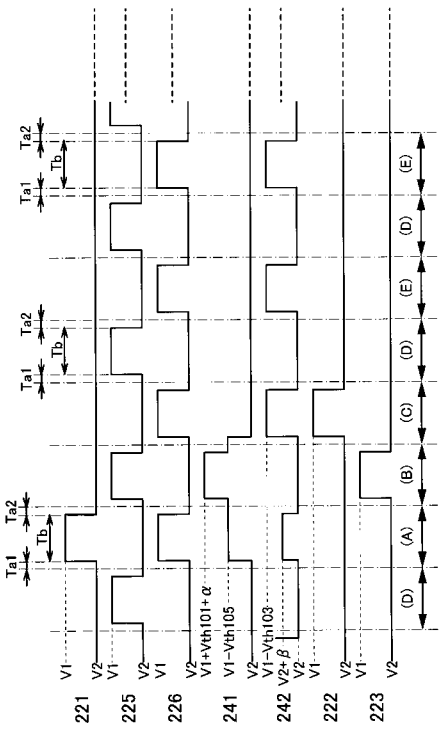
【図４】


(B)
(D)
(A)
(C)
401
402
403

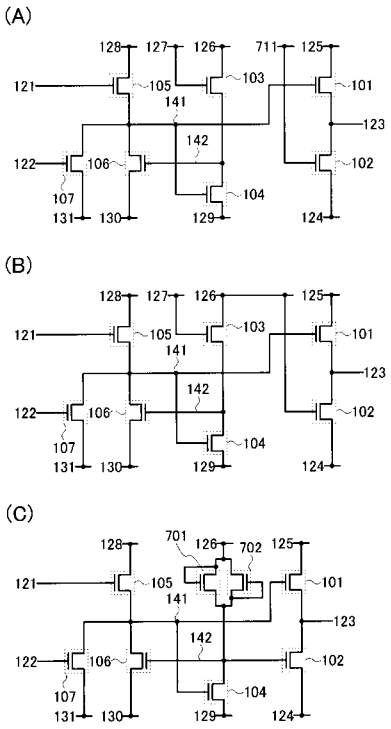
【図５】



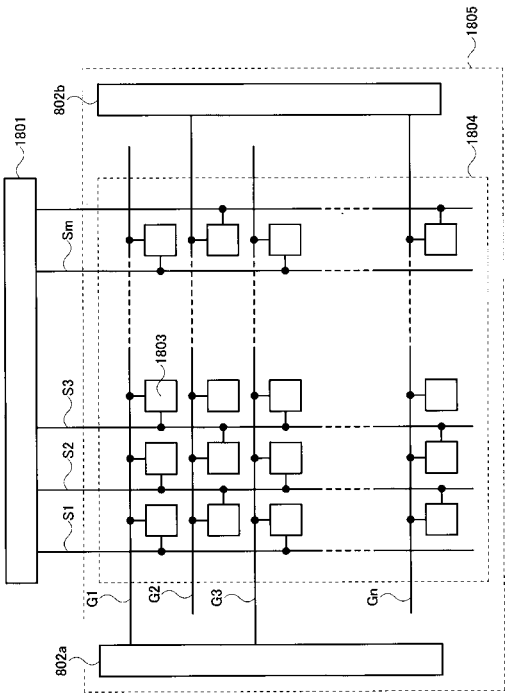
【図６】



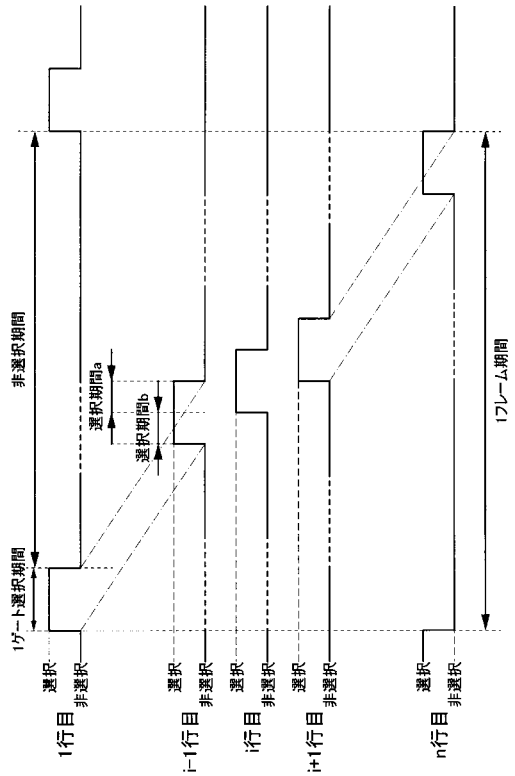
【図７】



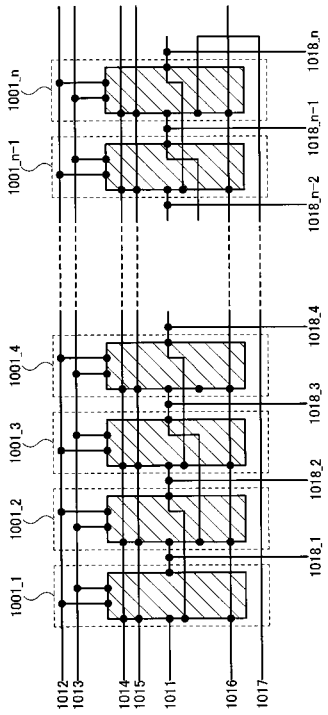
【図８】



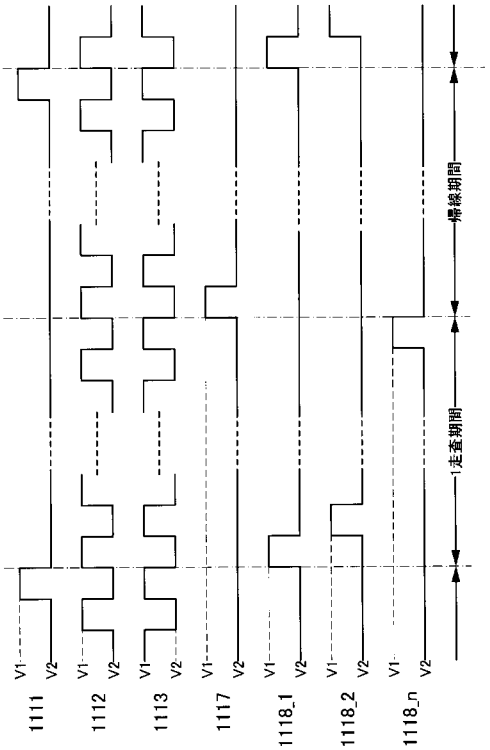
【図９】



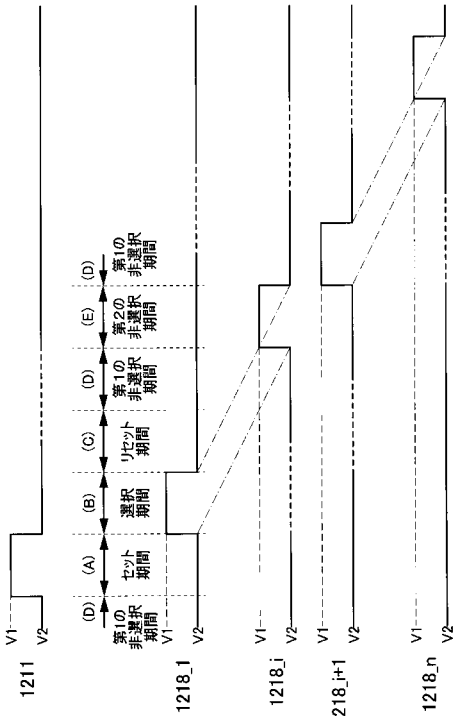
【図１０】



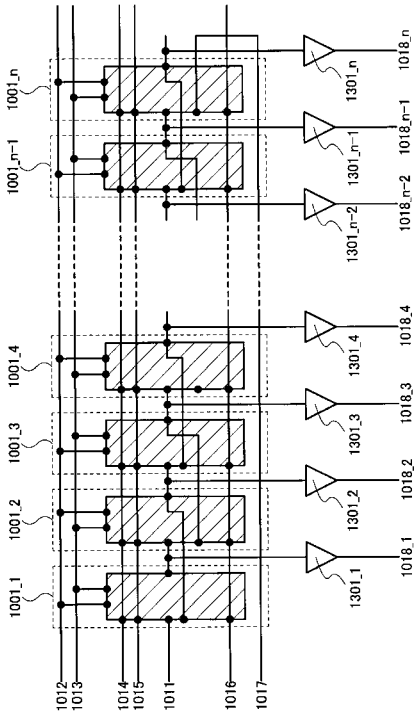
【図１１】



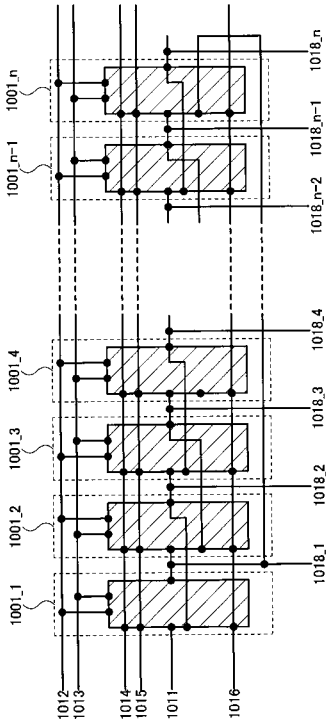
【図１２】



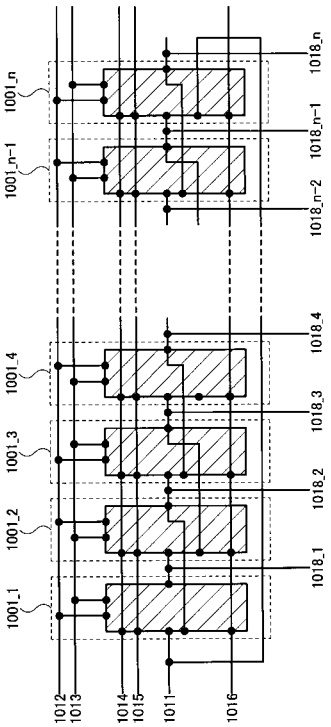
【図１３】



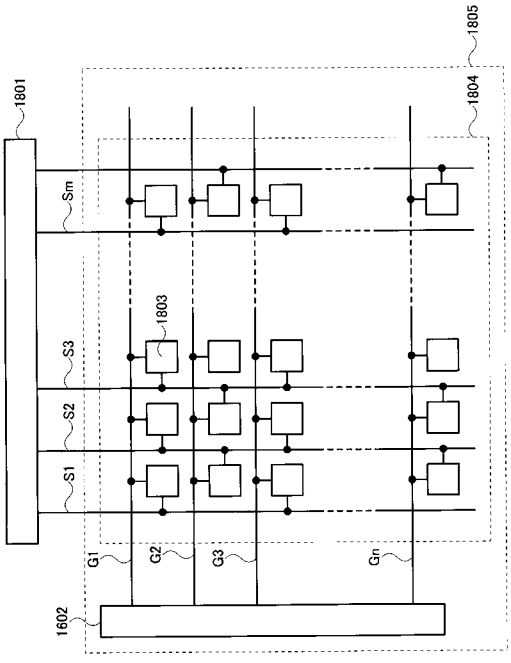
【図１４】



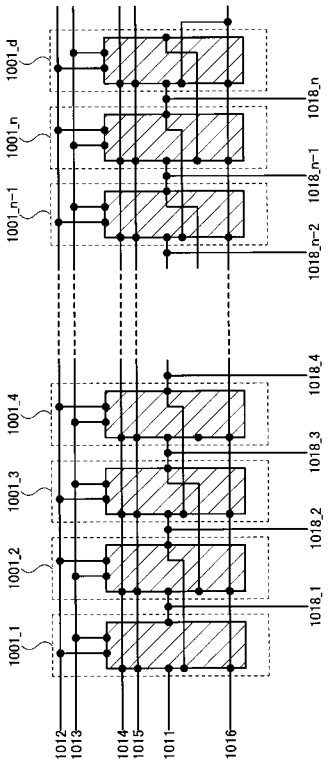
【図１５】



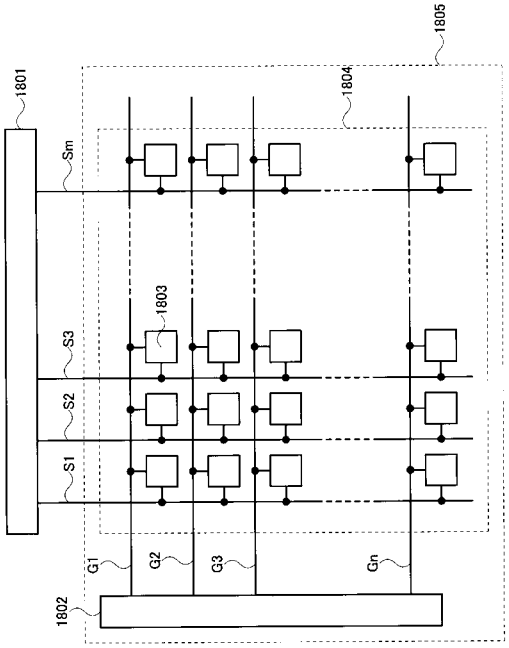
【図１６】



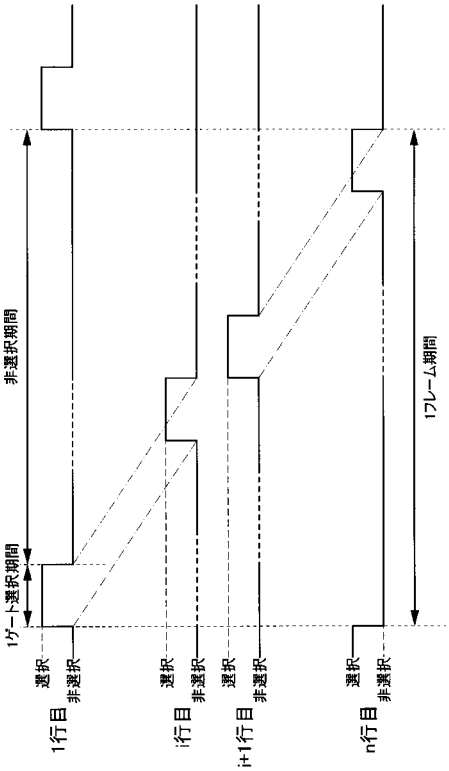
【図１７】



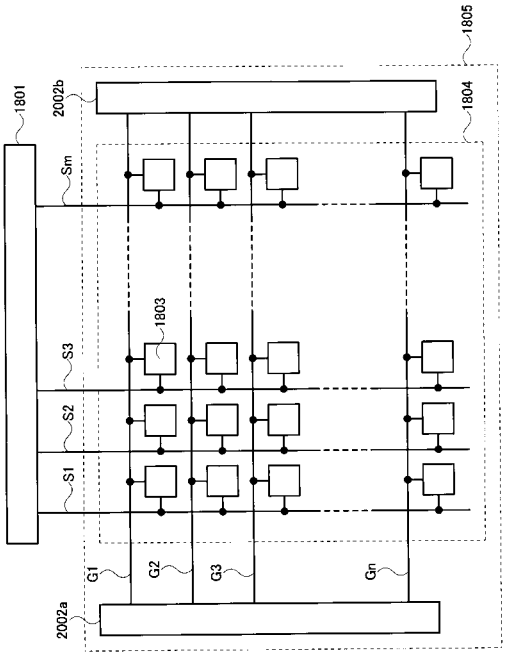
【図１８】



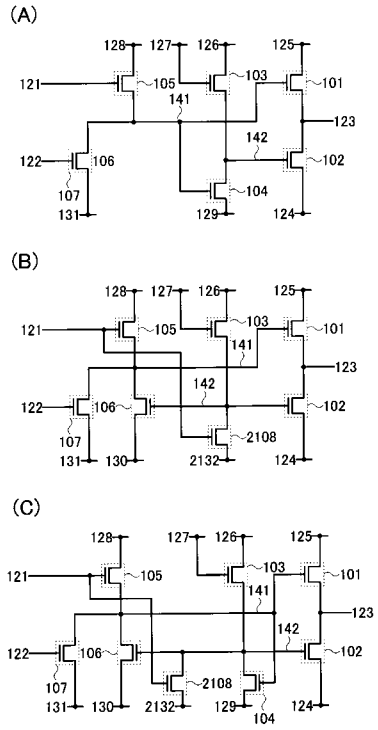
【図１９】



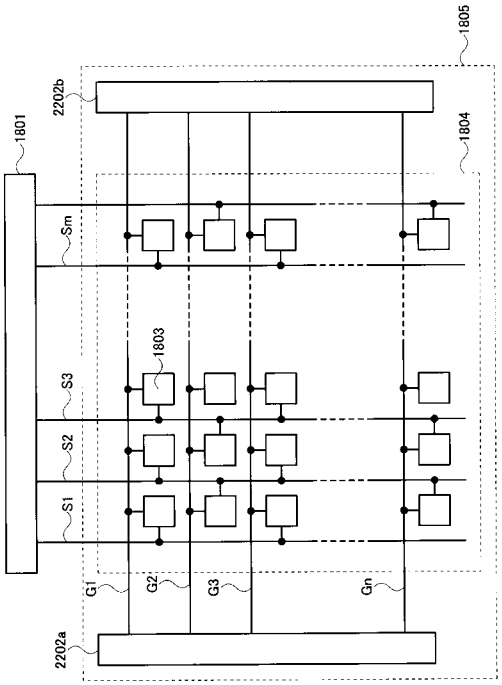
【図２０】



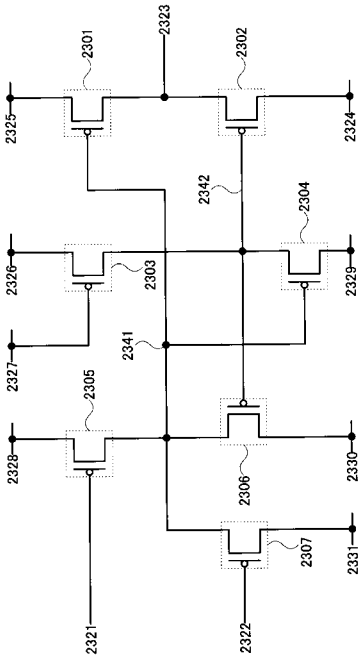
【図２１】



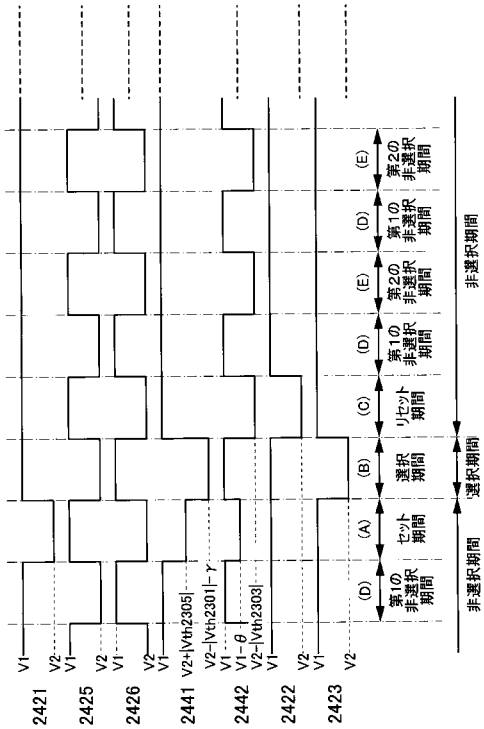
【図２２】



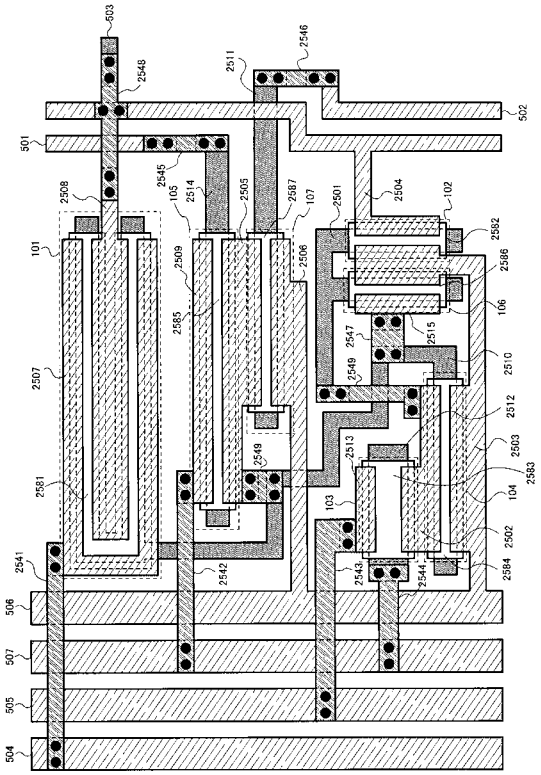
【図２３】



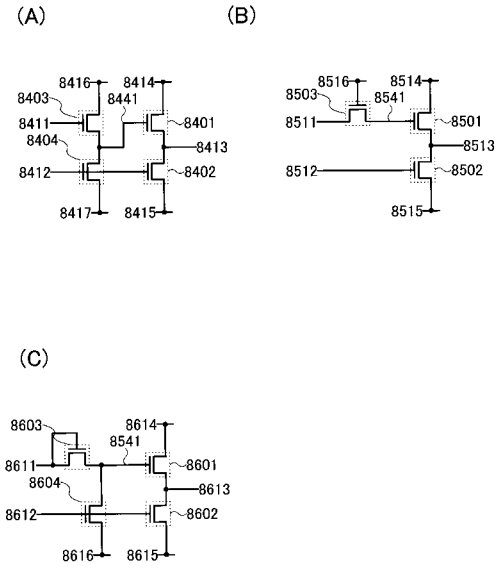
【図２４】



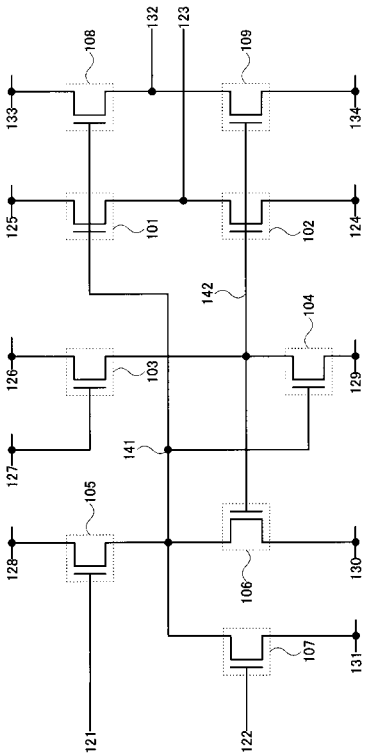
【図２５】



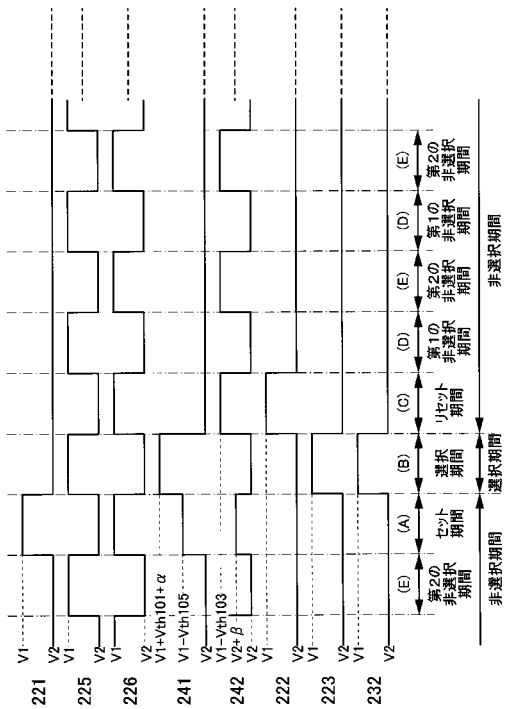
【図２６】



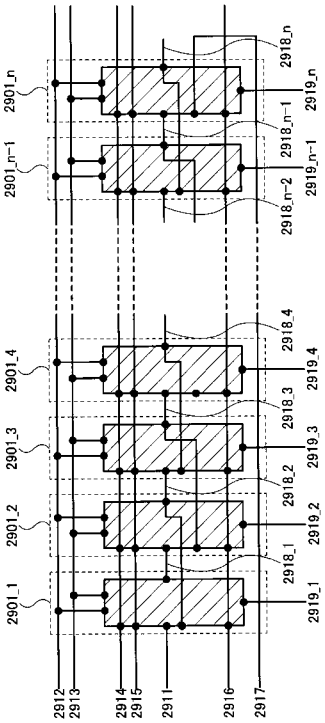
【図２７】



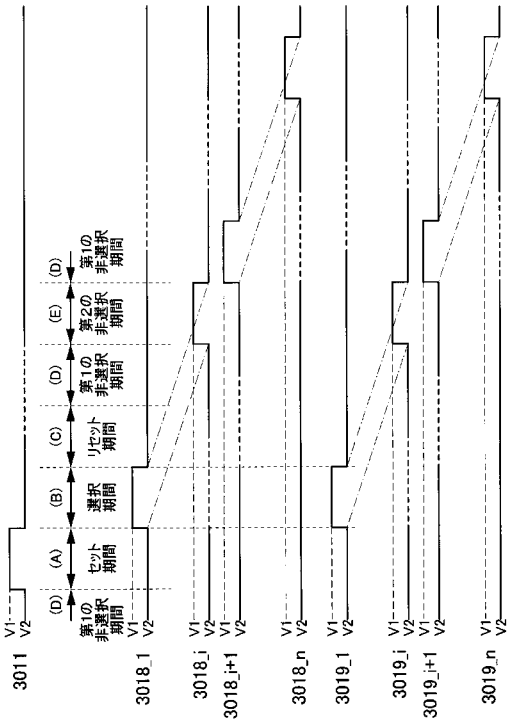
【図２８】



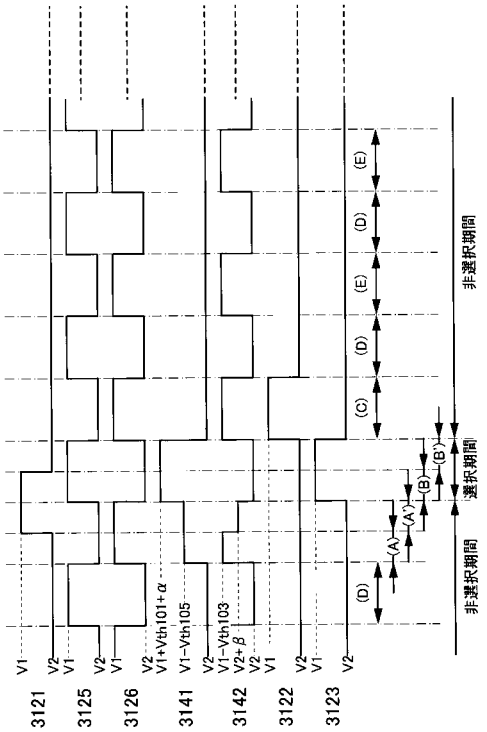
【図２９】



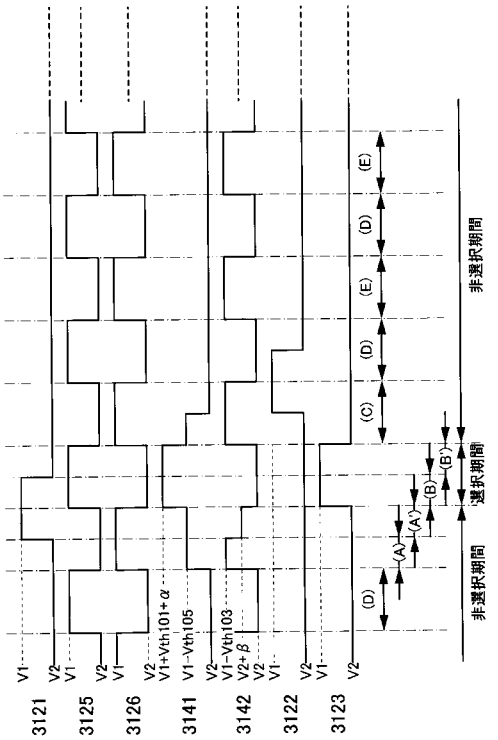
【図３０】



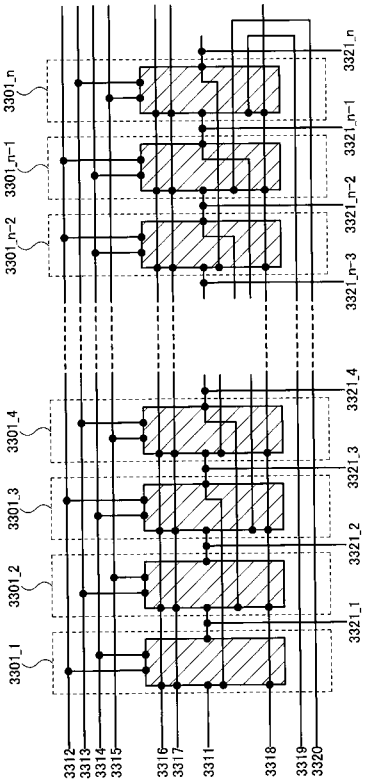
【図３１】



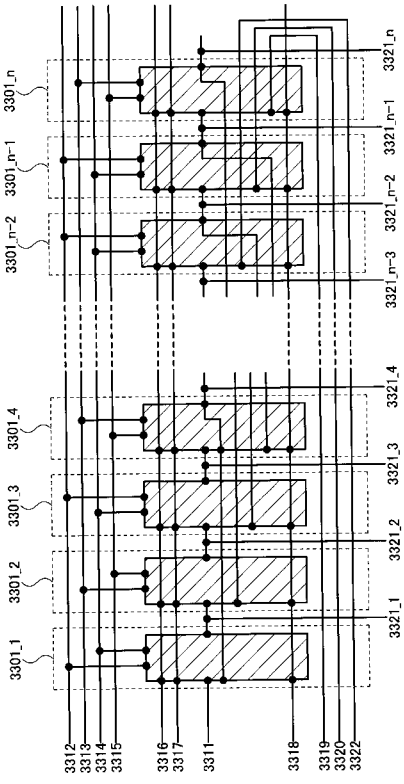
【図３２】



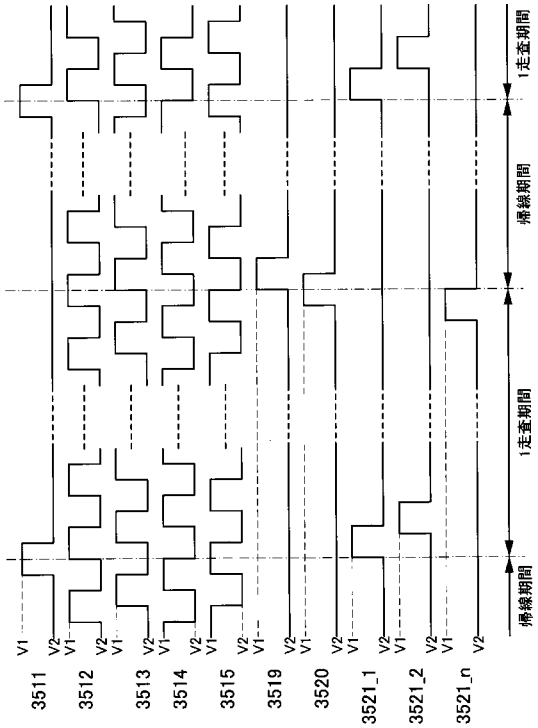
【図３３】



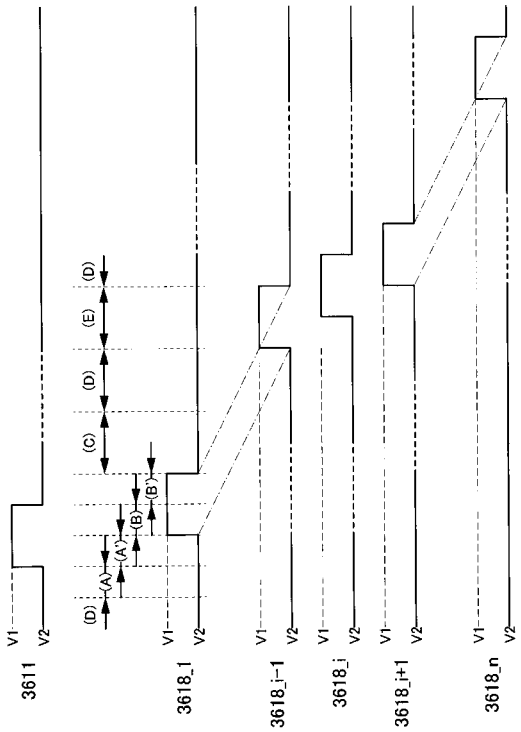
【図３４】



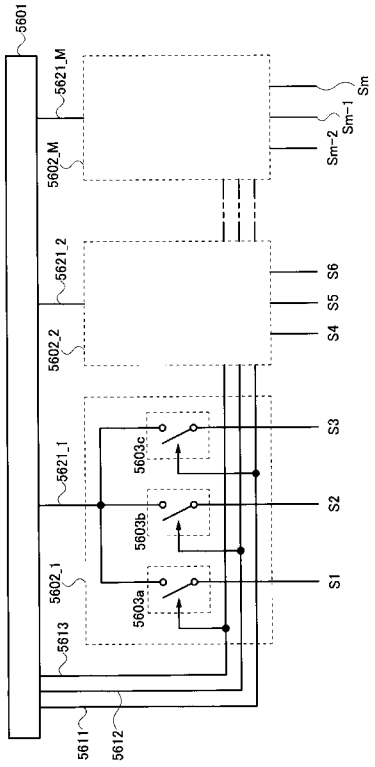
【図３５】



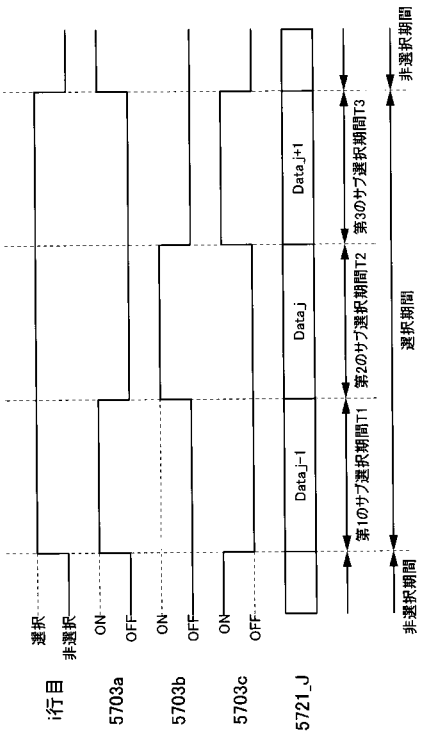
【図３６】



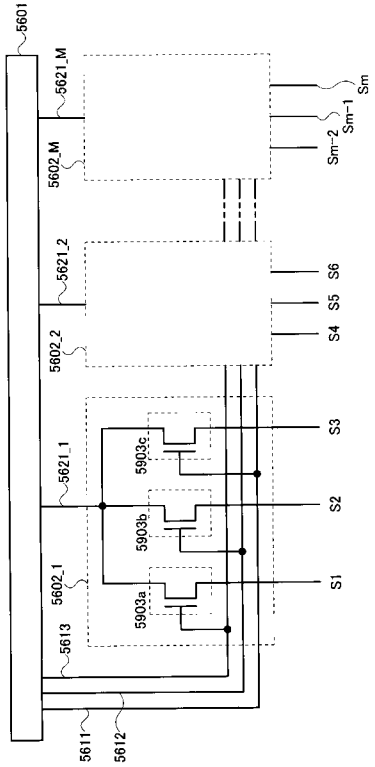
【図３７】



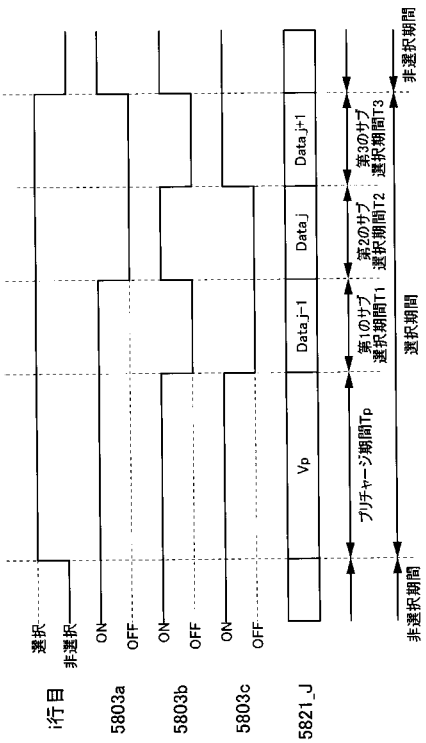
【図３８】



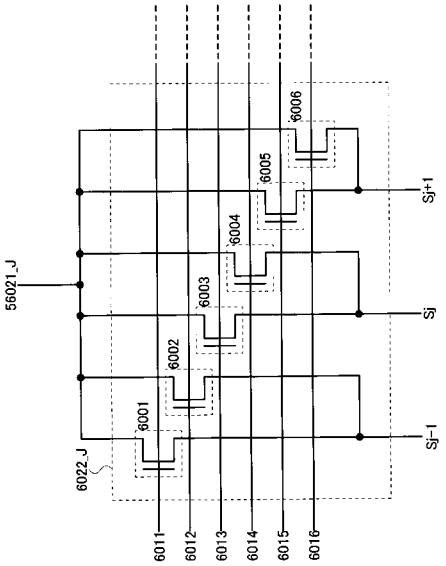
【図３９】



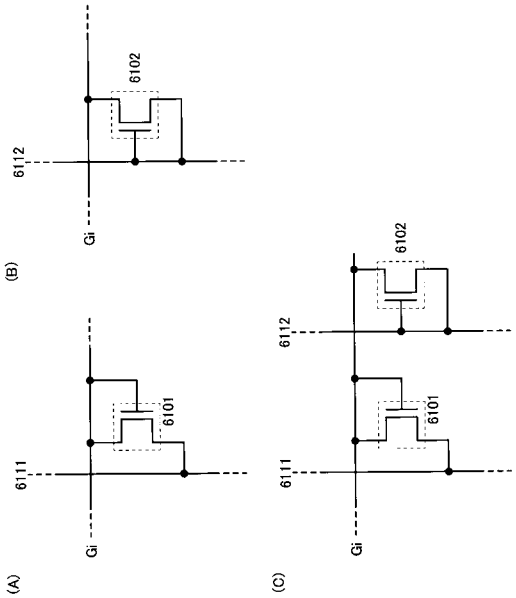
【図４０】



【図４１】

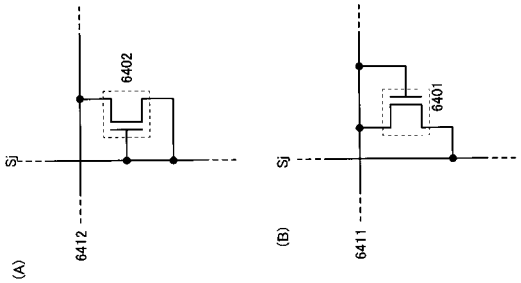


【図４２】

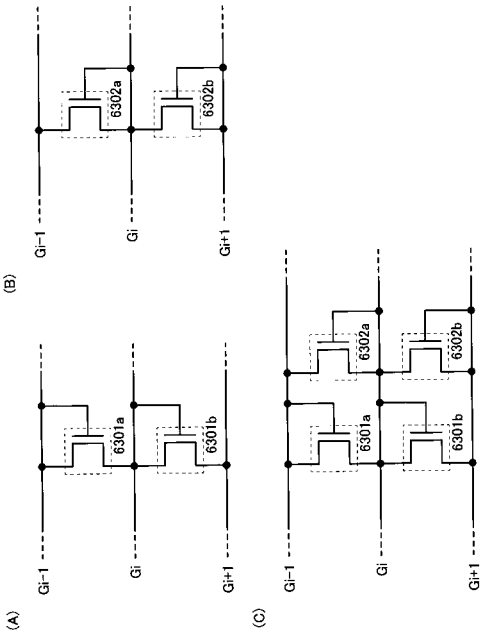


【図４３】

【図４４】

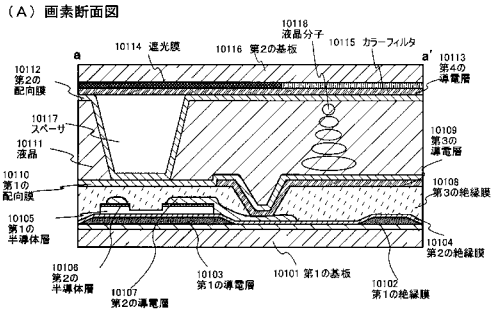


【図４５】

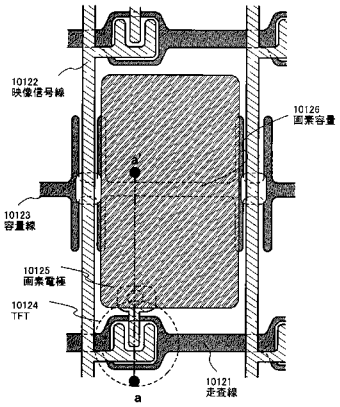


【図４６】

（Ａ）画素断面図

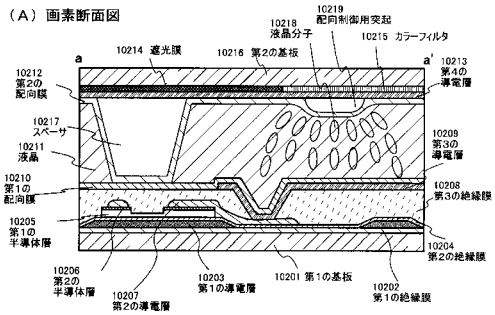


（Ｂ）画素上面図

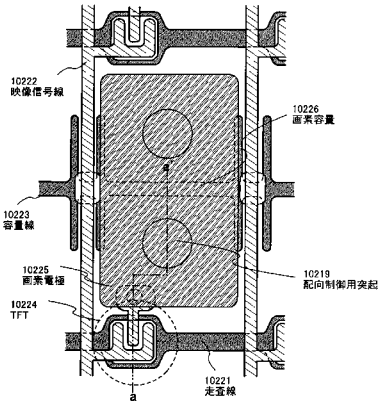


【図４７】

（Ａ）画素断面図

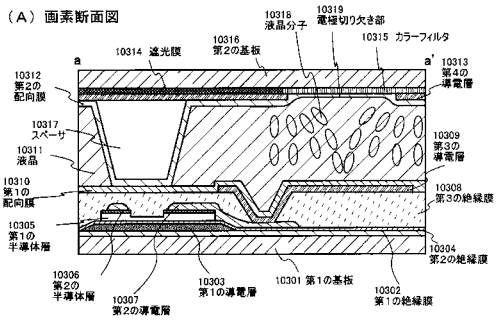


（Ｂ）画素上面図

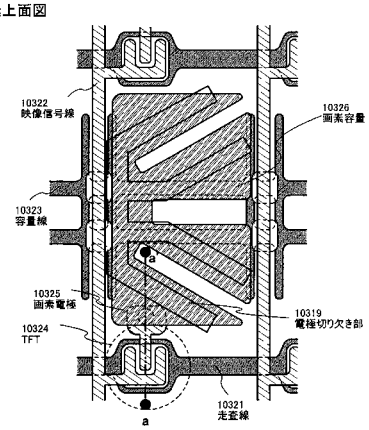


【図４８】

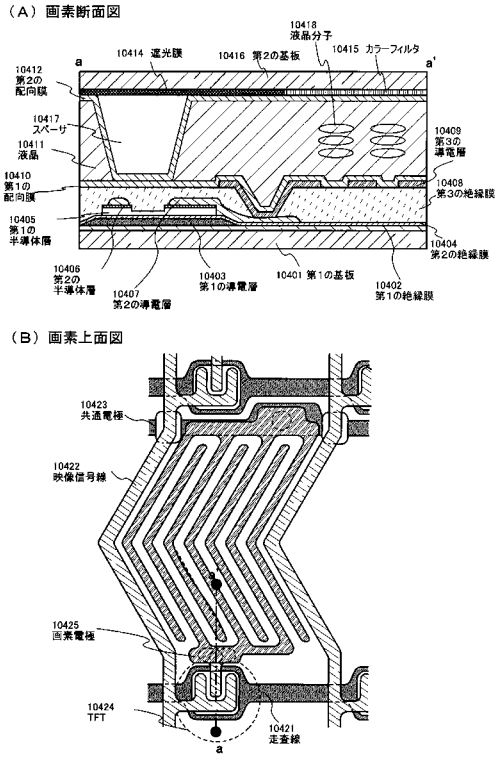
（Ａ）画素断面図



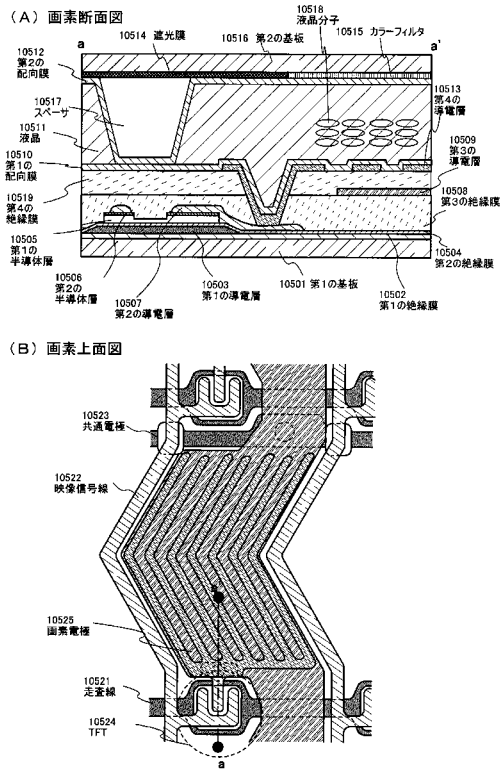
（Ｂ）画素上面図



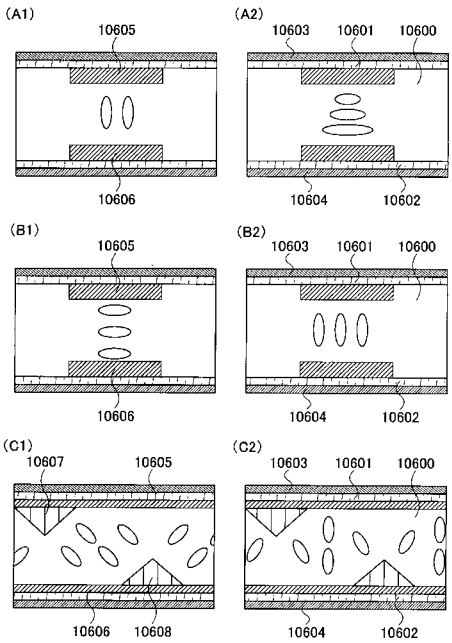
【図４９】



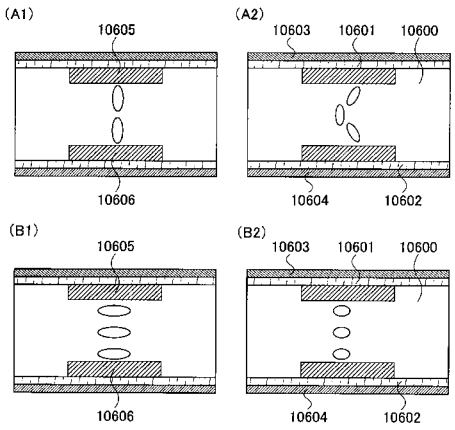
【図５０】



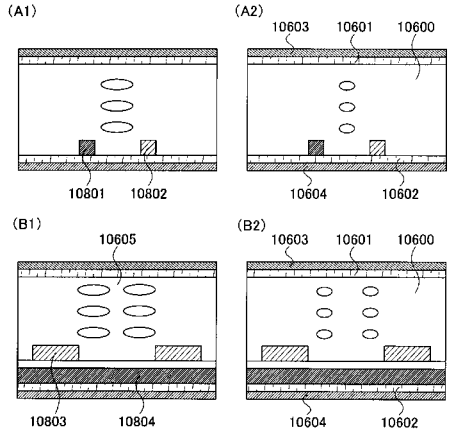
【図５１】



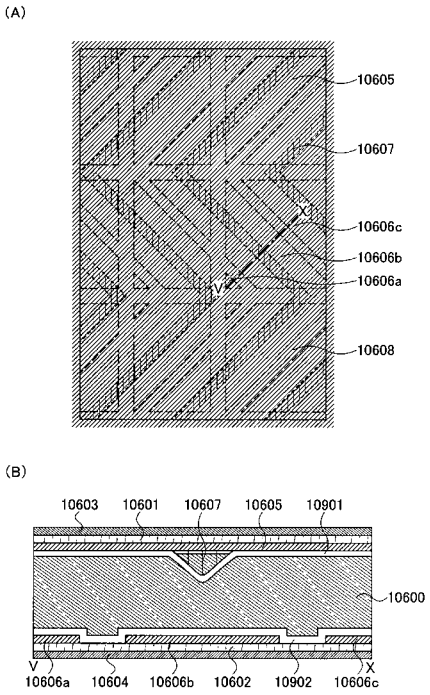
【図５２】



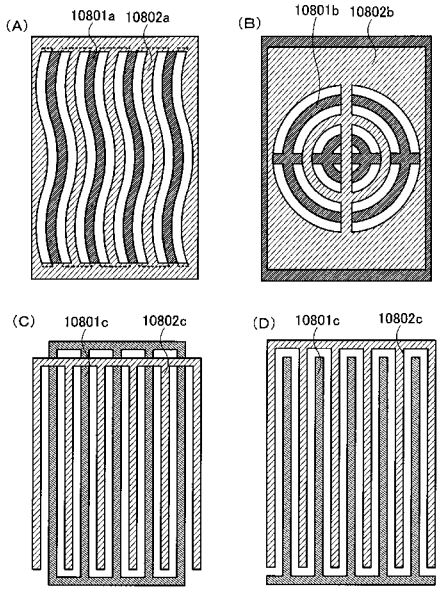
【図５３】



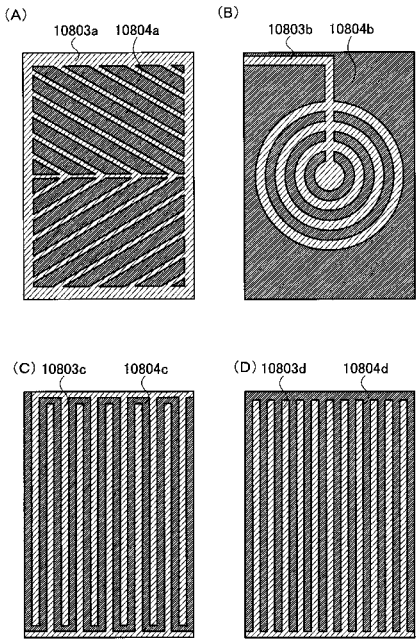
【図５４】



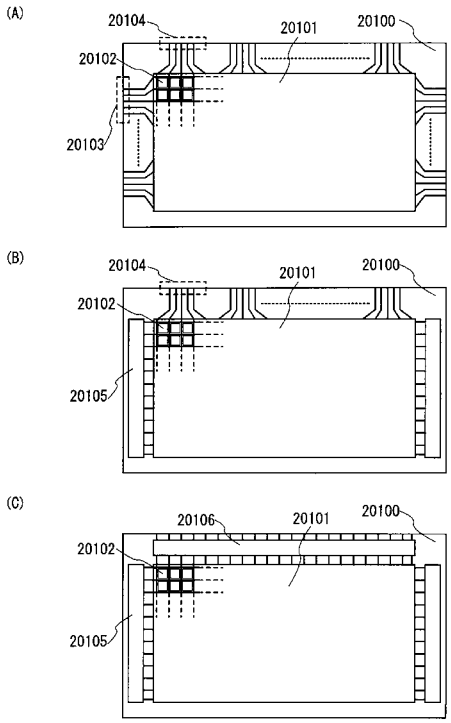
【図５５】



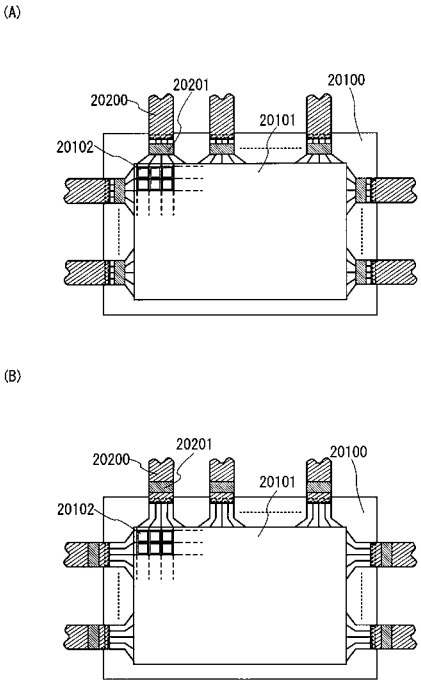
【図５６】



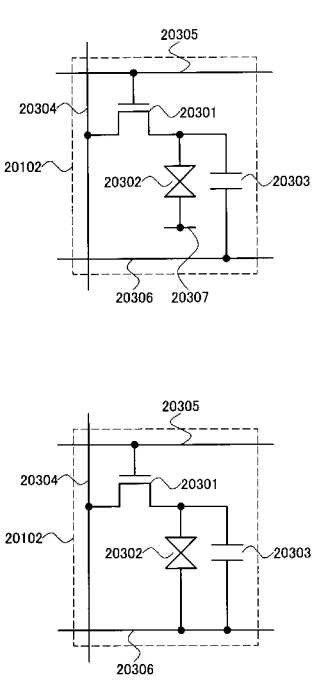
【図５７】



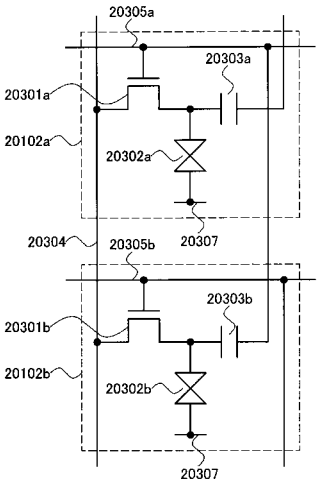
【図５８】



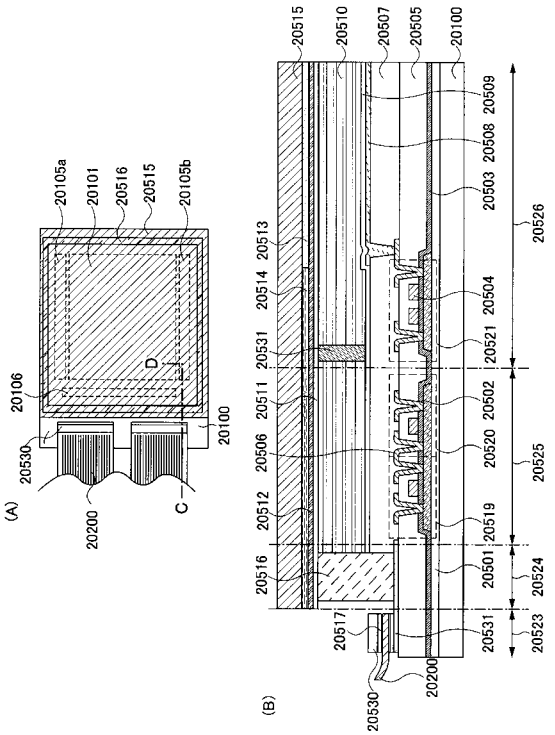
【図５９】



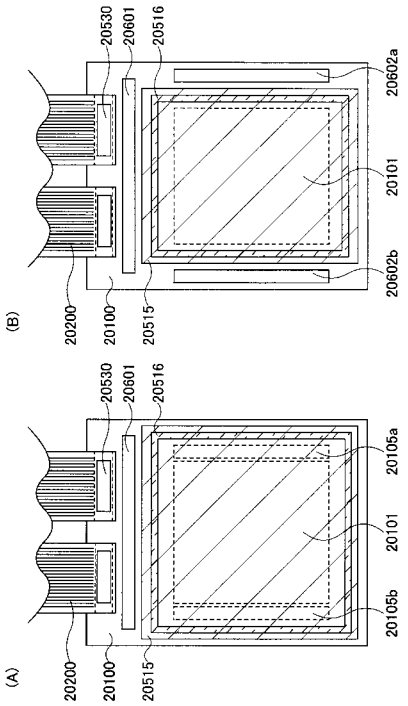
【図６０】



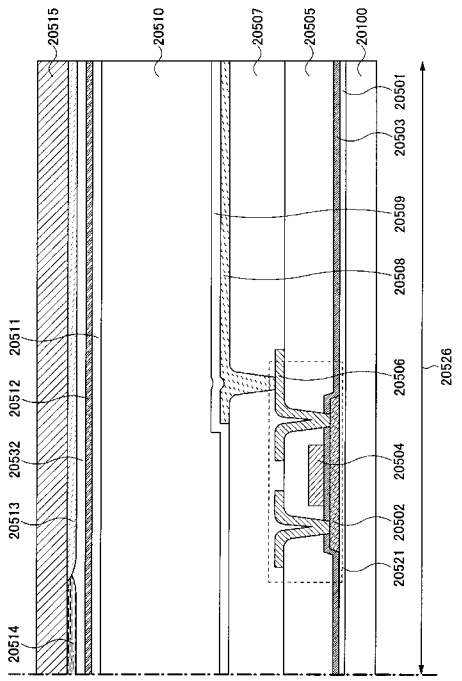
【図６１】



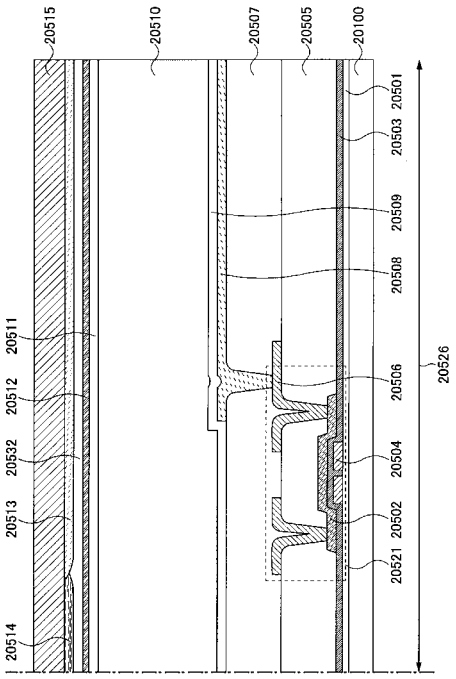
【図６２】



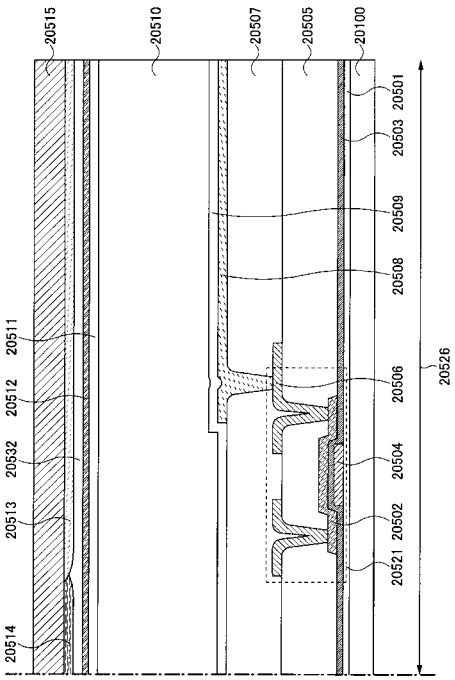
【図６３】



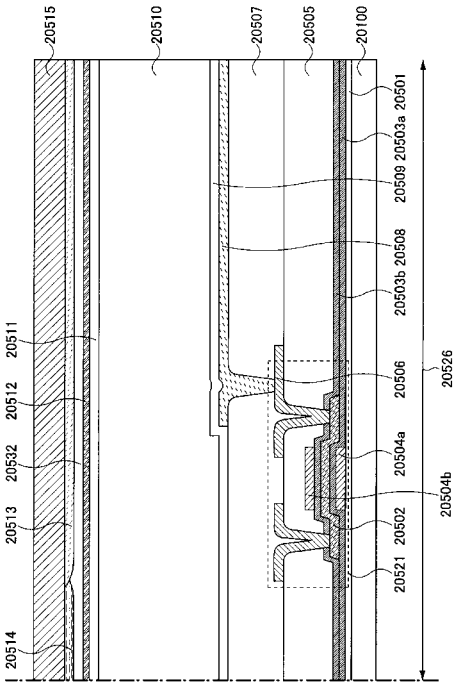
【図６４】



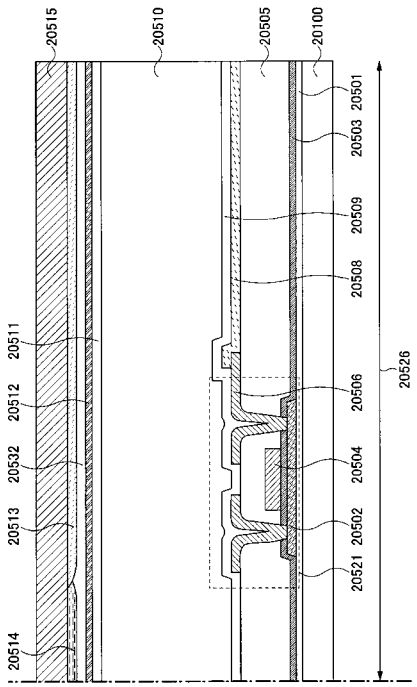
【図６５】



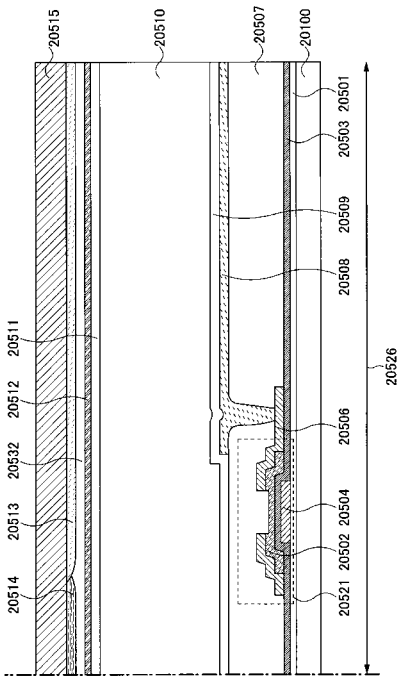
【図６６】



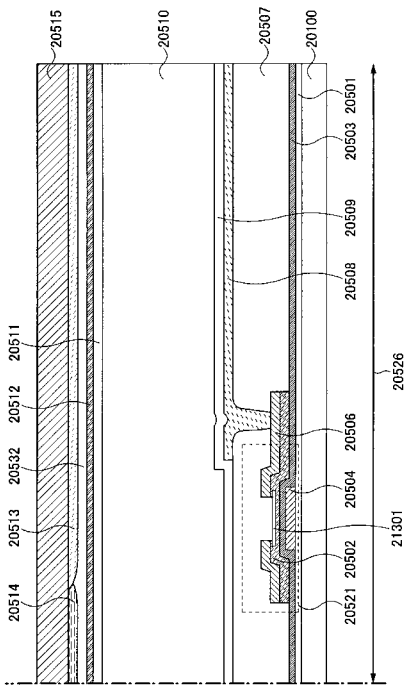
【図６７】



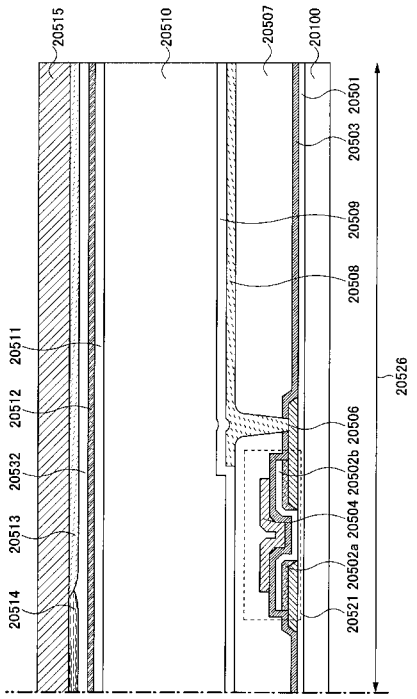
【図６８】



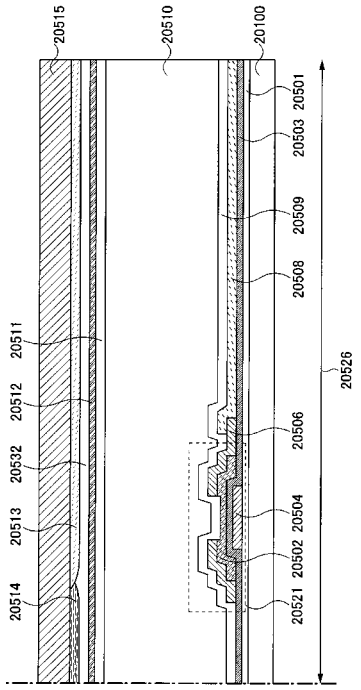
【図６９】



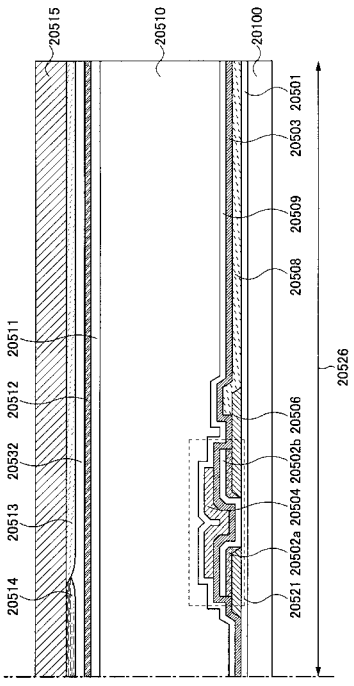
【図７０】



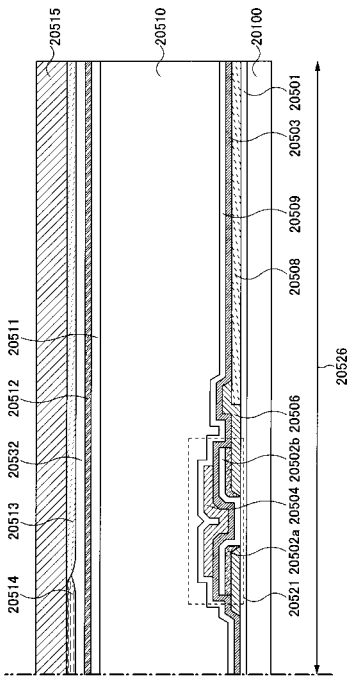
【図７１】



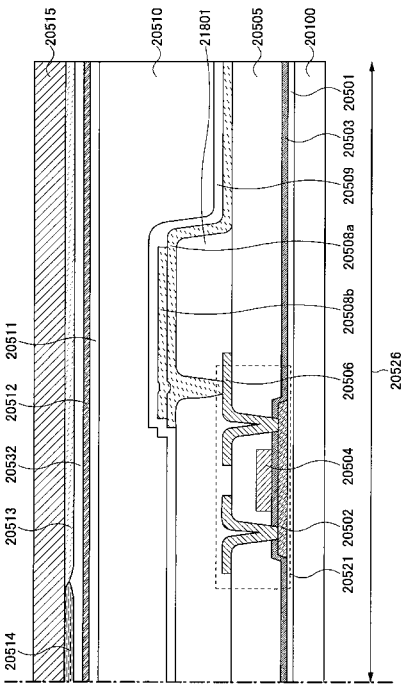
【図７２】



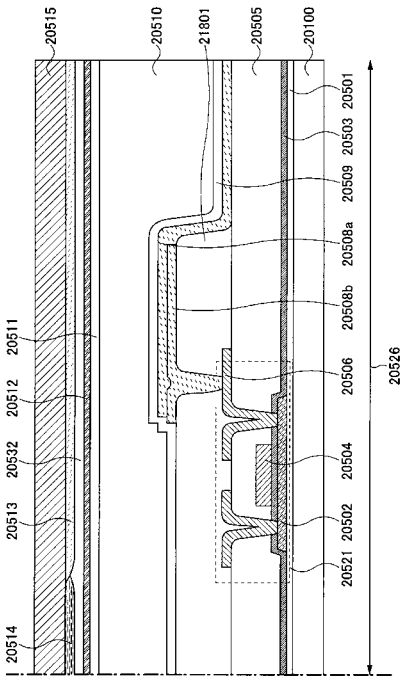
【図７３】



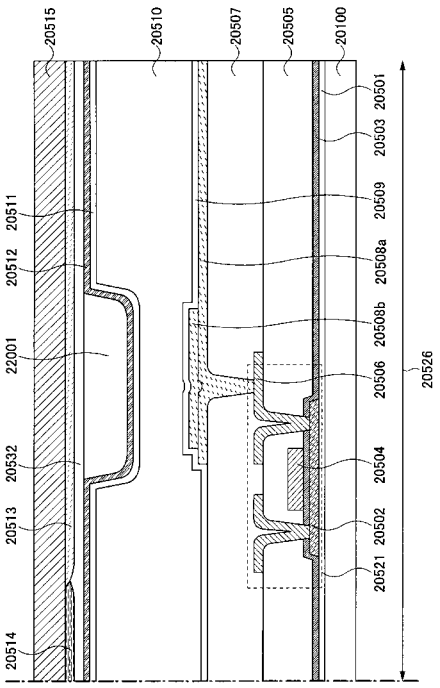
【図７４】



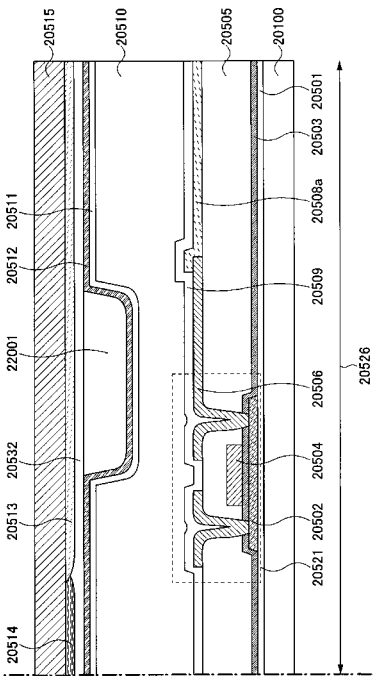
【図７５】



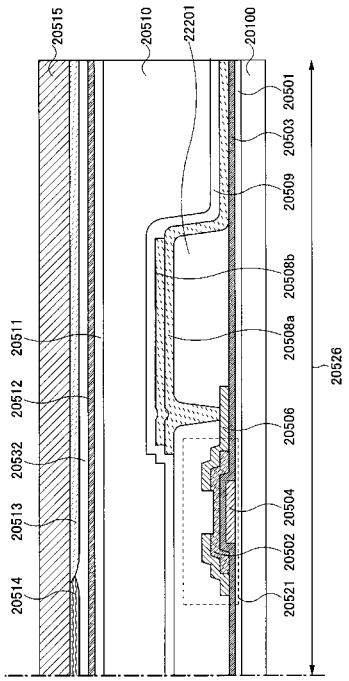
【図７６】



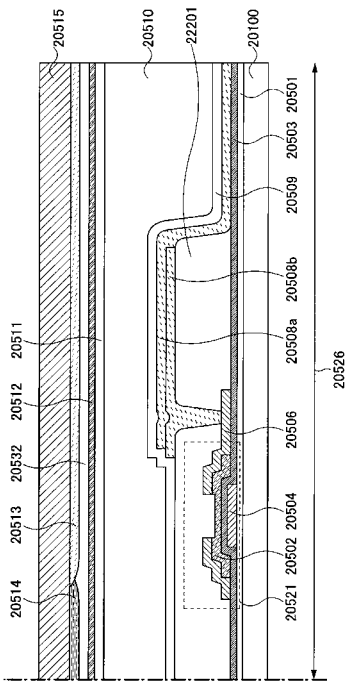
【図７７】



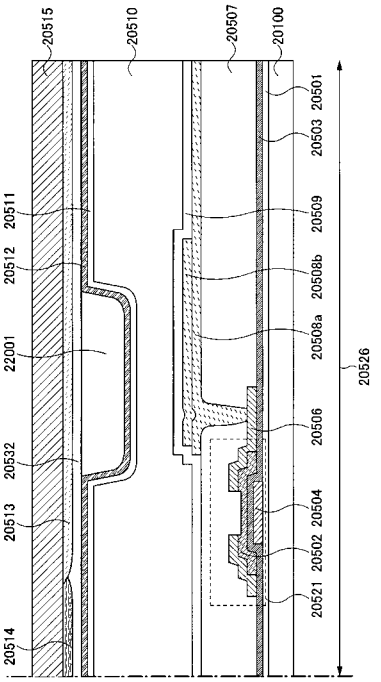
【図７８】



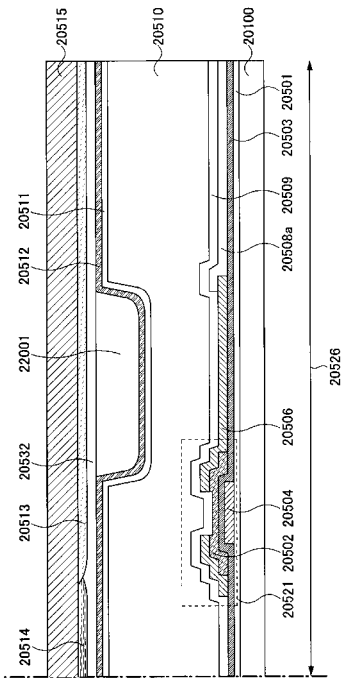
【図７９】



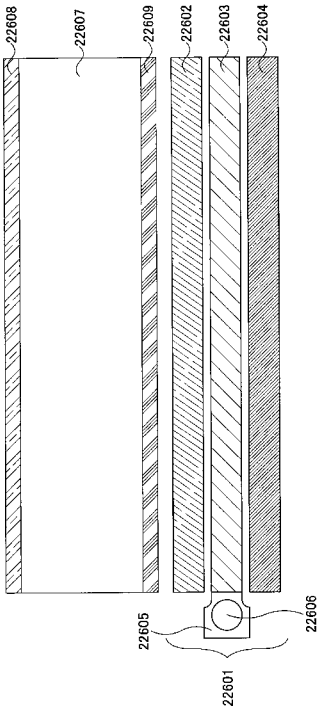
【図８０】



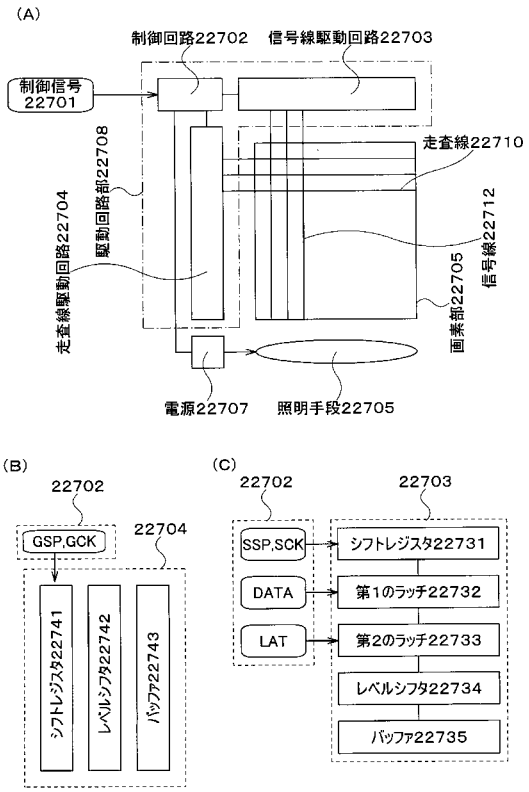
【図８１】



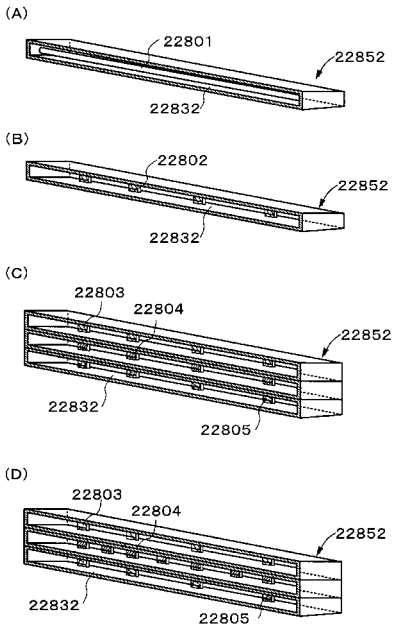
【図８２】



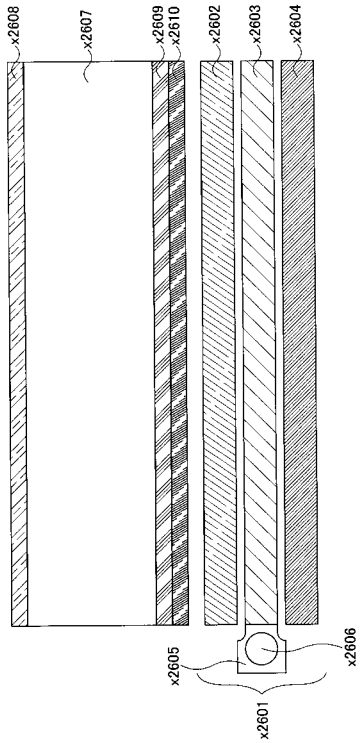
【図８３】



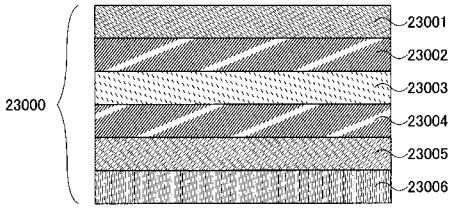
【図８４】



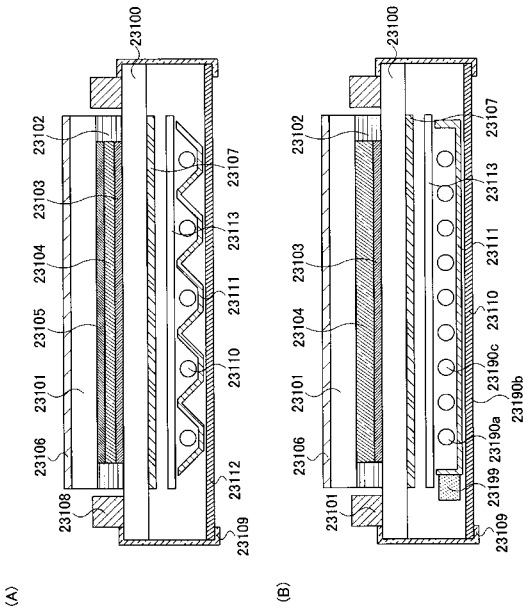
【図８５】



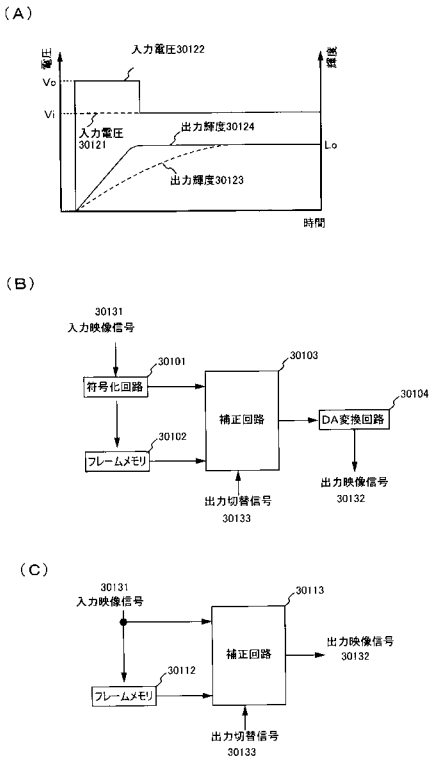
【図８６】



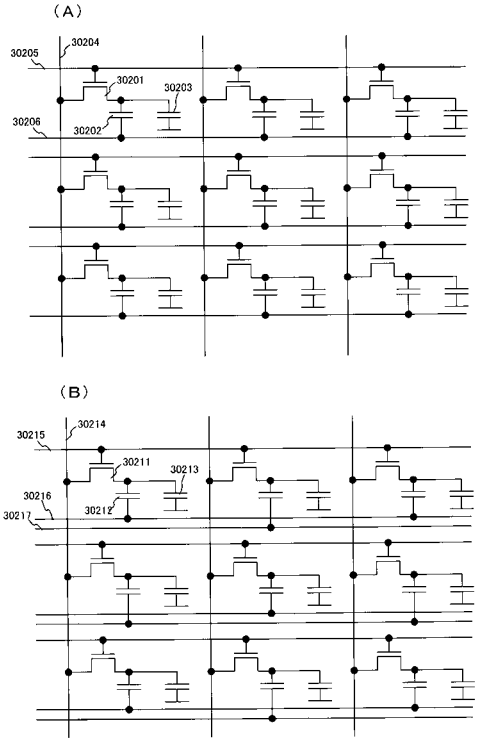
【図８７】



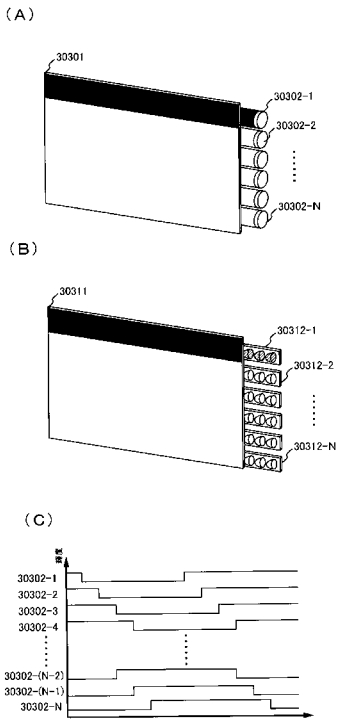
【図８８】



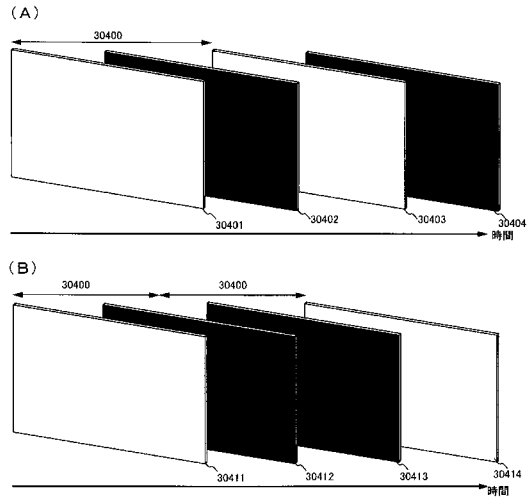
【図８９】



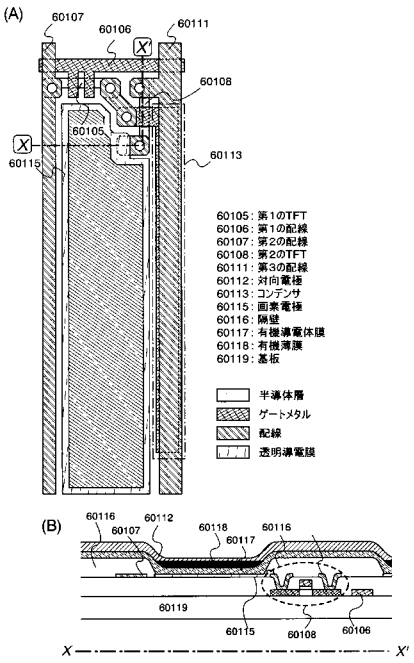
【図９０】



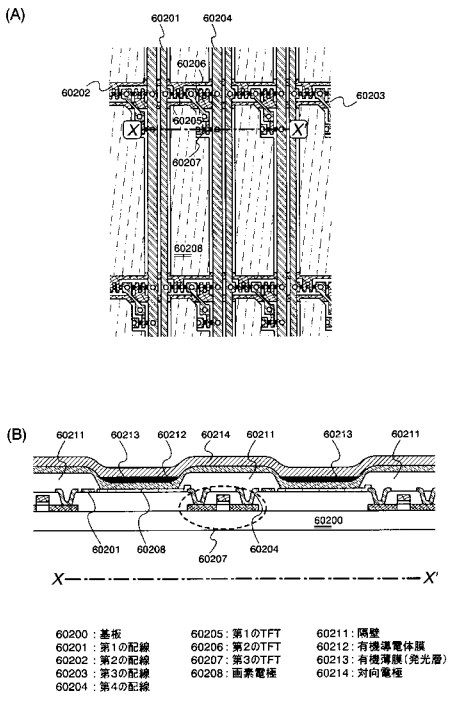
【図９１】



【図９２】

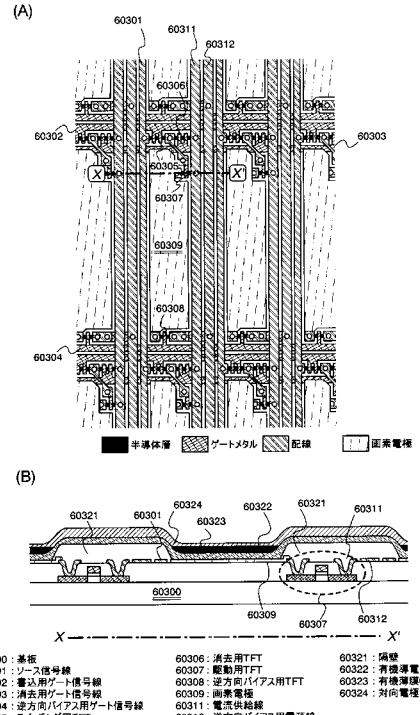


【図９３】



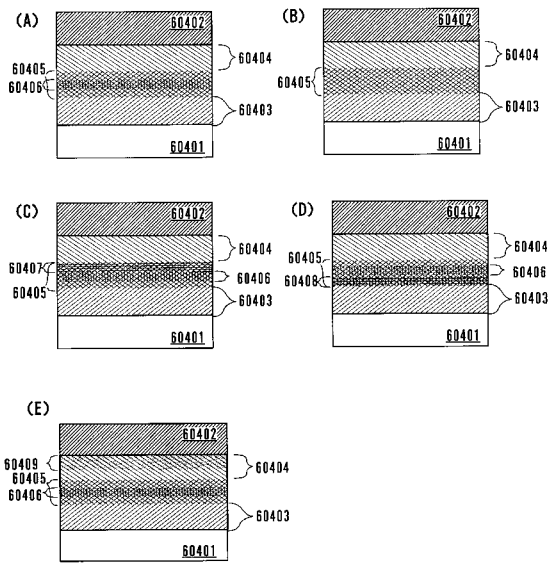
60200：基板
60201：第1の配線
60202：第2の配線
60203：第3の配線
60204：第4の配線
60205：第1のTFT
60206：第2のTFT
60207：第3のTFT
60208：画素電極
60211：隔壁
60212：有機導電体膜
60213：有機薄膜（発光層）
60214：対向電極

【図９４】

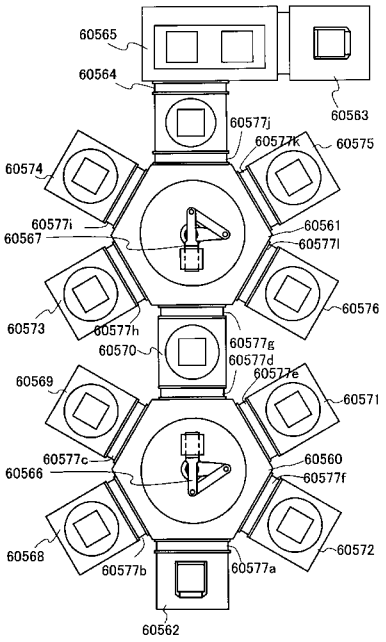


60300：基板
60301：ソース信号線
60302：書込用ゲート信号線
60303：消去用ゲート信号線
60304：逆方向バイアス用ゲート信号線
60305：スイッチング用TFT
60306：消去用TFT
60307：駆動用TFT
60308：逆方向バイアス用TFT
60309：画素電極
60311：電流供給線
60312：逆方向バイアス用電源線
60321：隔壁
60322：有機導電体膜
60323：有機薄膜（発光層）
60324：対向電極

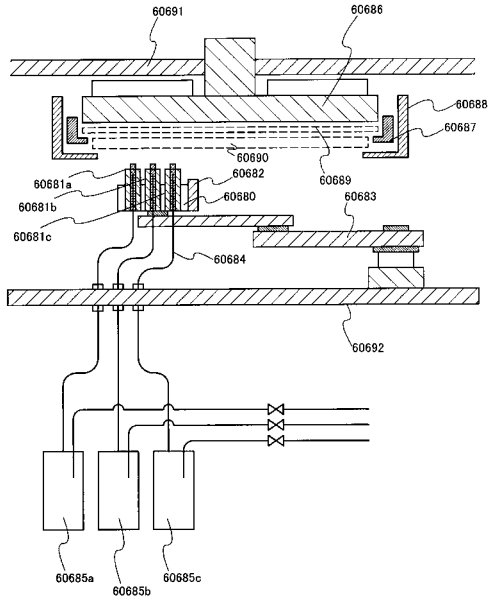
【図９５】



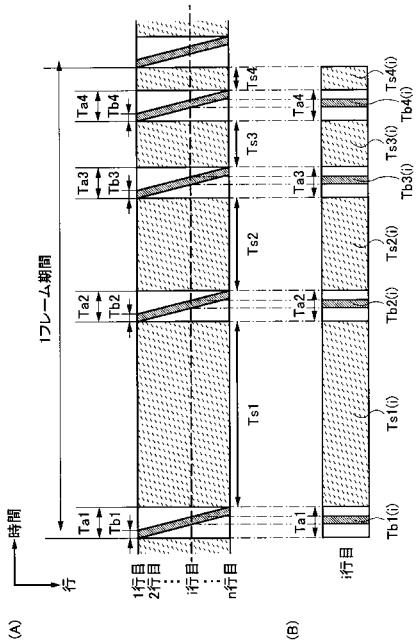
【図９６】



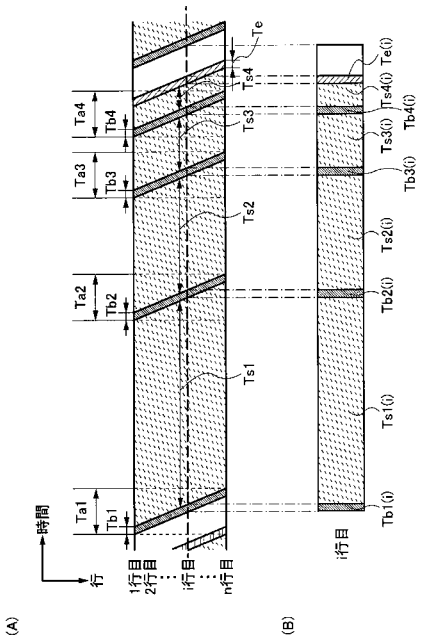
【図９７】



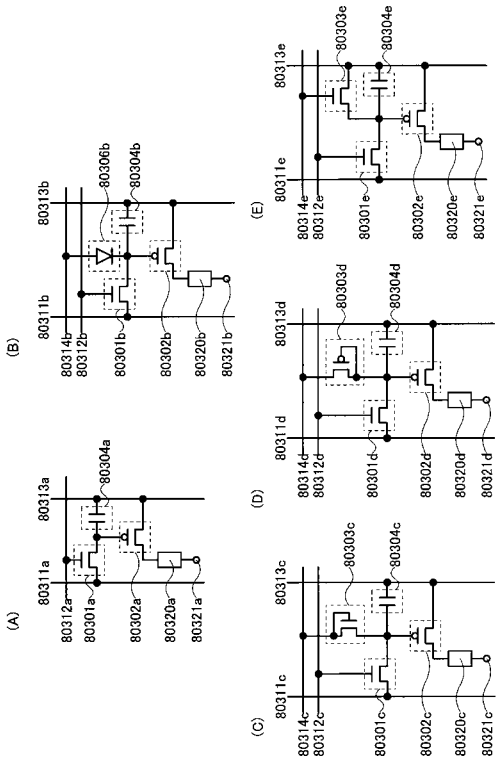
【図９８】



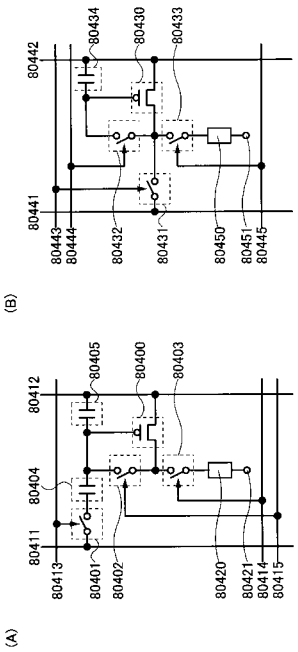
【図９９】



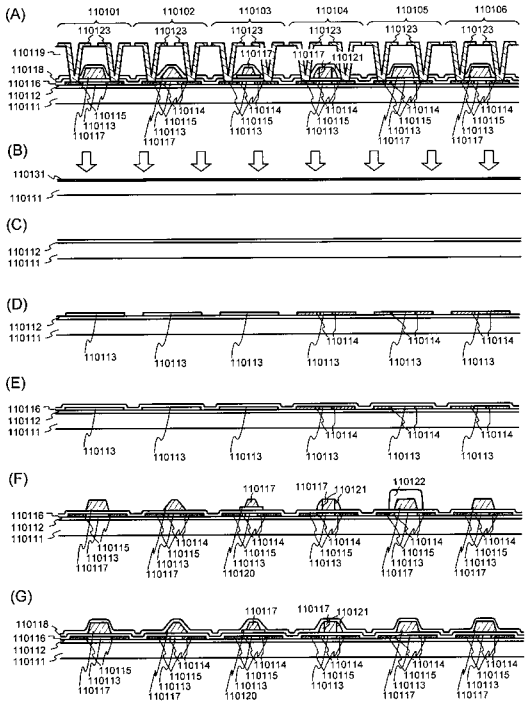
【図１００】



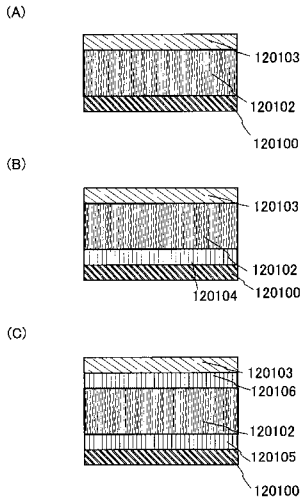
【図１０１】



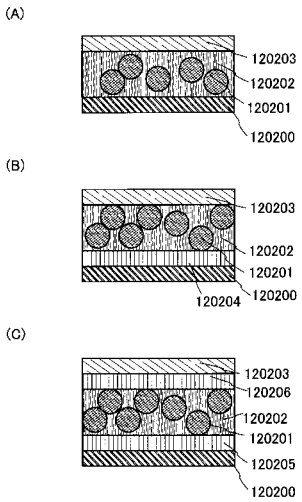
【図１０２】



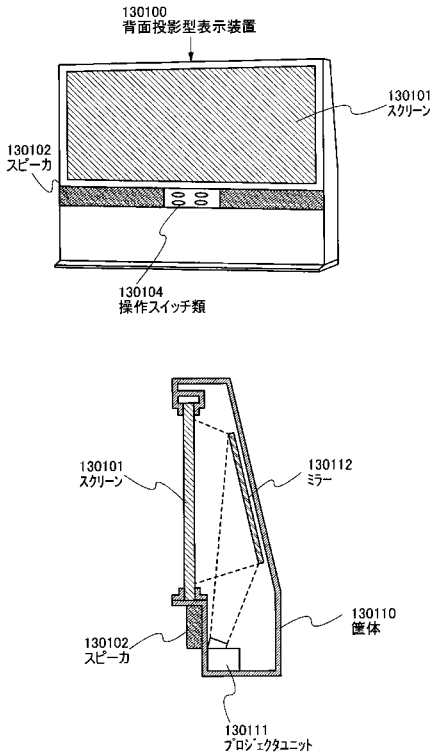
【図１０３】



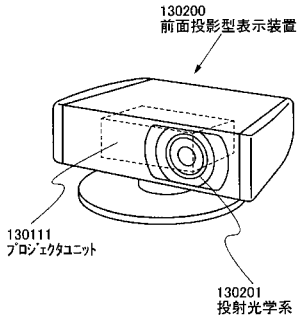
【図１０４】



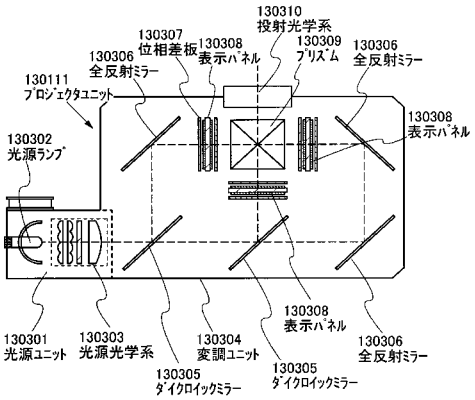
【図１０５】



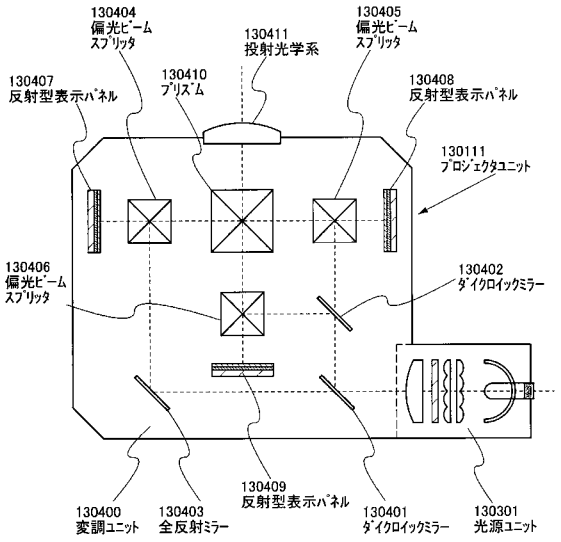
【図１０６】



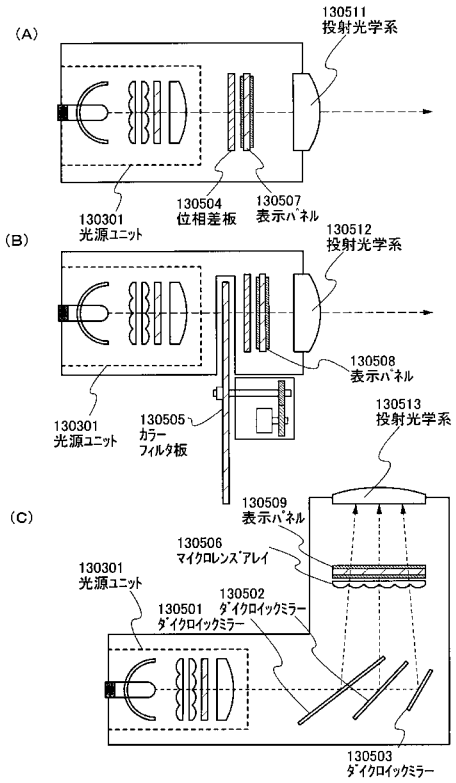
【図１０７】



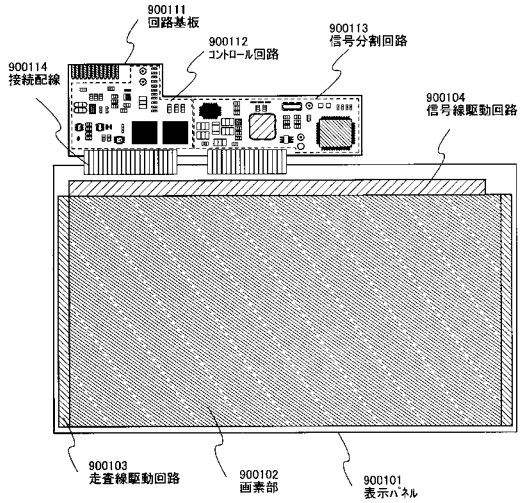
【図１０８】



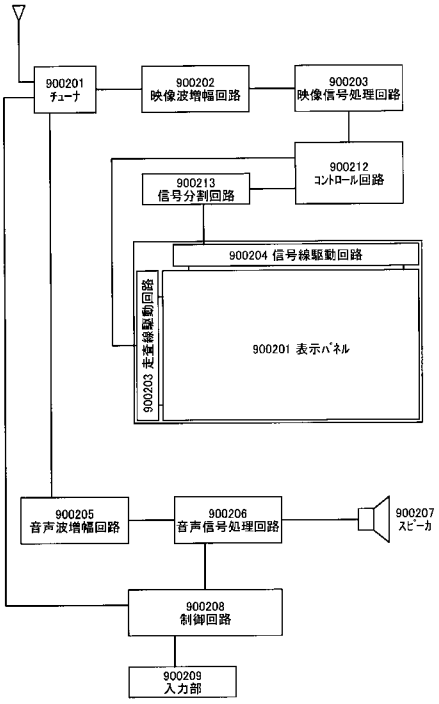
【図１０９】



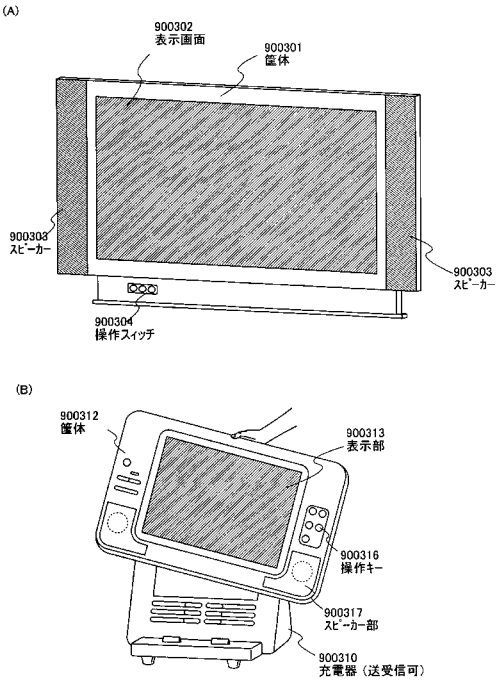
【図１１０】



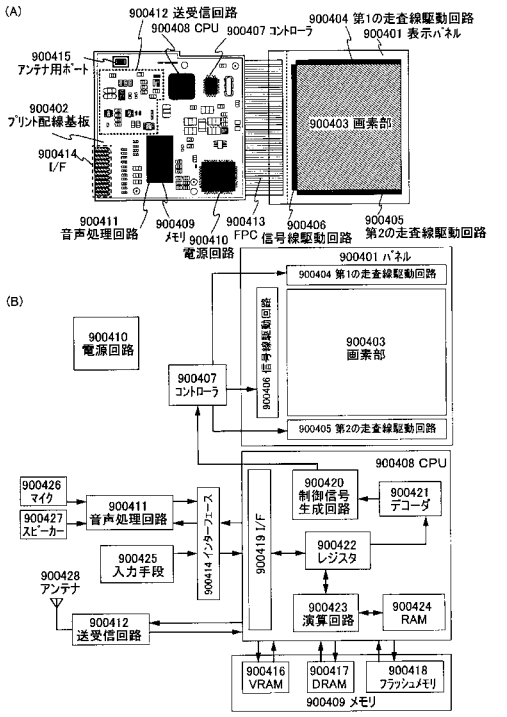
【図１１１】



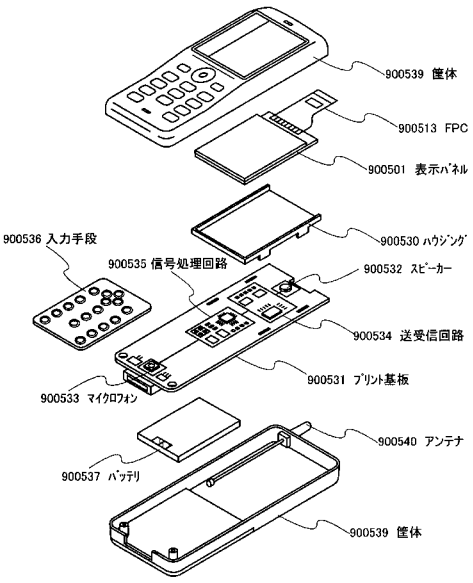
【図１１２】



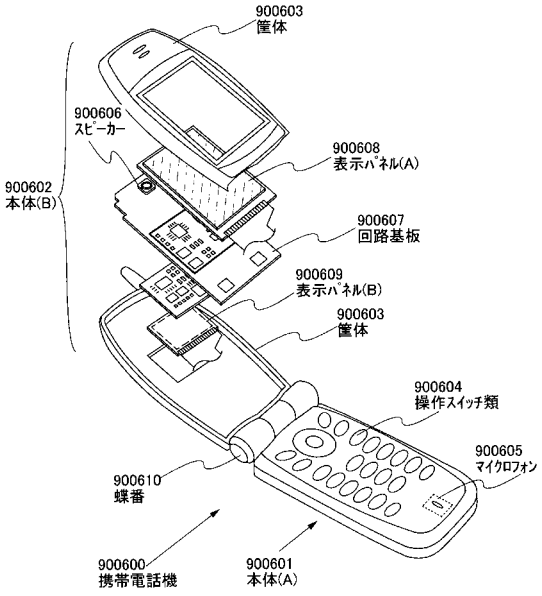
【図１１３】



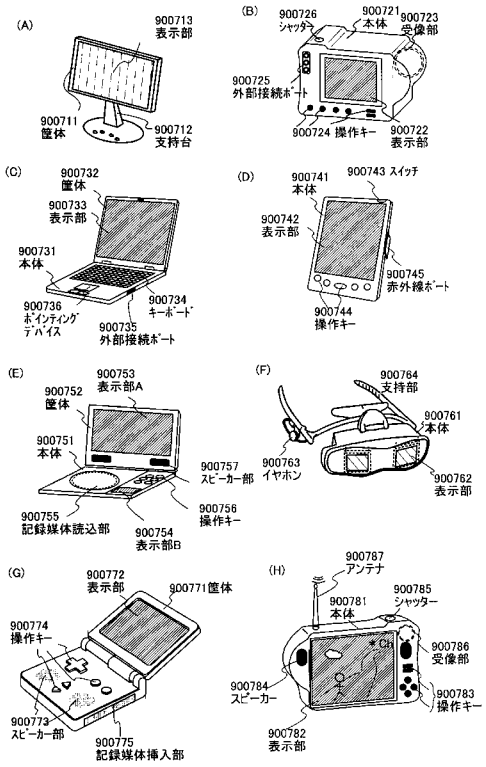
【図１１４】



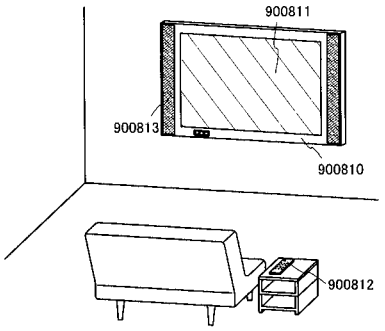
【図１１５】



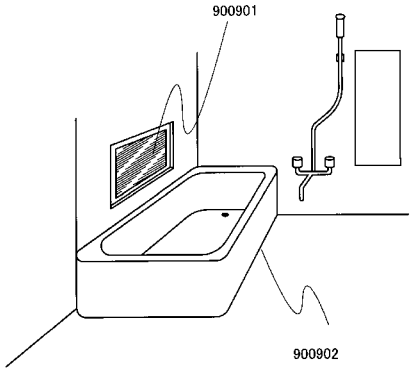
【図１１６】



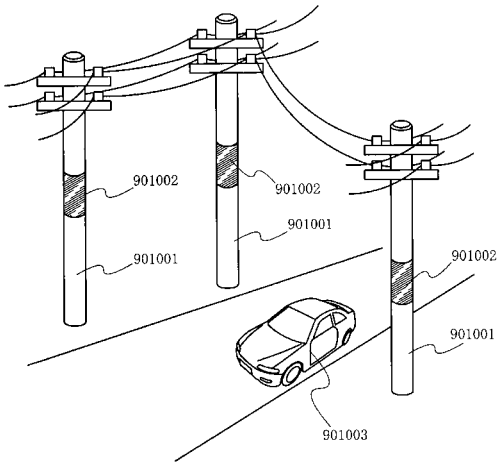
【図１１７】



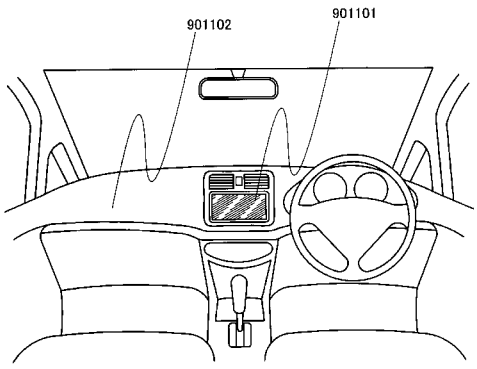
【図１１８】



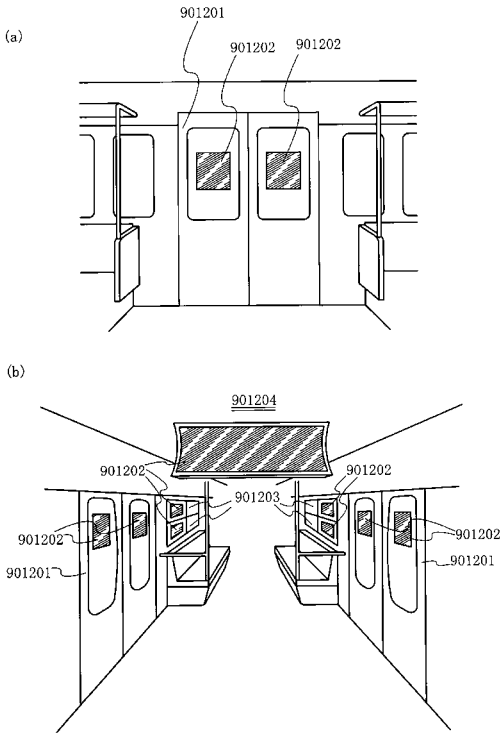
【図１１９】



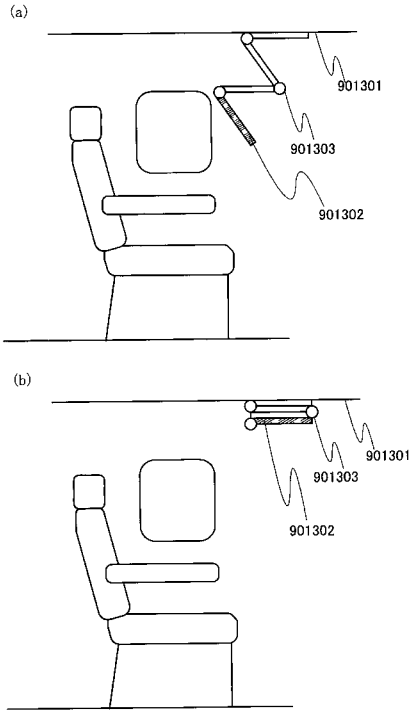
【図１２０】



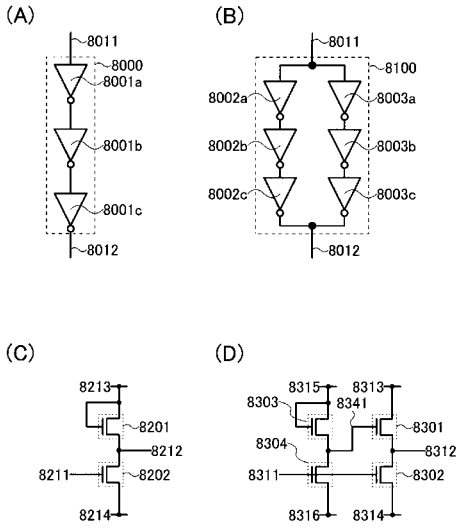
【図１２１】



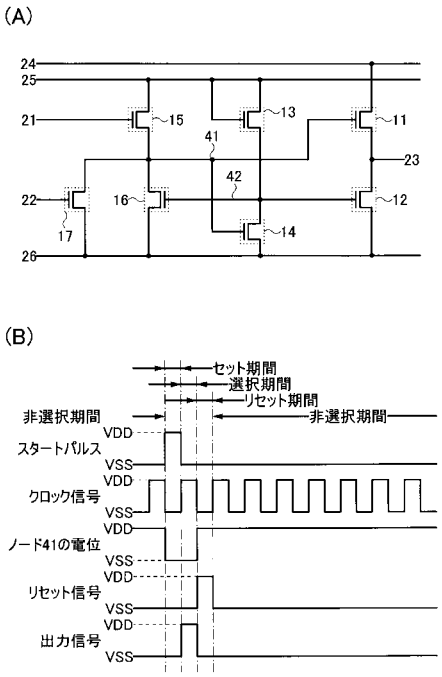
【図１２２】



【図１２３】



【図１２４】



フロントページの続き

Ｆターム(参考) 5C006 AA16 AA22 BB16 BC20 BF34 FA18
5C080 AA10 BB05 CC03 DD19 DD29 EE29 FF11 JJ02 JJ03 JJ04
JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008089874A5	公开(公告)日	2009-11-12
申请号	JP2006269689	申请日	2006-09-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	梅崎敦司		
发明人	梅崎 敦司		
IPC分类号	G09G3/36 G02F1/1345 G09G3/20 G02F1/133		
CPC分类号	G02F1/13624 G09G3/3677 G09G3/3688 G09G2300/0417 G09G2320/043 G09G2330/021 G11C19/28 H01L27/1255 H01L29/42384 H01L29/78696 G02F1/133345 G02F1/134309 G02F1/13454 G02F1/136286 G02F1/1368 G02F2202/103 G09G3/3266 G09G2300/0426 G09G2330/023 H01H71/02 H01H71/10 H01L27/105 H01L27/12 H01L27/1214 H01L27/1222 H01L27/124 H01L27/1251 H01L27/13 H01L27/3262 H01L27/3276 H01L29/78663 H01L29/78678		
FI分类号	G09G3/36 G02F1/1345 G09G3/20.670.J G09G3/20.622.B G02F1/133.505		
F-TERM分类号	2H092/GA11 2H092/GA14 2H092/JA24 2H092/JA25 2H092/JA26 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB58 2H092/MA08 2H092/MA13 2H092/MA17 2H092/NA25 2H092/NA26 2H092/NA27 2H092/PA03 2H092/PA06 2H092/PA08 2H092/PA11 2H092/PA13 2H092/QA07 2H092/RA05 2H093/NA33 2H093/NC01 2H093/NC09 2H093/NC10 2H093/NC11 2H093/NC12 2H093/NC22 2H093/NC34 2H093/ND39 2H093/ND54 2H093/ND60 2H093/NE03 2H093/NE04 2H093/NF05 5C006/AA16 5C006/AA22 5C006/BB16 5C006/BC20 5C006/BF34 5C006/FA18 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD19 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZC15 2H193/ZF01 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZP03 2H193/ZP04 2H193/ZQ06 5B074/AA01 5B074/AA02 5B074/AA03 5B074/CA01 5B074/DB01 5B074/EA01		
其他公开文献	JP2008089874A JP5116277B2		

摘要(译)

要解决的问题：为了解决构成用于产生AC脉冲的电路的晶体管在使用非晶硅作为晶体管的半导体层时通过晶体管的阈值的移位而必然引起阈值电压的偏移的问题。相对于使用液晶等的显示装置的驱动方法，通过将AC脉冲施加到该晶体管的栅极来抑制容易劣化。解决方案：通过导通的晶体管将信号输入到易于劣化的晶体管的栅极电极，由此抑制了容易劣化的晶体管的阈值电压的偏移和导通的晶体管的偏移。也就是说，液晶显示装置包括这样的配置：通过施加有高电位（VDD）的晶体管（或具有电阻分量的元件）将AC脉冲施加到容易劣化的晶体管的栅电极。到其栅电极。Ž