

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2008-9418
(P2008-9418A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int.Cl.			F I			テーマコード (参考)		
G09G	3/36	(2006.01)	G09G	3/36		2H092		
G09F	9/30	(2006.01)	G09F	9/30	338	2H093		
H01L	21/3205	(2006.01)	H01L	21/88	Z	5C006		
H01L	23/52	(2006.01)	H01L	29/78	612B	5C080		
H01L	29/786	(2006.01)	H01L	29/78	614	5C094		
審査請求 未請求 請求項の数 13 O L (全 89 頁) 最終頁に続く								
(21) 出願番号 特願2007-143414 (P2007-143414)			(71) 出願人 000153878					
(22) 出願日 平成19年5月30日 (2007. 5. 30)			株式会社半導体エネルギー研究所					
(31) 優先権主張番号 特願2006-155460 (P2006-155460)			神奈川県厚木市長谷398番地					
(32) 優先日 平成18年6月2日 (2006. 6. 2)			(72) 発明者 木村 肇					
(33) 優先権主張国 日本国 (JP)			神奈川県厚木市長谷398番地 株式会社					
			半導体エネルギー研究所内					
			(72) 発明者 梅崎 敦司					
			神奈川県厚木市長谷398番地 株式会社					
			半導体エネルギー研究所内					
			Fターム(参考) 2H092 GA59 GA60 JA23 JA24 JA28					
			JA34 JA37 JA41 NA29 NA30					
			PA06					
			2H093 NA16 NC09 NC11 NC16 NC34					
			NC35 ND39 ND54					
			最終頁に続く					

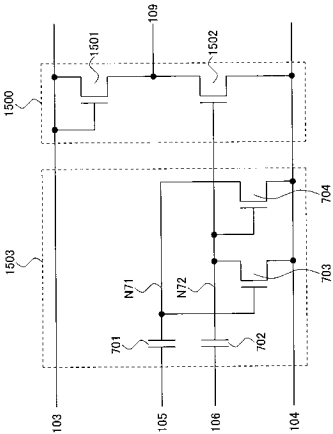
(54) 【発明の名称】 液晶表示装置、液晶表示装置を具備した電子機器

(57) 【要約】

【課題】 入力信号のHレベルとLレベルとを同時にレベルシフトすることができ、且つ低コストで製造できるレベルシフト、及びレベルシフトを具備する表示装置を提供することを目的とする。

【解決手段】 単一の導電型のトランジスタで構成されたオフセット回路を用いて、入力信号をオフセットする。そして、オフセットされた入力信号をオフセット回路と同じ導電型のトランジスタで構成された論理回路に供給することによって、入力信号のHレベルとLレベルとを同時にレベルシフトすることができる。また、オフセット回路と論理回路は単一の導電型のトランジスタで構成されているため、表示装置を低コストで製造することができる。

【選択図】 図15



【特許請求の範囲】

【請求項 1】

液晶素子を有する画素と、駆動回路とを有し、
前記駆動回路は、第 1 の容量素子と、第 2 の容量素子と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタとを有し、
前記第 1 の容量素子の第 1 電極が第 3 の配線に電氣的に接続され、前記第 2 の容量素子の第 1 電極が第 4 の配線に電氣的に接続され、
前記第 1 のトランジスタのゲートが前記第 1 の容量素子の第 2 電極に電氣的に接続され、
前記第 1 のトランジスタの第 1 端子が第 2 の配線に電氣的に接続され、前記第 1 のトランジスタの第 2 端子が前記第 2 の容量素子の第 2 電極に電氣的に接続され、
前記第 2 のトランジスタのゲートが前記第 2 の容量素子の第 2 電極に電氣的に接続され、
前記第 2 のトランジスタの第 1 端子が前記第 2 の配線に電氣的に接続され、前記第 2 のトランジスタの第 2 端子が前記第 1 の容量素子の第 2 電極に電氣的に接続され、
前記第 3 のトランジスタのゲートが前記第 2 の容量素子の第 2 電極に電氣的に接続され、
前記第 3 のトランジスタの第 1 端子が前記第 2 の配線に電氣的に接続され、前記第 3 のトランジスタの第 2 端子が第 5 の配線に電氣的に接続され、
前記第 4 のトランジスタのゲート及び第 1 の端子が第 1 の配線に電氣的に接続され、前記前記第 4 のトランジスタの第 2 端子が第 5 の配線に電氣的に接続されていることを特徴とする液晶表示装置。

10

【請求項 2】

20

請求項 1 において、
前記第 1 のトランジスタ乃至前記第 4 のトランジスタは同じ導電型のトランジスタであることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記第 1 のトランジスタ乃至前記第 4 のトランジスタは P チャネル型トランジスタであり、
前記第 1 の配線の電位は前記第 2 の配線の電位よりも高いことを特徴とする液晶表示装置。

【請求項 4】

30

請求項 1 または請求項 2 において、
前記第 1 のトランジスタ乃至前記第 4 のトランジスタは N チャネル型トランジスタであり、
前記第 1 の配線の電位は前記第 2 の配線の電位よりも低いことを特徴とする液晶表示装置。

【請求項 5】

液晶素子を有する画素と、駆動回路とを有し、
前記駆動回路は、第 1 の容量素子と、第 2 の容量素子と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタとを有し、
前記第 1 の容量素子の第 1 電極が第 3 の配線に電氣的に接続され、前記第 2 の容量素子の第 1 電極が第 4 の配線に電氣的に接続され、
前記第 1 のトランジスタのゲートが前記第 1 の容量素子の第 2 電極に電氣的に接続され、
前記第 1 のトランジスタの第 1 端子が第 2 の配線に電氣的に接続され、前記第 1 のトランジスタの第 2 端子が前記第 2 の容量素子の第 2 電極に電氣的に接続され、
前記第 2 のトランジスタのゲートが前記第 2 の容量素子の第 2 電極に電氣的に接続され、
前記第 2 のトランジスタの第 1 端子が前記第 2 の配線に電氣的に接続され、前記第 2 のトランジスタの第 2 端子が前記第 1 の容量素子の第 2 電極に電氣的に接続され、
前記第 3 のトランジスタのゲートが前記第 2 の容量素子の第 2 電極に電氣的に接続され、
前記第 3 のトランジスタの第 1 端子が前記第 2 の配線に電氣的に接続され、前記第 3 のト

40

50

ランジスタの第2端子が第5の配線に電氣的に接続され、
前記第4のランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、前記第4のランジスタの第2端子が前記第5の配線に電氣的に接続され、
前記第5のランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、
前記第5のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第5のランジスタの第2の端子が第6の配線に電氣的に接続され、
前記第6のランジスタのゲート及び第1端子が前記第1の配線に電氣的に接続され、前記第6のランジスタの第2端子が前記第6の配線に電氣的に接続されていることを特徴とする液晶表示装置。

【請求項6】

10

請求項5において、
前記第1のランジスタ乃至前記第6のランジスタは同じ導電型のランジスタであることを特徴とする液晶表示装置。

【請求項7】

請求項5または請求項6において、
前記第1のランジスタ乃至前記第6のランジスタはPチャネル型ランジスタであり、
前記第1の配線の電位が前記第2の配線の電位よりも高いことを特徴とする液晶表示装置。

【請求項8】

20

請求項5または請求項6において、
前記第1のランジスタ乃至前記第6のランジスタはNチャネル型ランジスタであり、
第1の配線の電位が第2の配線の電位よりも低いことを特徴とする液晶表示装置。

【請求項9】

液晶素子を有する画素と、駆動回路とを有し、
前記駆動回路は、第1の容量素子と、第2の容量素子と、第1のランジスタと、第2のランジスタと、第3のランジスタと、第4のランジスタと、第5のランジスタと、第6のランジスタとを有し、

前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、

30

前記第1のランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、
前記第1のランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、

前記第2のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、
前記第2のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、

前記第3のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、
前記第3のランジスタの第1端子が前記第2の配線に電氣的に接続され、

前記第4のランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、前記第4のランジスタの第2端子が前記第3のランジスタの第2端子に電氣的に接続され、

40

前記第5のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、
前記第5のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第5のランジスタの第2端子が第5の配線に電氣的に接続され、

前記第6のランジスタのゲートが前記第3のランジスタの第2端子及び前記第4のランジスタの第2端子に電氣的に接続され、前記第6のランジスタの第1端子が前記第1の配線に電氣的に接続され、前記第6のランジスタの第2端子が前記第5の配線に電氣的に接続されていることを特徴とする液晶表示装置。

【請求項10】

請求項9において、

50

前記第 1 のトランジスタ乃至前記第 6 のトランジスタは同じ導電型のトランジスタであることを特徴とする液晶表示装置。

【請求項 1 1】

請求項 9 または請求項 1 0 において、

前記第 1 のトランジスタ乃至前記第 6 のトランジスタは P チャネル型トランジスタであり、

第 1 の配線の電位が第 2 の配線の電位よりも高いことを特徴とする液晶表示装置。

【請求項 1 2】

請求項 9 または請求項 1 0 において、

前記第 1 のトランジスタ乃至前記第 6 のトランジスタは N チャネル型トランジスタであり 10

、第 1 の配線の電位が第 2 の配線の電位よりも低いことを特徴とする液晶表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一項に記載の液晶表示装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置及び半導体装置の駆動方法に関する。また、半導体装置を具備する表示装置、特に半導体装置を具備する液晶表示装置、及び当該液晶表示装置を具備する電子機器に関する。 20

【背景技術】

【0 0 0 2】

近年、液晶表示装置や発光装置などの表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に絶縁体上に非結晶半導体により形成されたトランジスタを用いて、画素回路、及びシフトレジスタ回路等を含む駆動回路（以下、内部回路という）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、F P C 等を介して絶縁体の外に配置されたコントローラ I C 等に（以下、外部回路という）と接続され、その動作が制御されている。

【0 0 0 3】

30

また、絶縁体上に形成された内部回路として、様々なレベルシフタが考案されている（特許文献 1、特許文献 2 参照）。

【特許文献 1】特開 2 0 0 1 - 2 5 7 5 8 1 号公報

【特許文献 2】特開 2 0 0 2 - 1 1 8 4 5 8 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 4】

上記特許文献 1、及び特許文献 2 に示すレベルシフタでは、入力信号の負電源側、及び正電源側を同時にレベルシフトすることができない。つまり、入力信号を負電源側及び正電源側にレベルシフトするためには、入力信号の負電源側をレベルシフトするためのレベルシフタと、入力信号の正電源側をレベルシフトするためのレベルシフタとが必要になって 40

【0 0 0 5】

上記問題を鑑み、本発明では、入力信号を負電源側、及び正電源側に同時にレベルシフトできるレベルシフタ、及びこのようなレベルシフタを具備する半導体装置、並びに液晶表示装置等の表示装置、及び当該表示装置を具備する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 6】

本発明の一は、第 1 の容量素子と、第 2 の容量素子と、第 1 のトランジスタと、第 2 のト 50

ランジスタと、第3のランジスタと、第4のランジスタとを有し、前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、前記第1のランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第1のランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、前記第2のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第2のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、前記第3のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第3のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第3のランジスタの第2端子が第5の配線に電氣的に接続され、前記第4のランジスタのゲート及び第1の端子が第1の配線に電氣的に接続され、前記前記第4のランジスタの第2端子が第5の配線に電氣的に接続されていることを特徴とする構成である。

10

【0007】

なお、前記第1のランジスタ乃至前記第4のランジスタは同じ導電型のランジスタであっても良い。前記第1のランジスタ乃至前記第4のランジスタはPチャネル型ランジスタの場合には前記第1の配線の電位は前記第2の配線の電位よりも高いことを特徴としても良い。また、前記第1のランジスタ乃至前記第4のランジスタはNチャネル型ランジスタの場合には、前記第1の配線の電位は前記第2の配線の電位よりも低いことを特徴としても良い。

20

【0008】

本発明の一は、第1の容量素子と、第2の容量素子と、第1のランジスタと、第2のランジスタと、第3のランジスタと、第4のランジスタと、第5のランジスタと、第6のランジスタとを有し、前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、前記第1のランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第1のランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、前記第2のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第2のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、前記第3のランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第3のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第3のランジスタの第2端子が第5の配線に電氣的に接続され、前記第4のランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、前記第4のランジスタの第2端子が前記第5の配線に電氣的に接続され、前記第5のランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第5のランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第5のランジスタの第2端子が第6の配線に電氣的に接続され、前記第6のランジスタのゲート及び第1端子が前記第1の配線に電氣的に接続され、前記第6のランジスタの第2端子が前記第6の配線に電氣的に接続されていることを特徴とする構成である。

30

40

【0009】

なお、前記第1のランジスタ乃至前記第6のランジスタは同じ導電型のランジスタであっても良い。前記第1のランジスタ乃至前記第6のランジスタはPチャネル型ランジスタの場合には前記第1の配線の電位は前記第2の配線の電位よりも高いことを特徴としても良い。また、前記第1のランジスタ乃至前記第6のランジスタはNチャネル型ランジスタの場合には、前記第1の配線の電位は前記第2の配線の電位よりも低いことを特徴としても良い。

【0010】

本発明の一は、第1の容量素子と、第2の容量素子と、第1のランジスタと、第2のランジスタと、第3のランジスタと、第4のランジスタと、第5のランジスタと、

50

第6のトランジスタとを有し、前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、前記第1のトランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第1のトランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のトランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のトランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第4のトランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、前記第4のトランジスタの第2端子が前記第3のトランジスタの第2端子に電氣的に接続され、前記第5のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第5のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第5のトランジスタの第2端子が第5の配線に電氣的に接続され、前記第6のトランジスタのゲートが前記第3のトランジスタの第2端子及び前記第4のトランジスタの第2端子に電氣的に接続され、前記第6のトランジスタの第1端子が前記第1の配線に電氣的に接続され、前記第6のトランジスタの第2端子が前記第5の配線に電氣的に接続されていることを特徴とする構成である。

10

【0011】

なお、前記第1のトランジスタ乃至前記第6のトランジスタは同じ導電型のトランジスタであっても良い。前記第1のトランジスタ乃至前記第6のトランジスタはPチャネル型トランジスタの場合には前記第1の配線の電位は前記第2の配線の電位よりも高いことを特徴としても良い。また、前記第1のトランジスタ乃至前記第6のトランジスタはNチャネル型トランジスタの場合には、前記第1の配線の電位は前記第2の配線の電位よりも低いことを特徴としても良い。

20

【0012】

また、本発明の一は、液晶素子を有する画素と、駆動回路とを有し、前記駆動回路は、第1の容量素子と、第2の容量素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタとを有し、前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、前記第1のトランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第1のトランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のトランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のトランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第3のトランジスタの第2端子が第5の配線に電氣的に接続され、前記第4のトランジスタのゲート及び第1の端子が第1の配線に電氣的に接続され、前記前記第4のトランジスタの第2端子が第5の配線に電氣的に接続されていることを特徴とする液晶表示装置である。

30

40

【0013】

なお、前記第1のトランジスタ乃至前記第4のトランジスタは同じ導電型のトランジスタであっても良い。前記第1のトランジスタ乃至前記第4のトランジスタはPチャネル型トランジスタの場合には前記第1の配線の電位は前記第2の配線の電位よりも高いことを特徴としても良い。また、前記第1のトランジスタ乃至前記第4のトランジスタはNチャネル型トランジスタの場合には、前記第1の配線の電位は前記第2の配線の電位よりも低いことを特徴としても良い。

【0014】

また、本発明の一は、液晶素子を有する画素と、駆動回路とを有し、前記駆動回路は、第

50

1の容量素子と、第2の容量素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタとを有し、前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、前記第1のトランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第1のトランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のトランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のトランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第3のトランジスタの第2端子が第5の配線に電氣的に接続され、前記第4のトランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、前記第4のトランジスタの第2端子が前記第5の配線に電氣的に接続され、前記第5のトランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第5のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第5のトランジスタの第2の端子が第6の配線に電氣的に接続され、前記第6のトランジスタのゲート及び第1端子が前記第1の配線に電氣的に接続され、前記第6のトランジスタの第2端子が前記第6の配線に電氣的に接続されていることを特徴とする液晶表示装置である。

10

20

【0015】

なお、前記第1のトランジスタ乃至前記第6のトランジスタは同じ導電型のトランジスタであっても良い。前記第1のトランジスタ乃至前記第6のトランジスタはPチャネル型トランジスタの場合には前記第1の配線の電位は前記第2の配線の電位よりも高いことを特徴としても良い。また、前記第1のトランジスタ乃至前記第6のトランジスタはNチャネル型トランジスタの場合には、前記第1の配線の電位は前記第2の配線の電位よりも低いことを特徴としても良い。

【0016】

また、本発明の一は液晶素子を有する画素と、駆動回路とを有し、前記駆動回路は、第1の容量素子と、第2の容量素子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタとを有し、前記第1の容量素子の第1電極が第3の配線に電氣的に接続され、前記第2の容量素子の第1電極が第4の配線に電氣的に接続され、前記第1のトランジスタのゲートが前記第1の容量素子の第2電極に電氣的に接続され、前記第1のトランジスタの第1端子が第2の配線に電氣的に接続され、前記第1のトランジスタの第2端子が前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第2のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第2のトランジスタの第2端子が前記第1の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第3のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第4のトランジスタのゲート及び第1端子が第1の配線に電氣的に接続され、前記第4のトランジスタの第2端子が前記第3のトランジスタの第2端子に電氣的に接続され、前記第5のトランジスタのゲートが前記第2の容量素子の第2電極に電氣的に接続され、前記第5のトランジスタの第1端子が前記第2の配線に電氣的に接続され、前記第5のトランジスタの第2端子が第5の配線に電氣的に接続され、前記第6のトランジスタのゲートが前記第3のトランジスタの第2端子及び前記第4のトランジスタの第2端子に電氣的に接続され、前記第6のトランジスタの第1端子が前記第1の配線に電氣的に接続され、前記第6のトランジスタの第2端子が前記第5の配線に電氣的に接続されていることを特徴とする液晶表示装置である。

30

40

【0017】

なお、前記第1のトランジスタ乃至前記第6のトランジスタは同じ導電型のトランジスタ

50

であっても良い。前記第1のトランジスタ乃至前記第6のトランジスタはPチャネル型トランジスタの場合には前記第1の配線の電位は前記第2の配線の電位よりも高いことを特徴としても良い。また、前記第1のトランジスタ乃至前記第6のトランジスタはNチャネル型トランジスタの場合には、前記第1の配線の電位は前記第2の配線の電位よりも低いことを特徴としても良い。

【0018】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして機能させやすいからである。

10

20

【0019】

なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型かNチャネル型のいずれかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることが出来る。また、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることが出来るので、消費電力を小さくすることも出来る。

【0020】

なお、スイッチとしてトランジスタを用いる場合は、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合は、導通を制御する端子を有していない場合がある。そのため、端子を制御するための配線を少なくすることが出来る。

30

【0021】

なお、本発明において、接続されているとは、電氣的に接続されている場合と機能的に接続されている場合と直接接続されている場合とを含むものとする。したがって、本発明が開示する構成において、所定の接続関係以外のものも含むものとする。例えば、ある部分とある部分との間に、電氣的な接続を可能とする素子（例えば、スイッチやトランジスタや容量素子やインダクタや抵抗素子やダイオードなど）が1個以上配置されていてもよい。また、機能的な接続を可能とする回路（例えば、論理回路（インバータやNAND回路やNOR回路など）や信号変換回路（DA変換回路やAD変換回路やガンマ補正回路など）や電位レベル変換回路（昇圧回路や降圧回路などの電源回路やH信号やL信号の電位レベルを変えるレベルシフタ回路など）や電圧源や電流源や切り替え回路や増幅回路（オペアンプや差動増幅回路やソースフォロワ回路やバッファ回路など、信号振幅や電流量などを大きく出来る回路など）や信号生成回路や記憶回路や制御回路など）が間に1個以上配置されていてもよい。あるいは、間に他の素子や他の回路を挟まずに、直接接続されて、配置されていてもよい。

40

【0022】

なお、素子や回路を間に介さずに接続されている場合のみを含む場合は、直接接続され

50

ている、と記載するものとする。また、電氣的に接続されている、と記載する場合は、電氣的に接続されている場合（つまり、間に別の素子を挟んで接続されている場合）と機能的に接続されている場合（つまり、間に別の回路を挟んで接続されている場合）と直接接続されている場合（つまり、間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。

【0023】

なお、表示素子や表示装置や発光素子や発光装置は、様々な形態を用いたり、様々な素子を有したりすることが出来る。例えば、表示素子や表示装置や発光素子や発光装置としては、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁氣的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

10

【0024】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることが出来る。よって、適用可能なトランジスタの種類に限定はない。したがって、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することが出来る。これらにより、製造温度が高くななくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、トランジスタで光を透過させたりすることが出来る。また、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することが出来る。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成したりすることが出来る。また、ZnO、 α -InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することが出来る。これらにより、製造温度が高くななくても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成したりすることが出来る。また、インクジェットや印刷法を用いて作成したトランジスタなどを適用することが出来る。これらにより、室温で製造したり、真空度の低い状態で製造したり、大型基板で製造したりすることができる。また、マスク（レチクル）を用いなくとも製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などに配置することが出来る。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてもよい。これらの基板を用いることにより、特性のよいトランジスタを形成したり、消費電力の小さいトランジスタを形成したり、壊れにくい装置にしたり、耐熱性を持たせたりすることが出来る。

20

30

40

【0025】

50

トランジスタの構成は、様々な形態をとることができる。特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなってS値を小さくしたりすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

【0026】

なお、本発明におけるトランジスタは、様々なタイプを用いることができ、様々な基板上に形成させることができる。したがって、回路の全てが、ガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。回路の全てが同じ基板上に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG (Chip On Glass) で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。このように、回路の一部が同じ基板に形成されていることにより、部品点数を減らしてコストを低減したり、回路部品との接続点数を減らして信頼性を向上させたりすることができる。また、駆動電圧が高い部分や駆動周波数が高い部分は、消費電力が大きくなってしまいますので、そのような部分は同じ基板に形成しないようにすれば、消費電力の向上を防ぐことができる。

【0027】

なお、本発明においては、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、R (赤) G (緑) B (青) の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。なお、色要素は、三色に限定されず、それ以上の数を用いても良いし、RGB以外の色を用いても良い。例えば、白色を加えて、RGBW (Wは白) としてもよい。また、RGBに、例えば、イエロー、シアン、マゼンタ、エメラルドグリーン、朱色などを一色以上追加したものでもよい。また、例えばRGBの中の少なくとも一色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、少し周波数が異なっている。このような色要

素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減したりすることが出来る。また、別の例としては、1つの色要素について、複数の領域を用いて明るさを制御する場合は、その領域一つ分を一画素とする。よって、一例としては、面積階調を行う場合、一つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する領域の一つ分を一画素とする。よって、その場合は、一つの色要素は、複数の画素で構成されることとなる。また、その場合、画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、一つの色要素につき複数ある、明るさを制御する領域において、つまり、一つの色要素を構成する複数の画素において、各々に供給する信号を僅かに異ならせるようにして、視野角を広げるようにしてもよい。なお、一画素（三色分）と記載する場合は、RとGとBの三画素分を一画素と考える場合であるとする。一画素（一色分）と記載する場合は、一つの色要素につき、複数の画素がある場合、それらをまとめて一画素と考える場合であるとする。

10

20

30

40

50

【0028】

なお、本発明において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば三色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、三つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。なお、色要素は、三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）や、RGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。また、色要素のドット毎にその表示領域の大きさが異なってもよい。これにより、消費電力を低下させたり、表示素子の寿命を延ばしたりすることが出来る。

【0029】

なお、トランジスタとは、それぞれ、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本発明においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。

【0030】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子と表記する場合がある。

【0031】

なお、ゲートとは、ゲート電極とゲート配線（ゲート線またはゲート信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ゲート電極とは、チャンネル領域やLDD（Lightly Doped Drain）領域などを形成する半導体と、ゲート絶縁膜を介してオーバーラップしている部分の導電膜のことを言う。ゲート配線とは、各画素のゲート電極の間を接続したり、ゲート電極と別の配線とを接続したりするための配線のことを言う。

【0032】

ただし、ゲート電極としても機能し、ゲート配線としても機能するような部分も存在する。そのような部分は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。つまり、ゲート電極とゲート配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているゲート配線とオーバーラップしてチャンネル領域がある場合、その領域はゲート配線として機能しているが、ゲート電極としても機能していることになる。よって、そのような領域は、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0033】

また、ゲート電極と同じ材料で形成され、ゲート電極とつながっている領域も、ゲート電極と呼んでも良い。同様に、ゲート配線と同じ材料で形成され、ゲート配線とつながっている領域も、ゲート配線と呼んでも良い。このような領域は、厳密な意味では、チャンネル領域とオーバーラップしていなかったり、別のゲート電極と接続させる機能を有してなかったりする場合がある。しかし、製造工程の関係上、ゲート電極やゲート配線と同じ材料で形成され、ゲート電極やゲート配線とつながっている領域がある。よって、そのような領域もゲート電極やゲート配線と呼んでも良い。

【0034】

また、例えば、マルチゲートのトランジスタにおいて、1つのトランジスタのゲート電極と、別のトランジスタのゲート電極とは、ゲート電極と同じ材料で形成された導電膜で接続される場合が多い。そのような領域は、ゲート電極とゲート電極とを接続させるための領域であるため、ゲート配線と呼んでも良いが、マルチゲートのトランジスタを1つのトランジスタであると思えることも出来るため、ゲート電極と呼んでも良い。つまり、ゲート電極やゲート配線と同じ材料で形成され、それらとつながって配置されているものは、ゲート電極やゲート配線と呼んでも良い。

また、例えば、ゲート電極とゲート配線とを接続してさせている部分の導電膜も、ゲート電極と呼んでも良いし、ゲート配線と呼んでも良い。

【0035】

なお、ゲート端子とは、ゲート電極の領域や、ゲート電極と電氣的に接続されている領域について、その一部分のことを言う。

【0036】

なお、ソースとは、ソース領域とソース電極とソース配線（ソース線またはソース信号線等とも言う）とを含んだ全体、もしくは、それらの一部のことを言う。ソース領域とは、P型不純物（ボロンやガリウムなど）やN型不純物（リンやヒ素など）が多く含まれる半導体領域のことを言う。従って、少しだけP型不純物やN型不純物が含まれる領域、いわゆる、LDD（Lightly Doped Drain）領域は、ソース領域には含まれない。ソース電極とは、ソース領域とは別の材料で形成され、ソース領域と電氣的に接続されて配置されている部分の導電層のことを言う。ただし、ソース電極は、ソース領域も含んでソース電極と呼ぶこともある。ソース配線とは、各画素のソース電極の間を接続したり、ソース電極と別の配線とを接続したりするための配線のことを言う。

【0037】

しかしながら、ソース電極としても機能し、ソース配線としても機能するような部分も存在する。そのような部分は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。つまり、ソース電極とソース配線とが、明確に区別できないような領域も存在する。例えば、延伸して配置されているソース配線とオーバーラップしてソース領域がある場合、その領域はソース配線として機能しているが、ソース電極としても機能していることになる。よって、そのような領域は、ソース電極と呼んでも良いし、ソース配線と呼んでも良い。

【0038】

また、ソース電極と同じ材料で形成され、ソース電極とつながっている領域や、ソース電極とソース電極とを接続する部分も、ソース電極と呼んでも良い。また、ソース領域とオーバーラップしている部分も、ソース電極と呼んでも良い。同様に、ソース配線と同じ材料で形成され、ソース配線とつながっている領域も、ソース配線と呼んでも良い。このような領域は、厳密な意味では、別のソース電極と接続させる機能を有していたりすることがない場合がある。しかし、製造工程の関係上、ソース電極やソース配線と同じ材料で形成され、ソース電極やソース配線とつながっている領域がある。よって、そのような領域もソース電極やソース配線と呼んでも良い。

【0039】

また、例えば、ソース電極とソース配線とを接続させている部分の導電膜も、ソース電極

10

20

30

40

50

と呼んでも良いし、ソース配線と呼んでも良い。

【0040】

なお、ソース端子とは、ソース領域の領域や、ソース電極や、ソース電極と電氣的に接続されている領域について、その一部分のことを言う。

【0041】

なお、ドレインについては、ソースと同様である。

【0042】

なお、本発明において、半導体装置とは半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。

10

【0043】

また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のことを言う。なお、液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が同一基板上に形成された表示パネル本体のことでもよい。また、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆるチップオンガラス（COG）を含んでいても良い。さらに、フレキシブルプリントサーキット（FPC）やプリント配線基盤（PCB）が取り付けられたもの（ICや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいても良い。さらに、バックライトユニット（導光板やプリズムシートや拡散シートや反射シートや光源（LEDや冷陰極管など）を含んでいても良い）を含ん

20

【0044】

また、発光装置とは、特にEL素子やFEDで用いる素子などの自発光型の表示素子を有している表示装置をいう。液晶表示装置とは、液晶素子を有している表示装置をいう。

【0045】

なお、本発明において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

30

【発明の効果】

40

【0046】

本発明により、入力信号を負電源側、及び正電源側に同時にレベルシフトできるレベルシフタを有する表示装置を提供することができる。また、本発明の表示装置は全て同じ導電型のトランジスタで構成することができるため、低コストな表示装置を提供することができる。

【発明を実施するための最良の形態】

【0047】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って

50

本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0048】

(第1の実施形態)

本実施形態では、本発明に係るレベルシフタの基本構成について、図1(a)を参照して説明する。

【0049】

図1(a)に示すレベルシフタは、回路101、回路102を有している。

【0050】

図1(a)のレベルシフタに示すように、回路101は、配線103、配線104、配線105、配線106、配線107、配線108に接続されている。回路102は、配線103、配線104、配線107、配線108、配線109に接続されている。

【0051】

なお、配線103及び配線104には、正電源VDD及び負電源VSSがそれぞれ供給されている。また、電源電位VDDは、電源電位VSSよりも高い電圧である。

【0052】

また、配線105及び配線106には、信号(以下、入力信号ともいう)が供給されている。なお、回路101は、配線105及び配線106に供給される信号によって制御されている。

【0053】

また、配線107及び配線108には、回路101からの信号(以下、オフセット信号ともいう)が供給されている。なお、回路102は、配線107及び配線108に供給される信号によって制御されている。

【0054】

また、配線109には、回路102からの信号(以下、出力信号ともいう)が供給されている。

【0055】

なお、配線105及び配線106に供給される信号は、2値の値を持つデジタル信号である。これらのデジタル信号の電位は、H信号(以下、Hレベルともいう)のときには電位VHであり、L信号(以下、Lレベルともいう)のときには電位VLである。なお、電位VHは、電源電位VDDよりも低く、電位VLよりも高い電圧である。なお、電位VLは、電源電位VSSよりも高く、電位VHよりも低い電位である。つまり、各電源電位と信号の電位の関係は、電源電位VDD>電位VH>電位VL>電源電位VSSとなっている。

【0056】

次に、図1(a)で示したレベルシフタの動作について、図2(a)のタイミングチャートを参照して説明する。なお、図2(a)のタイミングチャートは、配線105の信号、配線107の信号、及び配線108の信号を示している。なお、図示はしないが、配線106の信号は、配線105の信号に対して、Hレベル、Lレベルが反転したものと同様である。

【0057】

ここで、回路101は、オフセット動作をする機能を有する。具体的には、回路101は、配線105及び配線106に供給されている入力信号をオフセットして、配線107、及び配線108にオフセット信号を供給する。このオフセット信号は、配線105に供給されている信号と同じタイミング(若しくは反転)であり、おおむね等しい振幅電圧である。そして、配線107に供給するオフセット信号は、入力信号に対して電位がH側にシフトしている。また、配線108に供給するオフセット信号は、入力信号に対して電位がL側にシフトしている。なお、回路101をオフセット回路ともいう。

【0058】

10

20

30

40

50

よって、図 2 (a) のタイミングチャートに示すように、配線 107 の信号は、配線 105 の信号と比較して、タイミング、及び振幅電圧が配線 105 の信号とおおむね等しく、電位が H 側にシフトしている。具体的には、配線 107 の信号は、L 信号の電位が V_{DD} であり、H 信号の電位が $V_{DD} + (V_H - V_L)$ である。つまり、配線 107 の信号の振幅電圧は $V_H - V_L$ であり、配線 105 の信号の振幅電圧とおおむね同じである。

【0059】

配線 107 の信号と同様に、配線 108 の信号は、配線 105 の信号と比較して、タイミング、及び振幅電圧が配線 105 の信号とおおむね同じであり、電位が L 側にシフトしている。具体的には、配線 108 の信号は、L 信号の電位が V_{SS} であり、H 信号の電位が $V_{SS} + (V_H - V_L)$ である。つまり、配線 108 の信号の振幅電圧は $V_H - V_L$ であり、配線 105 の信号の振幅電圧とおおむね同じである。 10

【0060】

なお、すでに述べたように、配線 107 の信号、及び配線 108 の信号は、配線 105 の信号と比較して、H 信号、L 信号が反転していてもよい。

【0061】

なお、図 2 (b) に示すように、配線 107 の信号は、L 信号を $V_{DD} - (V_H - V_L)$ 、H 信号を V_{DD} としてもよい。また、配線 108 の信号は、L 信号を $V_{SS} - (V_H - V_L)$ としてもよい。図 2 (b) に示す場合でも、配線 107 の信号の振幅電圧、及び配線 108 の信号の振幅電圧は、 $V_H - V_L$ であり、配線 105 の信号の振幅電圧とおおむね同じである。 20

【0062】

なお、図 2 (b) に示す配線 107 の信号、及び配線 108 の信号も、配線 105 の信号と比較して、H 信号・L 信号が反転していてもよい。

【0063】

ここで、回路 102 は、インバータ、NAND 回路、NOR 回路などの論理回路である。具体的には、回路 102 は、オフセット信号によって制御され、配線 109 に出力信号を供給する。また、出力信号の電位は、H 信号のときには電源電位 V_{DD} と等しく、L 信号のときには電源電位 V_{SS} と等しい。

【0064】

なお、配線 107 の信号、及び配線 108 の信号は振幅電圧が小さいため、回路 102 は貫通電流が少なくなるため省電力化を実現できる。また、回路 102 は、入力される信号の振幅電圧が小さいためノイズを低減できる。 30

【0065】

以上説明したように、本発明のレベルシフタは、オフセット信号によって、論理回路を駆動することで、レベルシフタとしての機能を実現する。また、本発明のレベルシフタは、省電力であり、低ノイズである。また、本発明のレベルシフタは、1 つのレベルシフタによって、入力信号の H レベル、及び L レベルを同時にレベルシフトできる。

【0066】

なお、図 1 (b) に示すように、回路 102 は、配線 105 の信号、及び配線 106 の信号を H 側にシフトした信号（配線 107 の信号）だけで、制御されていてもよい。また、回路 102 が配線 107 の信号だけで制御される場合、回路 101 には、電源電位 V_{SS} を供給しなくてもよい。 40

【0067】

同様に、図 1 (c) に示すように、回路 102 は、配線 105 の信号、及び配線 106 の信号を L 側だけにシフトした信号（配線 108 の信号）だけで、制御されていてもよい。また、回路 102 が配線 108 の信号だけで制御される場合、回路 101 には、電源電位 V_{DD} を供給しなくてもよい。

【0068】

また、回路 102 が配線 107 の信号、若しくは配線 108 の信号だけで制御されることによって、図 1 (b)、及び図 1 (c) のレベルシフタは回路 101 を簡単な構成にでき 50

る。

【0069】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0070】

(第2の実施形態)

本実施形態では、第1の実施形態に示したレベルシフタが有する回路101(オフセット回路)の構成例について説明する。なお、本実施形態では、配線105、及び配線106に供給される信号を、同じタイミング(若しくは反転)、及びおおむね等しい振幅電圧のまま、電位をH側にシフトさせて、配線107に供給する場合の構成例について説明する。

【0071】

なお、実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0072】

まず、オフセット回路の構成例を図3(a)を参照して説明する。

【0073】

図3(a)に示すオフセット回路は、容量素子301、容量素子302、トランジスタ303、及びトランジスタ304を有している。

【0074】

図3(a)のオフセット回路に示すように、容量素子301の第1電極が配線105に接続されている。容量素子302の第1電極が配線106に接続されている。トランジスタ303のゲートが容量素子301の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子302の第2電極に接続されている。トランジスタ304のゲートが容量素子302の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子301の第2電極に接続されている。なお、容量素子301の第2電極、トランジスタ303のゲート、及びトランジスタ304の第2端子の接続点を節点N31とする。なお、容量素子302の第2電極、トランジスタ303の第2端子、及びトランジスタ304のゲートの接続点を節点N32とする。なお、節点N31と節点N32のうちのどちらかが、図1に示す配線107(a)に接続されている。

【0075】

次に、図3(a)で示したオフセット回路の動作について、図3(b)、及び図3(c)を参照して説明する。

【0076】

なお、図3(b)は、配線105の信号がH信号からL信号、配線106の信号がL信号からH信号に変化した場合の図3(a)のオフセット回路の動作を示している。

【0077】

また、図3(c)は、配線105の信号がL信号からH信号、配線106の信号がH信号からL信号に変化した場合の図3(a)のオフセット回路の動作を示している。つまり、図3(a)のオフセット回路は、図3(b)の動作と図3(c)の動作を任意のタイミングで繰り返している。また、図3(b)の動作を第1の動作とし、図3(c)の動作を第2の動作とする。

【0078】

なお、 $V_H - V_L$ は、トランジスタ303、及びトランジスタ304のしきい値電圧以上である。

【0079】

まず、図3(a)のオフセット回路の第1の動作について、図3(b)を参照して説明する。なお、節点N32の初期値の電位をVDDとする。

【0080】

10

20

30

40

50

初期状態として、容量素子 302 には、配線 106 の電位 V_L (L 信号) と、節点 N32 の電位 V_{DD} との電位差 $V_{DD} - V_L$ が保持されている。そして、配線 106 の電位が V_L から V_H に変化すると、節点 N32 の電位は容量素子 302 の容量結合によって $V_{DD} + (V_H - V_L)$ となる。したがって、トランジスタ 304 がオンする。

【0081】

また、トランジスタ 304 がオンすることによって、節点 N31 には電源電位 V_{DD} が供給され、節点 N31 の電位が V_{DD} になる。したがって、容量素子 301 は、配線 105 の電位 V_L (L 信号) と、節点 N31 の電位 V_{DD} との電位差 $V_{DD} - V_L$ を保持する。また、トランジスタ 303 がオフする。

【0082】

また、トランジスタ 303 がオフすることで、節点 N32 はフローティング状態になり、節点 N32 は電位を $V_{DD} + (V_H - V_L)$ に維持する。

【0083】

次に、図 3 (a) のオフセット回路の第 2 の動作について、図 3 (c) を参照して説明する。

【0084】

すでに述べたように、容量素子 301 には、第 1 の動作によって、 $V_{DD} - V_L$ が保持されている。そして、配線 105 の電位が V_L から V_H に変化すると、節点 N31 の電位は容量素子 301 の容量結合によって、 $V_{DD} + (V_H - V_L)$ となる。したがって、トランジスタ 303 がオンする。

【0085】

また、トランジスタ 303 がオンすることによって、節点 N32 には電源電位 V_{DD} が供給され、節点 N32 の電位が V_{DD} になる。したがって、容量素子 302 は、配線 106 の電位 V_L (L 信号) と、節点 N32 の電位 V_{DD} との電位差 $V_{DD} - V_L$ を保持する。また、トランジスタ 304 がオフする。

【0086】

また、トランジスタ 304 がオフすることで、節点 N31 はフローティング状態になり、節点 N31 は電位を $V_{DD} + (V_H - V_L)$ に維持する。

【0087】

ここで、容量素子 301、容量素子 302、トランジスタ 303、及びトランジスタ 304 が有する機能について説明する。

【0088】

まず、容量素子 301 は、第 1 の動作において、配線 105 の電位 V_L と、節点 N31 の電位 V_{DD} との電位差を保持する。そして、容量素子 301 は、第 2 の動作において、容量結合によって、配線 105 の電位の上昇にしたがって、節点 N31 の電位を上昇させる機能を有する。

【0089】

また、容量素子 302 は、第 2 の動作において、配線 106 の電位 V_L と、節点 N32 の電位 V_{DD} との電位差を保持する。そして、容量素子 302 は、第 1 の動作において、容量結合によって、配線 106 の電位の上昇にしたがって、節点 N32 の電位を上昇させる機能を有する。

【0090】

また、トランジスタ 303 は、節点 N31 の電位によって、配線 103 と節点 N32 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 303 は、第 1 の動作において、オフし、節点 N32 をフローティング状態にする。また、トランジスタ 303 は、第 2 の動作において、オンし、節点 N32 に電源電位 V_{DD} を供給する。

【0091】

また、トランジスタ 304 は、節点 N32 の電位によって、配線 103 と節点 N31 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 30

10

20

30

40

50

4は、第1の動作において、オンし、節点N31に電源電位VDDを供給する。また、トランジスタ304は、第2の動作において、オフし、節点N31をフローティング状態にする。

【0092】

以上説明した第1の動作、及び第2の動作によって、図3(a)のオフセット回路は、第1の動作において、節点N31には電源電位VDDを供給し、節点N32をフローティング状態にし、節点N32の電位を $VDD + (VH - VL)$ に維持するように動作する。また、図3(a)のオフセット回路は、第2の動作において、節点N31をフローティング状態にし、節点N31の電位を $VDD + (VH - VL)$ に維持し、節点N32には電源電位VDDを供給するように動作する。

10

【0093】

したがって、図3(a)のオフセット回路が生成する信号は、H信号が $VDD + (VH - VL)$ であり、L信号がVDDである。つまり、図3(a)のオフセット回路は、電源電位VDDを基準とした信号を生成することができる。

【0094】

なお、第1の動作における節点N32の電位、及び第2の動作における節点N31の電位は、 $VDD + (VH - VL)$ を維持するとした。しかし、実際には、第1の動作における節点N32の電位、及び第2の動作における節点N31の電位は、配線容量や寄生容量の影響などによって、 $VDD + (VH - VL)$ よりも低くなる。したがって、配線容量や寄生容量の影響を少なくするために、容量素子301、及び容量素子302の容量値は、配線容量や寄生容量の容量値よりも十分大きくしておけばよい。

20

【0095】

なお、節点N31を図1(a)に示す配線107に接続すれば、配線105に供給されている信号とHレベル、Lレベルが同じ信号を配線107に供給することができる。同様に、節点N32を図1に示す配線107に接続すれば、配線105に供給されている信号とH信号、L信号が反転した信号を配線107に供給することができる。

【0096】

また、節点N31を配線107に接続する場合には、容量素子302の容量値は、容量素子301の容量値よりも小さいことが好ましい。なぜなら、すでに述べたように、容量素子301の容量値は、配線容量や寄生容量の容量値よりも十分大きくしておけばよいと説明したが、節点N32の電位はトランジスタ304をオンできれば、節点N32の電位は $VDD + (VH - VL)$ にならなくてもよいからである。したがって、容量素子302の容量値を容量素子301の容量値よりも小さくできるため、容量素子302の素子領域を小さくできる。

30

【0097】

また、節点N32を配線107に接続する場合には、節点N31を配線107に接続する場合と同様の理由で、容量素子301の容量値は容量素子302の容量値よりも小さくすることが好ましい。

【0098】

なお、容量素子301、及び容量素子302は、絶縁層を2つの電極層で挟持した構成でもよい。容量素子301、及び容量素子302を絶縁層を2つの電極層で挟持した構成にすることで、容量素子301、及び容量素子302は印加される電圧に関係なく容量値を一定に保つことができるため、本発明のレベルシフタは安定して動作できる。

40

【0099】

また、容量素子301、及び容量素子302の絶縁層は、ゲート絶縁膜であることが好ましい。なぜなら、ゲート絶縁膜の膜厚は、一般的に他の絶縁膜（例えば、層間膜、平坦化膜など）に比べ薄いため、容量素子301、及び容量素子302は効率的に容量値を得ることができるからである。

【0100】

なお、容量素子301、及び容量素子302は、MOS構造の容量素子としてもよい。容

50

量素子 301、及び容量素子 302 を MOS 構造の容量素子とした場合の構成を図 4 (a) に示す。図 4 (a) に示すオフセット回路は、容量素子 301 の代わりに N チャンネル型のトランジスタ 401 を用い、容量素子 302 の代わりに N チャンネル型のトランジスタ 402 を用いている。また、トランジスタ 401 は、ゲートが節点 N31 に接続され、第 1 端子、及び第 2 端子が配線 105 に接続されていることを特徴とする。なぜなら、節点 N31 の電位は配線 105 の電位よりも高いため、トランジスタ 401 がオンして、チャンネルがトランジスタ 401 のチャンネル領域に形成されるため、トランジスタ 401 は容量素子として動作できるからである。同様に、トランジスタ 402 は、ゲートが節点 N32 に接続され、第 1 端子、及び第 2 端子が配線 106 に接続されていることを特徴とする。なぜなら、節点 N32 電位は配線 106 の電位よりも高いため、トランジスタ 402 がオンして、チャンネルがトランジスタ 402 のチャンネル領域に形成されるため、トランジスタ 402 は容量素子として動作できるからである。

10

【0101】

また、図 4 (b) のように、容量素子として、P チャンネル型のトランジスタを容量素子として用いることもできる。図 4 (b) に示すオフセット回路は、容量素子 301 の代わりに P チャンネル型のトランジスタ 403 を用い、容量素子 302 の代わりに P チャンネル型のトランジスタ 404 を用いている。また、トランジスタ 403 は、ゲートが配線 105 に接続され、第 1 端子、及び第 2 端子が節点 N31 に接続されていることを特徴とする。なぜなら、節点 N31 の電位は、配線 105 の電位よりも高いため、トランジスタ 403 がオンして、チャンネルがトランジスタ 403 のチャンネル領域に形成されるため、トランジスタ 403 が容量素子として動作できるからである。同様に、トランジスタ 404 は、ゲートが配線 106 に接続され、第 1 端子、及び第 2 端子が節点 N32 に接続されていることを特徴とする。なぜなら、節点 N32 の電位は配線 106 の電位よりも高いため、トランジスタ 404 がオンして、チャンネルがトランジスタ 404 のチャンネル領域に形成されるため、トランジスタ 404 は容量素子として動作できるからである。

20

【0102】

なお、すでに述べたように、図 4 (a) において、節点 N31 を配線 107 に接続する場合には、トランジスタ 401 のチャンネル領域 (L: チャンネル長×W: チャンネル幅) よりも、トランジスタ 402 のチャンネル領域のほうが小さいことが好ましい。また、節点 N32 を配線 107 に接続する場合には、トランジスタ 401 のチャンネル領域よりも、トランジスタ 402 のチャンネル領域のほうが大きいほうが好ましい。

30

【0103】

また、同様に、図 4 (b) において、節点 N31 を配線 107 に接続する場合には、トランジスタ 403 のチャンネル領域 (L: チャンネル長×W: チャンネル幅) よりも、トランジスタ 404 のチャンネル領域のほうが小さいことが好ましい。また、節点 N32 を配線 107 に接続する場合には、トランジスタ 403 のチャンネル領域よりも、トランジスタ 404 のチャンネル領域のほうが大きいほうが好ましい。

【0104】

ここで、図 3 (a) に示したオフセット回路は、N チャンネル型のトランジスタと容量素子とで構成したが、P チャンネル型のトランジスタと容量素子とで構成されていてもよい。P チャンネル型のトランジスタと容量素子とで構成した場合のオフセット回路を図 5 (a) に示す。

40

【0105】

図 5 (a) に示すオフセット回路は、容量素子 301、容量素子 302、トランジスタ 501、及びトランジスタ 502 を有している。

【0106】

なお、トランジスタ 501、及びトランジスタ 502 は、図 3 (a) のトランジスタ 303、及びトランジスタ 304 に、それぞれ対応し、それぞれ同様な機能を有する。また、節点 N51、及び節点 N52 は、図 3 (a) のトランジスタ節点 N31、及び節点 N32 に、それぞれ対応している。

50

【0107】

図5(a)のオフセット回路に示すように、容量素子301の第1電極が配線105に接続されている。容量素子302の第1電極が配線106に接続されている。トランジスタ501のゲートが容量素子301の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子302の第2電極に接続されている。トランジスタ502のゲートが容量素子302の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子301の第2電極に接続されている。なお、容量素子301の第2電極、トランジスタ501のゲート、及びトランジスタ502の第2端子の接続点を節点N51とする。なお、容量素子302の第2電極、トランジスタ501の第2端子、及びトランジスタ502のゲートの接続点を節点N52とする。なお、節点N51と節点N52のうちのどちらかが、図1(a)に示す配線107に接続されている。 10

【0108】

次に、図5(a)で示したオフセット回路の動作について、図5(b)、及び図5(c)を参照して説明する。

【0109】

なお、図5(b)は、配線105の信号がH信号からL信号、配線106の信号がL信号からH信号に変化した場合の図5(a)のオフセット回路の動作を示している。

【0110】

また、図5(c)は、配線105の信号がL信号からH信号、配線106の信号がH信号からL信号に変化した場合の図5(a)のオフセット回路の動作を示している。つまり、図5(a)のオフセット回路は、図5(b)の動作と図5(c)の動作を任意のタイミングで繰り返している。また、図5(b)の動作を第1の動作とし、図5(c)の動作を第2の動作とする。 20

【0111】

まず、図5(a)のオフセット回路の第1の動作について、図5(b)を参照して説明する。なお、節点N51の初期値の電位をVDDとする。

【0112】

初期状態として、容量素子301には、配線105の電位VH(H信号)と、節点N51の電位VDDとの電位差 $VDD - VH$ が保持されている。そして、配線105の電位がVHからVLに変化すると、節点N51の電位は容量素子301の容量結合によって $VDD - (VH - VL)$ となる。したがって、トランジスタ501がオンする。 30

【0113】

また、トランジスタ501がオンすることによって、節点N52には電源電位VDDが供給され、節点N52の電位がVDDになる。したがって、容量素子302は、配線106の電位VH(H信号)と、節点N52の電位VDDとの電位差 $VDD - VH$ を保持する。また、トランジスタ502がオフする。

【0114】

また、トランジスタ502がオフすることによって、節点N51はフローティング状態になり、節点N51は電位 $VDD - (VH - VL)$ を維持する。

【0115】

次に、図5(a)のオフセット回路の第2の動作について、図5(c)を参照して説明する。 40

【0116】

すでに述べたように、容量素子302には、第1の動作によって、 $VDD - VH$ が保持されている。そして、配線106の電位がVHからVLに変化すると、節点N52の電位は容量素子302の容量結合によって、 $VDD - (VH - VL)$ となる。したがって、トランジスタ502がオンする。

【0117】

また、トランジスタ502がオンすることによって、節点N51には電源電位VDDが供給され、節点N51の電位がVDDになる。したがって、容量素子301は、配線105 50

の電位 V_H (H 信号) と、節点 $N51$ の電位 V_{DD} との電位差 $V_{DD} - V_H$ を保持する。
また、トランジスタ 501 がオフする。

【0118】

また、トランジスタ 501 がオフすることで、節点 $N52$ がフローティング状態になり、節点 $N52$ は電位を $V_{DD} - (V_H - V_L)$ に維持する。

【0119】

以上説明した第 1 の動作、及び第 2 の動作によって、図 5 (a) のオフセット回路は、第 1 の動作において、節点 $N51$ をフローティング状態にし、節点 $N51$ の電位を $V_{DD} - (V_H - V_L)$ に維持し、節点 $N52$ には電源電位 V_{DD} を供給するように動作する。また、図 5 (a) のオフセット回路は、第 2 の動作において、節点 $N51$ には電源電位 V_{DD} を供給し、節点 $N52$ をフローティング状態にし、節点 $N52$ の電位を $V_{DD} - (V_H - V_L)$ に維持するように動作する。 10

【0120】

したがって、図 5 (a) のオフセット回路が生成する信号は、H 信号が V_{DD} であり、L 信号が $V_{DD} - (V_H - V_L)$ である。つまり、図 5 (a) の回路 101 は、電源電位 V_{DD} を基準とした信号を生成することができる。

【0121】

なお、図 3 (a) のオフセット回路と同様に、図 5 (a) のオフセット回路が生成する信号は、L 信号の電位を $V_{DD} - (V_H - V_L)$ としたが、実際には、 $V_{DD} - (V_H - V_L)$ よりも少し高くなっている。 20

【0122】

なお、図 3 (a) のオフセット回路と同様に、節点 $N51$ を図 1 (a) に示す配線 107 に接続すれば、配線 105 に供給されている信号と H レベル L レベルが同じ信号を配線 107 に供給することができる。同様に、節点 $N52$ を図 1 (a) に示す配線 107 に接続すれば、配線 105 に供給されている信号と H 信号、L 信号が反転した信号を配線 107 に供給することができる。

【0123】

また、図 3 (a) のオフセット回路と同様に、節点 $N51$ を配線 107 に接続する場合には、容量素子 302 の容量値は、容量素子 301 の容量値よりも小さいことが好ましい。

【0124】

また、図 3 (a) のオフセット回路と同様に、節点 $N52$ を配線 107 に接続する場合には、容量素子 301 の容量値は容量素子 302 の容量値よりも小さくすることが好ましい。 30

【0125】

なお、図 4 のオフセット回路と同様に、容量素子 301、及び容量素子 302 は MOS 構造の容量素子としてもよい。図 6 (a) に示すように、容量素子 301 の代わりに P チャネル型のトランジスタ 601 を用い、容量素子 302 の代わりに P チャネル型のトランジスタ 602 を用いてもよい。また、トランジスタ 601 のゲートが配線 105 に接続され、第 1 端子、及び第 2 端子が節点 $N51$ に接続されていることを特徴とする。同様に、トランジスタ 602 のゲートが配線 106 に接続され、第 1 端子、及び第 2 端子が節点 $N52$ に接続されていることを特徴とする。 40

【0126】

また、図 4 のオフセット回路と同様に、図 6 (b) のように、容量素子 301、及び容量素子 302 として、N チャネル型のトランジスタ 603、及び N チャネル型のトランジスタ 604 を、それぞれ用いることもできる。また、トランジスタ 603 のゲートが節点 $N51$ に接続され、第 1 端子、及び第 2 端子が配線 105 に接続されていることを特徴とする。同様に、トランジスタ 604 のゲートが節点 $N52$ に接続され、第 1 端子、及び第 2 端子が配線 106 に接続されていることを特徴とする。

【0127】

なお、図 4 と同様に、図 6 (a) において、節点 $N51$ を配線 107 に接続する場合には 50

、トランジスタ601のチャネル領域よりも、トランジスタ602のチャネル領域のほうが小さいことが好ましい。また、節点N52を配線107に接続する場合には、トランジスタ601のチャネル領域よりも、トランジスタ602のチャネル領域のほうが大きいことが好ましい。

【0128】

また、同様に、図6(b)において、節点N51を配線107に接続する場合には、トランジスタ603のチャネル領域よりも、トランジスタ604のチャネル領域のほうが小さいことが好ましい。また、節点N52を配線107に接続する場合には、トランジスタ603のチャネル領域よりも、トランジスタ604のチャネル領域のほうが大きいことが好ましい。

10

【0129】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0130】

(第3の実施形態)

本実施形態では、第1の実施形態に示したレベルシフタが有する回路101(オフセット回路)の構成例について説明する。なお、本実施形態では、配線105、及び配線106に供給される信号を、同じタイミング(若しくは反転)、及びおおむね等しい振幅電圧のまま、電位をL側にシフトさせて、配線108に供給する場合の構成例について説明する。

20

【0131】

なお、第1の実施形態、及び第2の実施形態と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0132】

まず、オフセット回路の構成例を図7(a)を参照して説明する。

【0133】

図7(a)に示すオフセット回路は、容量素子701、容量素子702、トランジスタ703、及びトランジスタ704を有している。

【0134】

図7(a)のオフセット回路に示すように、容量素子701の第1電極が配線105に接続されている。容量素子702の第1電極が配線106に接続されている。トランジスタ703のゲートが容量素子701の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子702の第2電極に接続されている。トランジスタ704のゲートが容量素子702の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子701の第2電極に接続されている。なお、容量素子701の第2電極、トランジスタ703のゲート、及びトランジスタ704の第2端子の接続点を節点N71とする。なお、容量素子702の第2電極、トランジスタ703の第2端子、及びトランジスタ704のゲートの接続点を節点N72とする。なお、節点N71と節点N72のうちどちらかが、図1(a)に示す配線108に接続されている。

30

40

【0135】

次に、図7(a)で示したオフセット回路の動作について、図7(b)、及び図7(c)を参照して説明する。

【0136】

なお、図7(b)は、配線105の信号がH信号からL信号、配線106の信号がL信号からH信号に変化した場合の図7(a)の動作を示している。

【0137】

また、図7(c)は、配線105の信号がL信号からH信号、配線106の信号がH信号からL信号に変化した場合の図7(a)のオフセット回路の動作を示している。つまり、図7(a)のオフセット回路は、図7(b)の動作と図7(c)の動作を任意のタイミン

50

グで繰り返している。また、図 7 (b) の動作を第 1 の動作とし、図 7 (c) の動作を第 3 の動作とする。

【0138】

なお、 $V_H - V_L$ は、トランジスタ 703、及びトランジスタ 704 のしきい値電圧以上である。

【0139】

まず、図 7 (a) のオフセット回路の第 1 の動作について、図 7 (b) を参照して説明する。なお、節点 N72 の初期値の電位を V_{SS} とする。

【0140】

初期状態として、容量素子 702 には、配線 106 の電位 V_L (L 信号) と、節点 N72 の電位 V_{SS} との電位差 $V_L - V_{SS}$ が保持されている。そして、配線 106 の電位が V_L から V_H に変化すると、節点 N72 の電位は容量素子 702 の容量結合によって、 $V_{SS} + (V_H - V_L)$ となる。したがって、トランジスタ 704 がオンする。 10

【0141】

また、トランジスタ 704 がオンすることによって、節点 N71 には電源電位 V_{SS} が供給され、節点 N71 の電位が V_{SS} になる。したがって、容量素子 701 は、配線 105 の電位 V_L (L 信号) と、節点 N71 の電位 V_{SS} との電位差 $V_L - V_{SS}$ を保持する。また、トランジスタ 703 がオフする。

【0142】

また、トランジスタ 703 がオフすることで、節点 N72 はフローティング状態になり、節点 N72 は電位を $V_{SS} + (V_H - V_L)$ に維持する。 20

【0143】

次に、図 7 (a) のオフセット回路の第 2 の動作について、図 7 (c) を参照して説明する。

【0144】

すでに述べたように、容量素子 701 には、第 1 の動作によって、 $V_L - V_{SS}$ が保持されている。そして、配線 105 の電位が V_L から V_H に変化すると、節点 N71 の電位は容量素子 701 の容量結合によって、 $V_{SS} + (V_H - V_L)$ となる。したがって、トランジスタ 703 がオンする。

【0145】

また、トランジスタ 703 がオンすることによって、節点 N72 には電源電位 V_{SS} が供給され、節点 N72 の電位が V_{SS} になる。したがって、容量素子 702 は、配線 106 の電位 V_L (L 信号) と、節点 N72 の電位 V_{SS} との電位差 $V_L - V_{SS}$ を保持する。また、トランジスタ 704 がオフする。 30

【0146】

また、トランジスタ 704 がオフすることで、節点 N71 はフローティング状態になり、節点 N71 は電位を $V_{SS} + (V_H - V_L)$ に維持する。

【0147】

ここで、容量素子 701、容量素子 702、トランジスタ 703、及びトランジスタ 704 が有する機能について説明する。 40

【0148】

まず、容量素子 701 は、第 1 の動作において、配線 105 の電位 V_L と、節点 N71 の電位 V_{SS} との電位差を保持する。そして、容量素子 701 は、第 2 の動作において、容量結合によって、配線 105 の電位の上昇にしたがって、節点 N71 の電位を上昇させる機能を有する。

【0149】

また、容量素子 702 は、第 2 の動作において、配線 106 の電位 V_L と、節点 N72 の電位 V_{SS} との電位差を保持する。そして、容量素子 702 は、第 1 の動作において、容量結合によって、配線 106 の電位の上昇にしたがって、節点 N72 の電位を上昇させる機能を有する。 50

【0150】

また、トランジスタ703は、節点N71の電位によって、配線104と節点N72とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ703は、第1の動作において、オフし、節点N72をフローティング状態にする。また、トランジスタ703は、第2の動作において、オンし、節点N72に電源電位VSSを供給する。

【0151】

また、トランジスタ704は、節点N72の電位によって、配線104と節点N71とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ704は、第1の動作において、オンし、節点N71に電源電位VSSを供給する。また、トランジスタ704は、第2の動作において、オフし、節点N71をフローティング状態にする。

10

【0152】

以上説明した第1の動作、及び第2の動作によって、図7(a)のオフセット回路は、第1の動作において、節点N71には電源電位VSSを供給し、節点N72をフローティング状態にし、節点N72の電位を $VSS + (VH - VL)$ に維持するように動作する。また、図7(a)の回路101は、第2の動作において、節点N71をフローティング状態にし、節点N71の電位を $VSS + (VH - VL)$ に維持し、節点N72には電源電位VSSを供給するように動作する。

【0153】

したがって、図7(a)のオフセット回路が生成する信号は、H信号が $VSS + (VH - VL)$ であり、L信号がVSSである。つまり、図7(a)のオフセット回路は、電源電位VSSを基準とした信号を生成することができる。

20

【0154】

なお、第1の動作における節点N72の電位、及び第2の動作における節点N71の電位は、 $VSS + (VH - VL)$ を維持するとした。しかし、実際には、第1の動作における節点N72の電位、及び第2の動作における節点N71の電位は、配線容量や寄生容量の影響などによって、 $VSS + (VH - VL)$ よりも低くなる。したがって、配線容量や寄生容量の影響を少なくするために、容量素子701、及び容量素子702の容量値は、配線容量や寄生容量の容量値よりも十分大きくしておけばよい。

30

【0155】

なお、節点N71を図1(a)に示す配線108に接続すれば、配線105に供給されている信号とH信号、L信号が同じ信号を配線108に供給することができる。同様に、節点N72を図1(a)に示す配線108に接続すれば、配線105に供給されている信号とH信号、L信号が反転した信号を配線108に供給することができる。

【0156】

また、節点N71を配線108に接続する場合には、容量素子702の容量値は、容量素子701の容量値よりも小さいことが好ましい。なぜなら、すでに述べたように、容量素子701の容量値は、配線容量や寄生容量の容量値よりも十分大きくしておけばよいと説明したが、節点N72の電位はトランジスタ704をオンできれば、節点N72の電位は $VSS + (VH - VL)$ にならなくてもよいからである。したがって、容量素子702の容量値を容量素子701の容量値よりも小さくできるため、容量素子702の素子領域を小さくできる。

40

【0157】

また、節点N72を配線108に接続する場合には、節点N71を配線108に接続する場合と同様の理由で、容量素子701の容量値は容量素子702の容量値よりも小さくすることが好ましい。

【0158】

なお、容量素子701、及び容量素子702は、絶縁層を2つの電極層で挟持した構成でもよい。容量素子701、及び容量素子702を絶縁層を2つの電極層で挟持した構成に

50

することで、容量素子 701、及び容量素子 702 は印加される電圧に関係なく容量値を一定に保つことができるため、本発明のレベルシフタは安定して動作できる。

【0159】

また、容量素子 701、及び容量素子 702 の絶縁層は、ゲート絶縁膜であることが好ましい。なぜなら、ゲート絶縁膜の膜厚は、一般的に他の絶縁膜（例えば、層間膜、平坦化膜など）に比べ薄いため、容量素子 701、及び容量素子 702 は効率的に容量値を得ることができるからである。

【0160】

なお、容量素子 701、及び容量素子 702 は、MOS 構造の容量素子としてもよい。容量素子 701、及び容量素子 702 を MOS 構造の容量素子とした場合の構成を図 8 (a) に示す。図 8 (a) に示すオフセット回路は、容量素子 701 の代わりに N チャネル型のトランジスタ 801 を用い、容量素子 702 の代わりに N チャネル型のトランジスタ 802 を用いている。また、トランジスタ 801 は、ゲートが配線 105 に接続され、第 1 端子、及び第 2 端子が節点 N71 に接続されていることを特徴とする。なぜなら、配線 105 の電位は節点 N71 の電位よりも高いため、トランジスタ 801 がオンして、チャンネルがトランジスタ 901 のチャンネル領域に形成されるため、トランジスタ 801 は容量素子として動作できるからである。同様に、トランジスタ 802 は、ゲートが配線 106 に接続され、第 1 端子、及び第 2 端子が節点 N72 に接続されていることを特徴とする。なぜなら、配線 106 の電位は節点 N72 の電位よりも高いため、トランジスタ 802 がオンして、チャンネルがトランジスタ 802 のチャンネル領域に形成されるため、トランジスタ 802 は容量素子として動作できるからである。

【0161】

また、図 8 (b) のように、容量素子として、P チャネル型のトランジスタを容量素子として用いることもできる。図 8 (b) に示すオフセット回路は、容量素子 701 の代わりに P チャネル型のトランジスタ 803 を用い、容量素子 702 の代わりに P チャネル型のトランジスタ 804 を用いている。また、トランジスタ 803 は、ゲートが節点 N71 に接続され、第 1 端子、及び第 2 端子が配線 105 に接続されていることを特徴とする。なぜなら、節点 N71 の電位は、配線 105 の電位よりも低いため、トランジスタ 803 がオンして、チャンネルがトランジスタ 803 のチャンネル領域に形成されるため、トランジスタ 803 が容量素子として動作する。同様に、トランジスタ 804 は、ゲートが節点 N72 に接続され、第 1 端子、及び第 2 端子が配線 106 に接続されていることを特徴とする。なぜなら、節点 N72 の電位は配線 106 の電位よりも低いため、トランジスタ 804 がオンして、チャンネルがトランジスタ 804 のチャンネル領域に形成されるため、トランジスタ 804 は容量素子として動作できるからである。

【0162】

なお、すでに述べたように、図 8 (a) において、節点 N71 を配線 108 に接続する場合には、トランジスタ 801 のチャンネル領域 (L: チャンネル長×W: チャンネル幅) よりも、トランジスタ 802 のチャンネル領域のほうが小さいことが好ましい。また、節点 N72 を配線 108 に接続する場合には、トランジスタ 801 のチャンネル領域よりも、トランジスタ 802 のチャンネル領域のほうが大きいほうが好ましい。

【0163】

また、同様に、図 8 (b) において、節点 N71 を配線 108 に接続する場合には、トランジスタ 803 のチャンネル領域 (L: チャンネル長×W: チャンネル幅) よりも、トランジスタ 804 のチャンネル領域のほうが小さいことが好ましい。また、節点 N72 を配線 108 に接続する場合には、トランジスタ 803 のチャンネル領域よりも、トランジスタ 804 のチャンネル領域のほうが大きいほうが好ましい。

【0164】

ここで、図 7 (a) に示したオフセット回路は、N チャネル型のトランジスタと容量素子とで構成したが、P チャネル型のトランジスタと容量素子とで構成されていてもよい。P チャネル型のトランジスタと容量素子とで構成した場合のオフセット回路を図 9 (a) に

示す。

【0165】

図9 (a) に示すオフセット回路は、容量素子701、容量素子702、トランジスタ901、及びトランジスタ902を有している。

【0166】

なお、トランジスタ901、及びトランジスタ902は、図7 (a) のトランジスタ703、及びトランジスタ704に、それぞれ対応し、それぞれ同様な機能を有する。また、節点N91、及び節点N92は、図7 (a) のトランジスタ節点N71、及び節点N72に、それぞれ対応している。

【0167】

図9 (a) のオフセット回路に示すように、容量素子701の第1電極が配線105に接続されている。容量素子702の第1電極が配線106に接続されている。トランジスタ901のゲートが容量素子701の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子702の第2電極に接続されている。トランジスタ902のゲートが容量素子702の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子701の第2電極に接続されている。なお、容量素子701の第2電極、トランジスタ901のゲート、及びトランジスタ902の第2端子の接続点を節点N91とする。なお、容量素子702の第2電極、トランジスタ901の第2端子、及びトランジスタ902のゲートの接続点を節点N92とする。なお、節点N91と節点N92のうちのどちらかが、図1 (a) に示す配線108に接続されている。

10

20

【0168】

次に、図9 (a) で示したオフセット回路の動作について、図9 (b)、及び図9 (c) を参照して説明する。

【0169】

なお、図9 (b) は、配線105の信号がH信号からL信号、配線106の信号がL信号からH信号に変化した場合の図9 (a) のオフセット回路の動作を示している。

【0170】

また、図9 (c) は、配線105の信号がL信号からH信号、配線106の信号がH信号からL信号に変化した場合の図9 (a) のオフセット回路の動作を示している。つまり、図9 (a) のオフセット回路は、図9 (b) の動作と図9 (c) の動作を任意のタイミングで繰り返している。また、図9 (b) の動作を第1の動作とし、図9 (c) の動作を第2の動作とする。

30

【0171】

まず、図9 (a) のオフセット回路の第1の動作について、図9 (b) を参照して説明する。なお、節点N91の初期値の電位をVSSとする。

【0172】

初期状態として、容量素子701には、配線105の電位VH (H信号) と、節点N91の電位VSSとの電位差 $VH - VSS$ が保持されている。そして、配線105の電位がVHからVLに変化すると、節点N91の電位は容量素子701の容量結合によって $VSS - (VH - VL)$ となる。したがって、トランジスタ901がオンする。

40

【0173】

また、トランジスタ901がオンすることによって、節点N92には電源電位VSSが供給され、節点N92の電位がVSSになる。したがって、容量素子702は、配線106の電位VH (H信号) と、節点N92の電位VSSとの電位差 $VH - VSS$ を保持する。また、トランジスタ902がオフする。

【0174】

また、トランジスタ902がオフすることによって、節点N91はフローティング状態になり、節点N91は電位 $VSS - (VH - VL)$ を維持する。

【0175】

次に、図9 (a) のオフセット回路の第2の動作について、図9 (c) を参照して説明す

50

る。

【0176】

すでに述べたように、容量素子702には、第1の動作によって、 $VH - VSS$ が保持されている。そして、配線106の電位が VH から VL に変化すると、節点N92の電位は容量素子702の容量結合によって、 $VSS - (VH - VL)$ となる。したがって、トランジスタ902がオンする。

【0177】

また、トランジスタ902がオンすることによって、節点N91には電源電位 VSS が供給され、節点N91の電位が VSS になる。したがって、容量素子701は、配線105の電位 VH （H信号）と、節点N91の電位 VSS との電位差 $VH - VSS$ を保持する。また、トランジスタ901がオフする。

10

【0178】

また、トランジスタ901がオフすることで、節点N92がフローティング状態になり、節点N92は電位を $VSS - (VH - VL)$ に維持する。

【0179】

以上説明した第1の動作、及び第2の動作によって、図9（a）のオフセット回路は、第1の動作において、節点N91をフローティング状態にし、節点N91の電位を $VSS - (VH - VL)$ に維持し、節点N92には電源電位 VSS を供給するように動作する。また、図9（a）のオフセット回路は、第2の動作において、節点N91には電源電位 VSS を供給し、節点N92をフローティング状態にし、節点N92の電位を $VSS - (VH - VL)$ に維持するように動作する。

20

【0180】

したがって、図9（a）のオフセット回路が生成する信号は、H信号が VSS であり、L信号が $VSS - (VH - VL)$ である。つまり、図9（a）のオフセット回路は、電源電位 VSS を基準とした信号を生成することができる。

【0181】

なお、図7（a）のオフセット回路と同様に、図9（a）のオフセット回路が生成する信号は、L信号の電位を $VSS - (VH - VL)$ としたが、実際には、 $VSS - (VH - VL)$ よりも少し高くなっている。

【0182】

30

なお、図7（a）のオフセット回路と同様に、節点N91を図1（a）に示す配線108に接続すれば、配線105に供給されている信号とH信号、L信号が同じ信号を配線108に供給することができる。同様に、節点N92を図1（a）に示す配線108に接続すれば、配線105に供給されている信号とH信号、L信号が反転した信号を配線108に供給することができる。

【0183】

また、図7（a）のオフセット回路と同様に、節点N91を配線108に接続する場合には、容量素子702の容量値は、容量素子701の容量値よりも小さいことが好ましい。

【0184】

また、図7（a）のオフセット回路と同様に、節点N92を配線108に接続する場合には、容量素子701の容量値は容量素子702の容量値よりも小さくすることが好ましい。

40

【0185】

なお、図8のオフセット回路と同様に、容量素子701、及び容量素子702はMOS構造の容量素子としてもよい。図10（a）に示すように、容量素子701の代わりにPチャンネル型のトランジスタ1091を用い、容量素子702の代わりにPチャンネル型のトランジスタ1092を用いてもよい。また、トランジスタ1091のゲートが節点N91に接続され、第1端子、及び第2端子が配線105に接続されていることを特徴とする。同様に、トランジスタ1092のゲートが節点N92に接続され、第1端子、及び第2端子が配線106に接続されていることを特徴とする。

50

【0186】

また、図8のオフセット回路と同様に、図10(b)のように、容量素子701、及び容量素子702として、Nチャネル型のトランジスタ1093、及びNチャネル型のトランジスタ1094を、それぞれ用いることもできる。また、トランジスタ1093のゲートが配線105に接続され、第1端子、及び第2端子が節点N91に接続されていることを特徴とする。同様に、トランジスタ1094のゲートが配線106に接続され、第1端子、及び第2端子が節点N92に接続されていることを特徴とする。

【0187】

なお、図8のオフセット回路と同様に、図10(a)において、節点N91を配線108に接続する場合には、トランジスタ1091のチャンネル領域よりも、トランジスタ1092のチャンネル領域のほうが小さいことが好ましい。また、節点N92を配線108に接続する場合には、トランジスタ1091のチャンネル領域よりも、トランジスタ1092のチャンネル領域のほうが大きいことが好ましい。

【0188】

また、同様に、図10(b)において、節点N91を配線108に接続する場合には、トランジスタ1093のチャンネル領域よりも、トランジスタ1094のチャンネル領域のほうが小さいことが好ましい。また、節点N92を配線108に接続する場合には、トランジスタ1093のチャンネル領域よりも、トランジスタ1094のチャンネル領域のほうが大きいことが好ましい。

【0189】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0190】

(第4の実施形態)

本実施形態では、第1の実施形態に示したレベルシフタが有する回路101(オフセット回路)の構成例について説明する。なお、本実施形態では、配線105、及び配線106に供給される信号を、同じタイミング(若しくは反転)、及びおおむね等しい振幅電圧のまま、電位をH側、及びL側にシフトさせて、配線107、及び配線108に、それぞれ供給する場合の構成例について説明する。

【0191】

なお、第1の実施形態～第3の実施形態と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0192】

まず、オフセット回路の構成例を図11を参照して説明する。

【0193】

図11に示すオフセット回路は、容量素子301、容量素子302、トランジスタ303、トランジスタ304、容量素子701、容量素子702、トランジスタ703、及びトランジスタ704を有している。

【0194】

図11のオフセット回路に示すように、容量素子301の第1電極が配線105に接続されている。容量素子302の第1電極が配線106に接続されている。トランジスタ303のゲートが容量素子301の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子302の第2電極に接続されている。トランジスタ304のゲートが容量素子302の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子301の第2電極に接続されている。容量素子702の第1電極が配線106に接続されている。トランジスタ703のゲートが容量素子701の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子702の第2電極に接続されている。トランジスタ704のゲートが容量素子702の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子701の第2電極に接続されている。

【0195】

なお、容量素子301の第2電極、トランジスタ303のゲート、及びトランジスタ304の第2端子の接続点を節点N31とする。なお、容量素子302の第2電極、トランジスタ303の第2端子、及びトランジスタ304のゲートの接続点を節点N32とする。なお、容量素子701の第2電極、トランジスタ703のゲート、及びトランジスタ704の第2端子の接続点を節点N71とする。なお、容量素子702の第2電極、トランジスタ703の第2端子、及びトランジスタ704のゲートの接続点を節点N72とする。

【0196】

なお、節点N31と節点N32のうちのどちらかが、図1に示す配線107に接続されている。なお、節点N71と節点N72のうちのどちらかが、図1に示す配線108に接続されている。

10

【0197】

なお、容量素子301、容量素子302、トランジスタ303、及びトランジスタ304によって、図3(a)に示したオフセット回路を構成している。また、容量素子701、容量素子702、トランジスタ703、及びトランジスタ704によって、図7(a)に示したオフセット回路を構成している。

【0198】

なお、すでに述べたように、配線103、及び配線104には、それぞれ電源電位VDD、及び電源電位VSSが供給されている。また、配線105の信号は、配線106の信号に対してHレベル、Lレベルが反転している。

20

【0199】

なお、図11に示したオフセット回路の動作については、図3(a)、及び図7(a)と同様なので、省略する。

【0200】

なお、すでに述べたように、容量素子301、容量素子302、容量素子701、及び容量素子702は、MOS構造の容量素子としてもよい。容量素子301、容量素子302、容量素子701、及び容量素子702をMOS構造にした場合の構成を図12に示す。

【0201】

図12のオフセット回路に示すように、容量素子301、容量素子302、容量素子701、及び容量素子702は、トランジスタ401、トランジスタ402、トランジスタ801、トランジスタ802に、それぞれ置き換えることができる。なお、トランジスタ401、トランジスタ402、トランジスタ801、トランジスタ802は、それぞれNチャンネル型である。

30

【0202】

また、トランジスタ401のゲートが節点N31に接続され、第1端子、及び第2端子が配線105に接続されている。トランジスタ402のゲートが節点N32に接続され、第1端子、及び第2端子が配線106に接続されている。トランジスタ801のゲートが配線105に接続され、第1端子、及び第2端子が節点N71に接続されている。トランジスタ802のゲートが配線106に接続され、第1端子、及び第2端子が節点N72に接続されている。

40

【0203】

ここで、図11に示したオフセット回路は、Nチャンネル型のトランジスタと容量素子とで構成したが、Pチャンネル型のトランジスタを容量素子とで構成していてもよい。Pチャンネル型のトランジスタと容量素子とで構成した場合のオフセット回路を図13に示す。

【0204】

図13に示すオフセット回路は、容量素子301、容量素子302、トランジスタ501、トランジスタ502、容量素子701、容量素子702、トランジスタ901、及びトランジスタ902を有している。

【0205】

図13のオフセット回路に示すように、容量素子301の第1電極が配線105に接続さ

50

れている。容量素子 302 の第 1 電極が配線 106 に接続されている。トランジスタ 501 のゲートが容量素子 301 の第 2 電極に接続され、第 1 端子が配線 103 に接続され、第 2 端子が容量素子 302 の第 2 電極に接続されている。トランジスタ 502 のゲートが容量素子 302 の第 2 電極に接続され、第 1 端子が配線 103 に接続され、第 2 端子が容量素子 301 の第 2 電極に接続されている。容量素子 702 の第 1 電極が配線 106 に接続されている。トランジスタ 901 のゲートが容量素子 701 の第 2 電極に接続され、第 1 端子が配線 104 に接続され、第 2 端子が容量素子 702 の第 2 電極に接続されている。トランジスタ 902 のゲートが容量素子 702 の第 2 電極に接続され、第 1 端子が配線 104 に接続され、第 2 端子が容量素子 701 の第 2 電極に接続されている。

【0206】

10

なお、容量素子 301 の第 2 電極、トランジスタ 501 のゲート、及びトランジスタ 502 の第 2 端子の接続点を節点 N51 とする。なお、容量素子 302 の第 2 電極、トランジスタ 501 の第 2 端子、及びトランジスタ 502 のゲートの接続点を節点 N52 とする。なお、容量素子 701 の第 2 電極、トランジスタ 901 のゲート、及びトランジスタ 902 の第 2 端子の接続点を節点 N91 とする。なお、容量素子 702 の第 2 電極、トランジスタ 901 の第 2 端子、及びトランジスタ 902 のゲートの接続点を節点 N92 とする。

【0207】

なお、節点 N51 と節点 N52 のうちのどちらかが、図 1 (a) に示す配線 107 に接続されている。なお、節点 N91 と節点 N92 のうちどちらかが、図 1 (a) に示す配線 108 に接続されている。

20

【0208】

なお、容量素子 301、容量素子 302、トランジスタ 501、及びトランジスタ 502 によって、図 5 (a) に示したオフセット回路を構成している。また、容量素子 701、容量素子 702、トランジスタ 901、及びトランジスタ 902 によって、図 9 (a) に示したオフセット回路を構成している。

【0209】

なお、すでに述べたように、配線 103、及び配線 104 には、それぞれ電源電位 VDD、及び電源電位 VSS が供給されている。また、配線 105 の信号は、配線 106 の信号に対して H レベル、L レベルが反転している。

【0210】

30

なお、図 13 に示したオフセット回路の動作については、図 5 (a)、及び図 9 (a) と同様なので、省略する。

【0211】

なお、すでに述べたように、容量素子 301、容量素子 302、容量素子 701、及び容量素子 702 は、MOS 構造の容量素子としてもよい。容量素子 301、容量素子 302、容量素子 701、及び容量素子 702 を MOS 構造にした場合の構成を図 14 に示す。

【0212】

図 14 のオフセット回路に示すように、容量素子 301、容量素子 302、容量素子 701、及び容量素子 702 は、トランジスタ 601、トランジスタ 602、トランジスタ 1091、トランジスタ 1092 に、それぞれ置き換えることができる。なお、トランジスタ 601、トランジスタ 602、トランジスタ 1091、トランジスタ 1092 は、それぞれ P チャネル型である。

40

【0213】

また、トランジスタ 601 のゲートが配線 105 に接続され、第 1 端子、及び第 2 端子が節点 N51 に接続されている。トランジスタ 602 のゲートが配線 106 に接続され、第 1 端子、及び第 2 端子が節点 N52 に接続されている。トランジスタ 1091 のゲートが節点 N91 に接続され、第 1 端子、及び第 2 端子が配線 105 に接続されている。トランジスタ 1092 のゲートが節点 N92 に接続され、第 1 端子、及び第 2 端子が配線 106 に接続されている。

【0214】

50

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0215】

(第5の実施形態)

本実施形態では、第1の実施形態に示したレベルシフタの具体的な構成について説明する。

【0216】

なお、第1の実施形態～第4の実施形態と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

10

【0217】

まず、本発明のレベルシフタの具体的な構成例を図15を参照して説明する。

【0218】

図15に示すレベルシフタは、容量素子701、容量素子702、トランジスタ703、トランジスタ704、トランジスタ1501、及びトランジスタ1502を有している。

【0219】

図15のレベルシフタに示すように、容量素子701の第1電極が配線105に接続されている。容量素子702の第1電極が配線106に接続されている。トランジスタ703のゲートが容量素子701の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子702の第2電極に接続されている。トランジスタ704のゲートが容量素子702の第2電極に接続され、第1端子が配線104に接続され、第2端子が容量素子701の第2電極に接続されている。なお、容量素子701の第2電極、トランジスタ703のゲート、及びトランジスタ704の第2端子の接続点を節点N71とする。なお、容量素子702の第2電極、トランジスタ703の第2端子、及びトランジスタ704のゲートの接続点を節点N72とする。トランジスタ1502のゲートが節点N72に接続され、第1端子が配線104に接続され、第2端子が配線109に接続されている。トランジスタ1501のゲートが配線103に接続され、第1端子が配線103に接続され、第2端子が配線109に接続されている。

20

【0220】

なお、容量素子701、容量素子702、トランジスタ703、及びトランジスタ704によって、オフセット回路1503が構成されている。オフセット回路1503は、図7(a)に示したオフセット回路と同様である。

30

【0221】

なお、トランジスタ1501、及びトランジスタ1502によって、論理回路1500が構成されている。論理回路1500は、図1の回路102に相当する。

【0222】

なお、トランジスタ1501、及びトランジスタ1502は、Nチャネル型である。したがって、図15に示すレベルシフタはすべてNチャネル型のトランジスタで構成することができたため、図15に示すレベルシフタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の半導体装置を作製することも可能となる。

40

【0223】

また、図15に示すレベルシフタは、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0224】

次に、図15に示すレベルシフタの動作について、図16のタイミングチャートを参照して説明する。ただし、図16に示すタイミングチャートの電位の変化のタイミングは、任意であり、図16のタイミングチャートに限定されない。

【0225】

50

なお、図 16 (a) のタイミングチャートは、配線 105 に供給される信号（電位）、及び節点 N71 の電位を示している。図 16 (b) のタイミングチャートは、配線 106 に供給される信号（電位）、及び節点 N72 の電位を示している。図 16 (c) のタイミングチャートは、配線 109 に供給される信号（電位）を示している。

【0226】

なお、配線 105 に L 信号が供給され、配線 106 に H 信号が供給されときの図 15 のレベルシフタの動作を図 17 に示す。配線 105 に H 信号が供給され、配線 106 に L 信号が供給されいるときの図 15 のレベルシフタの動作を図 18 に示す。また、図 17 の動作を第 1 の動作とし、図 18 の動作を第 2 の動作とする。

【0227】

なお、オフセット回路 1503 の動作は図 7 (a) のオフセット回路と同様なので、オフセット回路 1503 の詳細な動作の説明は省略する。

【0228】

まず、図 15 のレベルシフタの第 1 の動作について、図 16 のタイミングチャート、及び図 17 を参照して説明する。

【0229】

配線 105 が L レベルになると、節点 N71 の電位が VSS になる。一方、配線 106 が H レベルになると、節点 N72 の電位が $VSS + (VH - VL)$ になる。したがって、トランジスタ 1502 がオンして、配線 109 に電源電位 VSS が供給され、配線 109 から L 信号が出力される。なお、配線 109 の電位は、トランジスタ 1501 とトランジスタ 1502 との動作点によって決定され、電源電位 VSS よりも少し高くなる。

【0230】

次に、図 15 のレベルシフタの第 2 の動作について、図 16 のタイミングチャート、及び図 18 を参照して説明する。

【0231】

配線 105 が H レベルになると、節点 N71 の電位が $VSS + (VH - VL)$ になる。一方、配線 106 が L レベルになると、節点 N72 の電位が VSS になる。したがって、トランジスタ 1502 がオフして、配線 109 に電源電位 VDD が供給され、配線 109 の電位が上昇する。この配線 109 の電位の上昇は、配線 109 の電位が電源電位 VDD からトランジスタ 1501 のしきい値電圧 V_{th1501} を引いた電位 ($VDD - V_{th1501}$) になって、トランジスタ 1501 がオフするまで続く。よって、配線 109 の電位は $VDD - V_{th1501}$ になり、配線 109 から H 信号が出力される。

【0232】

ここで、論理回路 1500、及びオフセット回路 1503 が有する機能について説明する。

【0233】

まず、オフセット回路 1503 は、図 7 (a) に示したオフセット回路と同様な機能を有する。また、オフセット回路 1503 は、H 信号の電位が VH であり L 信号の電位が VL である制御信号から、H 信号の電位が $VSS + (VH - VL)$ であり L 信号の電位が VSS であるオフセット信号を生成し、そのオフセット信号を論理回路 1500 に供給する機能を有する。

【0234】

また、論理回路 1500 は、H 信号の電位が $VSS + (VH - VL)$ であり L 信号の電位が VSS であるオフセット信号から、H 信号の電位が $VDD - V_{th1501}$ であり L 信号の電位がおよそ VSS の出力信号を生成し、出力信号を配線 109 に供給する機能を有する。

【0235】

ここで、トランジスタ 1501、及びトランジスタ 1502 が有する機能について説明する。

【0236】

10

20

30

40

50

まず、トランジスタ1501は、ダイオードとしての機能を有している。また、入力端子がゲート、及び第1端子であり、出力端子が第2端子である。なお、トランジスタ1501は、抵抗成分を持つ素子であればよい。なお、トランジスタ1501の代わりに抵抗素子を用いることで、論理回路1500は、第2の動作において、配線109の電位を電源電位VDDと等しくできる。

【0237】

また、トランジスタ1502は、節点N72の電位によって、配線104と配線109とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ1502は、第1の動作において、オンし、電源電位VSSを配線109に供給する。

【0238】

以上説明した第1の動作、及び第2の動作によって、図15のレベルシフタは、配線105、及び配線106に供給される制御信号を、H信号の電位をVHからVDDにし、L信号の電位をVLからVSSにして、配線109から出力することができる。

【0239】

なお、トランジスタ1502のゲート電圧が第1の動作において $VSS + (VH - VL)$ であり、第2の動作においてVSSであるため、論理回路1500の貫通電流が小さくなる。なぜなら、トランジスタ1502のゲートの振幅電圧が小さい($VH - VL$)からである。したがって、論理回路1500の貫通電流が小さいことで、図15のレベルシフタを有する半導体装置の消費電力が少なくなる。

【0240】

また、トランジスタ1502のゲートの振幅電圧が小さいことで、論理回路1500に発生するノイズが小さくなる。なぜなら、トランジスタ1502のゲートと、第2端子(配線109)との間の寄生容量を介して発生するノイズが小さくなるからである。

【0241】

なお、すでに述べたように、容量素子701、及び容量素子702は、MOS構造にすることができる。なお、図15のレベルシフタの場合は、図8(a)のオフセット回路のように、Nチャネル型のトランジスタによって容量素子を形成することが好ましい。なぜなら、容量素子をNチャネル型のトランジスタによって形成することによって、図15に示すレベルシフタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の半導体装置を作製することも可能となる。

【0242】

また、図15に示すレベルシフタは、半導体層にポリシリコンや単結晶シリコンを用いて製造工程の簡略化を図ることができる。

【0243】

なお、図19に示すように、図15のレベルシフタは、トランジスタ1502のゲートが節点N71に接続されていてもよい。トランジスタ1502のゲートが節点N71に接続されている場合(図19)には、図20のタイミングチャートに示すように、配線109の信号(電位)がトランジスタ1502のゲートが節点N72に接続されている場合(図15)に比べて、Hレベル、Lレベルが反転している。また、図19のレベルシフタの動作は、図15のレベルシフタと同様である。したがって、トランジスタ1502のゲートの接続先を節点N71にするか、節点N72にするかは、必要に応じて使い分ければよい。

【0244】

ここで、図15に示したレベルシフタは、Nチャネル型のトランジスタと容量素子とで構成したが、Pチャネル型のトランジスタと容量素子とで構成されていてもよい。Pチャネル型のトランジスタと容量素子とで構成した場合のレベルシフタを図29に示す。

【0245】

図29に示すレベルシフタは、容量素子301、容量素子302、トランジスタ501、トランジスタ502、トランジスタ2901、及びトランジスタ2902を有している。

10

20

30

40

50

【0246】

なお、容量素子301、容量素子302、トランジスタ501、トランジスタ502、トランジスタ2901、及びトランジスタ2902は、図15の容量素子701、容量素子702、トランジスタ703、トランジスタ704、トランジスタ1501、及びトランジスタ1502に、それぞれ対応し、同様な機能を有する。また、論理回路2900、及びオフセット回路2903は、図15の論理回路1500、及びオフセット回路1503に、それぞれ対応し、同様な機能を有する。また、節点N51、及び節点N52は、図15の節点N71、及び節点N72に、それぞれ対応している。

【0247】

図29のレベルシフタに示すように、容量素子301の第1電極が配線105に接続されている。容量素子302の第1電極が配線106に接続されている。トランジスタ501のゲートが容量素子301の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子302の第2電極に接続されている。トランジスタ502のゲートが容量素子302の第2電極に接続され、第1端子が配線103に接続され、第2端子が容量素子301の第2電極に接続されている。なお、容量素子301の第2電極、トランジスタ501のゲート、及びトランジスタ502の第2端子の接続点を節点N51とする。なお、容量素子302の第2電極、トランジスタ501の第2端子、及びトランジスタ502のゲートの接続点を節点N52とする。トランジスタ2902のゲートが節点N52に接続され、第1端子が配線103に接続され、第2端子が配線109に接続されている。トランジスタ2901のゲートが配線104に接続され、第1端子が配線104に接続され、第2端子が配線109に接続されている。

【0248】

次に、図29で示したレベルシフタの動作について、図30のタイミングチャートを参照して説明する。ただし、図30に示すタイミングチャートの電位の変化のタイミングは、任意であり、図30のタイミングチャートに限定されない。

【0249】

なお、図30(a)のタイミングチャートは、配線105に供給される信号(電位)、及び節点N51の電位を示している。図30(b)のタイミングチャートは、配線106に供給される信号(電位)、及び節点N52の電位を示している。図30(c)のタイミングチャートは、配線109に供給される信号(電位)を示している。

【0250】

なお、配線105にL信号が供給され、配線106にH信号が供給されるとき図29のレベルシフタの動作を図31に示す。配線105にH信号が供給され、配線106にL信号が供給されるとき図29のレベルシフタの動作を図32に示す。また、図31の動作を第1の動作とし、図32の動作を第2の動作とする。

【0251】

なお、オフセット回路2903の動作は図5(a)のオフセット回路と同様なので、オフセット回路2903の詳細な動作の説明は省略する。

【0252】

まず、図29のレベルシフタの第1の動作について、図30のタイミングチャート、及び図31を参照して説明する。

【0253】

配線105がLレベルになると、節点N51の電位が $V_{DD} - (V_H - V_L)$ になる。一方、配線106がHレベルになると、節点N52の電位が V_{DD} になる。したがって、トランジスタ2902がオフして、配線109に電源電位 V_{SS} が供給され、配線109の電位が減少する。この配線109の電位の減少は、配線109の電位が電源電位 V_{SS} とトランジスタ2901のしきい値電圧 V_{th2901} の絶対値とを足した値($V_{SS} + |V_{th2901}|$)になって、トランジスタ2901がオフするまで続く。よって、配線109の電位は $V_{SS} + |V_{th2901}|$ になり、配線109からL信号が出力される。

【0254】

次に、図29のレベルシフタの第2の動作について、図30のタイミングチャート、及び図32を参照して説明する。

【0255】

配線105がHレベルになると、節点N51の電位がVDDになる。一方、配線106がLレベルになると、節点N52の電位が $VDD - (VH - VL)$ になる。したがって、トランジスタ2902がオンして、配線109に電源電位VDDが供給され、配線109からH信号が出力される。なお、配線109の電位は、トランジスタ2901とトランジスタ2902との動作点によって決定され、電源電位VDDよりも少し低くなる。

【0256】

以上説明した第1の動作、及び第2の動作によって、図29のレベルシフタは、配線105、及び配線106に供給される制御信号を、H信号の電位をVHからVDDにし、L信号の電位をVLからVSSにして、配線109から出力することができる。

【0257】

なお、トランジスタ2902のゲート電圧が第1の動作においてVDDであり、第2の動作において $VDD - (VH - VL)$ であるため、論理回路2900の貫通電流が小さくなる。なぜなら、トランジスタ2902のゲートの振幅電圧が小さい(VH-VL)からである。したがって、論理回路2900の貫通電流が小さいことで、図29のレベルシフタを有する半導体装置の消費電力が少なくなる。

【0258】

また、トランジスタ2902のゲートの振幅電圧が小さいことで、論理回路2900に発生するノイズが小さくなる。なぜなら、トランジスタ2902のゲートと、第2端子(配線109)との間の寄生容量を介して発生するノイズが小さくなるからである。

【0259】

なお、すでに述べたように、容量素子301、及び容量素子302は、MOS構造にすることができる。なお、図29のレベルシフタの場合は、図6(a)のオフセット回路のように、Pチャネル型のトランジスタによって容量素子を形成することが好ましい。

【0260】

なお、図33に示すように、図29のレベルシフタは、トランジスタ2902のゲートが節点N51に接続されていてもよい。また、トランジスタ2902のゲートが節点N51に接続されている場合のタイミングチャートを図34に示す。

【0261】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0262】

(第6の実施形態)

本実施形態では、第5の実施形態とは別の第1の実施形態に示したレベルシフタの具体的な構成について説明する。

【0263】

なお、第1の実施形態～第5の実施形態と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0264】

まず、本発明のレベルシフタの具体的な構成例を図21を参照して説明する。

【0265】

図21に示すレベルシフタは、容量素子701、容量素子702、トランジスタ703、トランジスタ704、トランジスタ2101、トランジスタ2102、トランジスタ2103、及びトランジスタ2104を有している。

【0266】

図21のレベルシフタに示すように、トランジスタ2101のゲートが配線103に接続

10

20

30

40

50

され、第1端子が配線103に接続され、第2端子が配線109-2に接続されている。トランジスタ2102のゲートが節点N72に接続され、第1端子が配線104に接続され、第2端子が配線109-2に接続されている。トランジスタ2103のゲートが配線103に接続され、第1端子が配線103に接続され、第2端子が配線109-1に接続されている。トランジスタ2104のゲートが節点N71に接続され、第1端子が配線104に接続され、第2端子が配線109-1に接続されている。

【0267】

なお、トランジスタ2101、及びトランジスタ2102によって、図15の論理回路1500が構成されている。また、トランジスタ2103、及びトランジスタ2104によっても、図15の論理回路1500が構成されている。また、トランジスタ2101、トランジスタ2102、トランジスタ2103、及びトランジスタ2104によって、論理回路2100が構成されている。

10

【0268】

なお、トランジスタ2101、トランジスタ2102、トランジスタ2103、及びトランジスタ2104は、Nチャネル型である。したがって、図21に示すレベルシフタはすべてNチャネル型のトランジスタで構成することができたため、図21に示すレベルシフタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の半導体装置を作製することも可能となる。

【0269】

また、図21に示すレベルシフタは、半導体層にポリシリコンや単結晶シリコンを用いて製造工程の簡略化を図ることができる。

20

【0270】

次に、図21に示すレベルシフタの動作について、図22のタイミングチャートを参照して説明する。ただし、図22に示すタイミングチャートの電位の変化のタイミングは、任意であり、図22のタイミングチャートに限定されない。

【0271】

なお、配線105にL信号が供給され、配線106にH信号が供給されるとき図21のレベルシフタの動作を図23に示す。配線105にH信号が供給され、配線106にL信号が供給されるとき図21のレベルシフタの動作を図24に示す。また、図23の動作を第1の動作とし、図24の動作を第2の動作とする。

30

【0272】

なお、オフセット回路1503の動作は図7(a)のオフセット回路と同様なので、オフセット回路1503の詳細な動作の説明は省略する。

【0273】

なお、トランジスタ2101とトランジスタ2102とによって構成される回路と、トランジスタ2103とトランジスタ2104とによって構成される回路の動作は、図15の論理回路1500の動作と同様なので、詳細な動作の説明は省略する。

【0274】

まず、図21のレベルシフタの第1の動作につて、図22のタイミングチャート、及び図23を参照して説明する。

40

【0275】

第1の動作では、図23に示すように、配線109-1からH信号が出力され、配線109-2からL信号が出力される。なお、配線109-1の電位は、図15の論理回路1500と同様に、電源電位VDDからトランジスタ2103のしきい値電圧 V_{th2103} を引いた電位($VDD - V_{th2103}$)である。また、配線109-2の電位は、図15の論理回路1500と同様に、トランジスタ2101とトランジスタ2102との動作点によって決まり、電源電位VSSよりも少し高い電位である。

【0276】

次に、図21のレベルシフタの第2の動作について、図22のタイミングチャート、及び

50

図 2 4 を参照して説明する。

【0 2 7 7】

第 2 の動作では、図 2 4 に示すように、配線 1 0 9 - 1 から L 信号が出力され、配線 1 0 9 - 2 から H 信号が出力される。なお、配線 1 0 9 - 1 の電位は、図 1 5 の論理回路 1 5 0 0 と同様に、トランジスタ 2 1 0 3 とトランジスタ 2 1 0 4 との動作点によって決まり、電源電位 V_{SS} よりも少し高い電位である。また、配線 1 0 9 - 2 の電位は、図 1 5 の論理回路 1 5 0 0 と同様に、電源電位 V_{DD} からトランジスタ 2 1 0 1 のしきい値電圧 V_{th2101} を引いた電位 ($V_{DD} - V_{th2101}$) である。

【0 2 7 8】

ここで、論理回路 2 1 0 0 が有する機能について説明する。

10

【0 2 7 9】

論理回路 2 1 0 0 は、2 つの図 1 5 の論理回路 1 5 0 0 を有しており、反転した 2 つの信号を配線 1 0 9 - 1、及び配線 1 0 9 - 2 から、それぞれ出力する。

【0 2 8 0】

ここで、トランジスタ 2 1 0 1、トランジスタ 2 1 0 2、トランジスタ 2 1 0 3、及びトランジスタ 2 1 0 4 が有する機能について説明する。

【0 2 8 1】

まず、トランジスタ 2 1 0 1 は、ダイオードとしての機能を有している。また、入力端子がゲート、及び第 1 端子であり、出力端子が第 2 端子である。なお、トランジスタ 2 1 0 1 は、抵抗成分を持つ素子であればよい。なお、トランジスタ 2 1 0 1 の代わりに抵抗素子を用いることで、論理回路 2 1 0 0 は、第 2 の動作において、配線 1 0 9 - 2 の電位を電源電位 V_{DD} と等しくできる。

20

【0 2 8 2】

また、トランジスタ 2 1 0 2 は、節点 N 7 2 の電位によって、配線 1 0 4 と配線 1 0 9 - 2 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 2 1 0 2 は、第 1 の動作において、オンし、電源電位 V_{SS} を配線 1 0 9 - 2 に供給する。

【0 2 8 3】

また、トランジスタ 2 1 0 3 は、ダイオードとしての機能を有している。また、入力端子がゲート、及び第 1 端子であり、出力端子が第 2 端子である。なお、トランジスタ 2 1 0 3 は、抵抗成分を持つ素子であればよい。なお、トランジスタ 2 1 0 3 の代わりに抵抗素子を用いることで、論理回路 2 1 0 0 は、第 1 の動作において、配線 1 0 9 - 1 の電位を電源電位 V_{DD} と等しくできる。

30

【0 2 8 4】

また、トランジスタ 2 1 0 4 は、節点 N 7 1 の電位によって、配線 1 0 4 と配線 1 0 9 - 1 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 2 1 0 4 は、第 1 の動作において、オンし、電源電位 V_{SS} を配線 1 0 9 - 1 に供給する。

【0 2 8 5】

以上説明した第 1 の動作、及び第 2 の動作によって、図 2 1 のレベルシフタは、配線 1 0 5、及び配線 1 0 6 に供給される制御信号を、H 信号の電位を V_H から V_{DD} にし、L 信号の電位を V_L から V_{SS} にして、配線 1 0 9 - 1、及び配線 1 0 9 - 2 から、それぞれ出力することができる。

40

【0 2 8 6】

また、図 2 1 のレベルシフタは、H レベル、L レベルが反転した 2 つの信号を配線 1 0 9 - 1、及び配線 1 0 9 - 2 から、それぞれ出力することができる。

【0 2 8 7】

なお、トランジスタ 2 1 0 2 のゲート電圧が第 1 の動作において $V_{SS} + (V_H - V_L)$ であり、第 2 の動作において V_{SS} であるため、論理回路 2 1 0 0 の貫通電流が小さくなる。なぜなら、トランジスタ 2 1 0 2 のゲートの振幅電圧が小さい ($V_H - V_L$) からで

50

ある。したがって、論理回路 2100 の貫通電流が小さいことで、図 21 のレベルシフタを有する半導体装置の消費電力が少なくなる。

【0288】

また、トランジスタ 2102 と同様に、トランジスタ 2104 のゲート電圧が第 1 の動作において V_{SS} であり、第 2 の動作において $V_{SS} + (V_H - V_L)$ であるため、論理回路 2100 の貫通電流が小さくなる。なぜなら、トランジスタ 2104 のゲートの振幅電圧が小さい ($V_H - V_L$) からである。したがって、論理回路 2100 の貫通電流が小さいことで、図 21 のレベルシフタを有する半導体装置の消費電力が少なくなる。

【0289】

また、トランジスタ 2102 のゲートの振幅電圧が小さいことで、論理回路 2100 に発生するノイズが小さくなる。なぜなら、トランジスタ 2102 のゲートと、第 2 端子（配線 109-2）との間の寄生容量を介して発生するノイズが小さくなるからである。

【0290】

また、トランジスタ 2102 と同様に、トランジスタ 2104 のゲートの振幅電圧が小さいことで、論理回路 2100 に発生するノイズが小さくなる。なぜなら、トランジスタ 2104 のゲートと、第 2 端子（配線 109-1）との間の寄生容量を介して発生するノイズが小さくなるからである。

【0291】

なお、容量素子 701 の容量値、及び容量素子 702 の容量値は、おおむね等しくすることが好ましい。なぜなら、容量素子 701 の容量値と容量素子 702 の容量値を等しくすることで、配線 109-1、及び配線 109-2 の出力信号の遅延などのタイミングのずれを等しくすることができるからである。

【0292】

なお、すでに述べたように、容量素子 701、及び容量素子 702 は、MOS 構造にすることができ。なお、図 21 のレベルシフタの場合は、図 8 (a) のオフセット回路のように、Nチャネル型のトランジスタによって容量素子を形成することが好ましい。なぜなら、容量素子を Nチャネル型のトランジスタによって形成することによって、図 21 に示すレベルシフタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の半導体装置を作製することも可能となる。

【0293】

また、図 21 に示すレベルシフタは、半導体層にポリシリコンや単結晶シリコンを設けても製造工程の簡略化を図ることができる。

【0294】

ここで、図 21 に示したレベルシフタは、Nチャネル型のトランジスタと容量素子とで構成したが、Pチャネル型のトランジスタと容量素子とで構成されていてもよい。Pチャネル型のトランジスタと容量素子とで構成した場合のレベルシフタを図 35 に示す。

【0295】

図 35 に示すレベルシフタは、容量素子 301、容量素子 302、トランジスタ 503、トランジスタ 504、トランジスタ 3501、トランジスタ 3502、トランジスタ 3503、及びトランジスタ 3504 を有している。

【0296】

なお、容量素子 301、容量素子 302、トランジスタ 501、トランジスタ 502、トランジスタ 3501、トランジスタ 3502、トランジスタ 3503、及びトランジスタ 3504 は、図 21 の容量素子 701、容量素子 702、トランジスタ 703、トランジスタ 704、トランジスタ 2101、トランジスタ 2102、トランジスタ 2103、及びトランジスタ 2104 に、それぞれ対応し、同様な機能を有する。また、オフセット回路 2903、及び論理回路 3500 は、図 21 のオフセット回路 1503、及び論理回路 2100 に、それぞれ対応し、同様な機能を有する。また、節点 N51、節点 N52 は、図 21 の節点 N71、及び節点 N72 に、それぞれ対応している。

10

20

30

40

50

【0297】

図35のレベルシフタに示すように、トランジスタ3501のゲートが配線104に接続され、第1端子が配線104に接続され、第2端子が配線109-2に接続されている。トランジスタ3502のゲートが節点N52に接続され、第1端子が配線103に接続され、第2端子が配線109-2に接続されている。トランジスタ3503のゲートが配線104に接続され、第1端子が配線104に接続され、第2端子が配線109-1に接続されている。トランジスタ3504のゲートが節点N51に接続され、第1端子が配線103に接続され、第2端子が配線109-1に接続されている。

【0298】

次に、図35に示すレベルシフタの動作について、図36のタイミングチャートを参照して説明する。ただし、図36に示すタイミングチャートの電位の変化のタイミングは、任意であり、図35のタイミングチャートに限定されない。 10

【0299】

なお、配線105にL信号が供給され、配線106にH信号が供給されときの図35のレベルシフタの動作を図37に示す。配線105にH信号が供給され、配線106にL信号が供給されいるときの図35のレベルシフタの動作を図38に示す。また、図37の動作を第1の動作とし、図38の動作を第2の動作とする。

【0300】

なお、オフセット回路2903の動作は図5(a)のオフセット回路と同様なので、オフセット回路2903の詳細な動作の説明は省略する。 20

【0301】

なお、トランジスタ3501とトランジスタ3502とによって構成される回路と、トランジスタ3503とトランジスタ3504とによって構成される回路の動作は、図29の論理回路2900の動作と同様なので、詳細な動作の説明は省略する。

【0302】

まず、図35のレベルシフタの第1の動作について、図36のタイミングチャート、及び図37を参照して説明する。

【0303】

第1の動作では、図37に示すように、配線109-1からH信号が出力され、配線109-2からL信号が出力される。なお、配線109-1の電位は、図29の論理回路2900と同様に、トランジスタ3503とトランジスタ3504との動作点によって決まり、電源電位VDDよりも少し低い電位である。また、配線109-2の電位は、図29の論理回路2900と同様に、電源電位VSSとトランジスタ3501のしきい値電圧 V_{th3501} の絶対値とを足した値($V_{SS} + |V_{th3501}|$)である。 30

【0304】

次に、図35のレベルシフタの第2の動作について、図36のタイミングチャート、及び図38を参照して説明する。

【0305】

第2の動作では、図38に示すように、配線109-1からL信号が出力され、配線109-2からH信号が出力される。なお、配線109-1の電位は、図29の論理回路2900と同様に、電源電位VSSとトランジスタ3503のしきい値電圧 V_{th3503} の絶対値とを足した値($V_{SS} + |V_{th3503}|$)である。また、配線109-2の電位は、図29の論理回路2900と同様に、トランジスタ3501とトランジスタ3502との動作点によって決まり、電源電位VDDよりも少し低い電位である。 40

【0306】

以上説明した第1の動作、及び第2の動作によって、図35のレベルシフタは、配線105、及び配線106に供給される制御信号を、H信号の電位をVHからVDDにし、L信号の電位をVLからVSSにして、配線109-1、及び配線109-2から、それぞれ出力することができる。

【0307】

また、図 35 のレベルシフタは、H レベル、L レベルが反転した 2 つの信号を配線 109-1、及び配線 109-2 から、それぞれ出力することができる。

【0308】

なお、トランジスタ 3502 のゲート電圧が第 1 の動作において V_{DD} であり、第 2 の動作において $V_{DD} - (V_H + V_L)$ であるため、論理回路 3500 の貫通電流が小さくなる。なぜなら、トランジスタ 3502 のゲートの振幅電圧が小さい ($V_H - V_L$) からである。したがって、論理回路 3500 の貫通電流が小さいことで、図 35 のレベルシフタを有する半導体装置の消費電力が少なくなる。

【0309】

また、トランジスタ 3502 と同様に、トランジスタ 3504 のゲート電圧が第 1 の動作において $V_{DD} - (V_H - V_L)$ であり、第 2 の動作において V_{DD} であるため、論理回路 350 の貫通電流が小さくなる。なぜなら、トランジスタ 3504 のゲートの振幅電圧が小さい ($V_H - V_L$) からである。したがって、論理回路 3500 の貫通電流が小さいことで、図 35 のレベルシフタを有する半導体装置の消費電力が少なくなる。

【0310】

また、トランジスタ 3502 のゲートの振幅電圧が小さいことで、論理回路 3500 に発生するノイズが小さくなる。なぜなら、トランジスタ 3502 のゲートと、第 2 端子（配線 109-2）との間の寄生容量を介して発生するノイズが小さくなるからである。

【0311】

また、トランジスタ 3502 と同様に、トランジスタ 3504 のゲートの振幅電圧が小さいことで、論理回路 3500 に発生するノイズが小さくなる。なぜなら、トランジスタ 3504 のゲートと、第 2 端子（配線 109-1）との間の寄生容量を介して発生するノイズが小さくなるからである。

【0312】

なお、容量素子 301 の容量値、及び容量素子 302 の容量値は、おおむね等しくすることが好ましい。なぜなら、容量素子 301 の容量値と容量素子 302 の容量値を等しくすることで、配線 109-1、及び配線 109-2 の出力信号の遅延などのタイミングのずれを等しくすることができるからである。

【0313】

なお、すでに述べたように、容量素子 301、及び容量素子 302 は、MOS 構造にすることができ。なお、図 35 のレベルシフタの場合は、図 6 (a) のオフセット回路のように、P チャネル型のトランジスタによって容量素子を形成することが好ましい。

【0314】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0315】

（第 7 の実施形態）

本実施形態では、第 5 の実施形態、及び第 6 の実施形態とは別の第 1 の実施形態に示したレベルシフタの具体的な構成について説明する。

【0316】

なお、第 1 の実施形態～第 6 の実施形態と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0317】

まず、本発明のレベルシフタの具体的な構成例を図 25 を参照して説明する。

【0318】

図 25 に示すレベルシフタは、容量素子 701、容量素子 702、トランジスタ 703、トランジスタ 703、トランジスタ 2501、トランジスタ 2502、トランジスタ 2503、及びトランジスタ 2504 を有している。

【0319】

10

20

30

40

50

図 25 のレベルシフタに示すように、トランジスタ 2501 の第 1 端子が配線 103 に接続され、第 2 端子が配線 109 に接続されている。トランジスタ 2502 のゲートが節点 N72 に接続され、第 1 端子が配線 104 に接続され、第 2 端子が配線 109 に接続されている。トランジスタ 2503 のゲートが配線 103 に接続され、第 1 端子が配線 103 に接続され、第 2 端子がトランジスタ 2501 のゲートに接続されている。トランジスタ 2504 のゲートが節点 N72 に接続され、第 1 端子が配線 104 に接続され、第 2 端子がトランジスタ 2501 のゲートに接続されている。なお、トランジスタ 2501 のゲート、トランジスタ 2503 の第 2 端子、及びトランジスタ 2504 の第 2 端子との接続点を節点 N251 とする。

【0320】

なお、トランジスタ 2501、トランジスタ 2502、トランジスタ 2503、及びトランジスタ 2504 によって、論理回路 2500 が構成されている。論理回路 2500 は、図 1 の回路 102 に相当する。

【0321】

なお、トランジスタ 2501～トランジスタ 2504 は、それぞれ N チャンネル型である。したがって、図 25 に示すレベルシフタはすべて N チャンネル型のトランジスタで構成することができたため、図 25 に示すレベルシフタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の半導体装置を作製することも可能となる。

【0322】

また、図 25 に示すレベルシフタは、半導体層にポリシリコンや単結晶シリコンを用いても製造工程の簡略化を図ることができる。

【0323】

次に、図 25 に示すレベルシフタの動作について、図 15 と同様に、図 16 のタイミングチャートを参照して説明する。ただし、図 16 に示すタイミングチャートの電位の変化のタイミングは、任意であり、図 16 のタイミングチャートに限定されない。

【0324】

なお、配線 105 に L 信号が供給され、配線 106 に H 信号が供給されるとき図 25 のレベルシフタの動作を図 26 に示す。配線 105 に H 信号が供給され、配線 106 に L 信号が供給されるとき図 25 のレベルシフタの動作を図 27 に示す。また、図 26 の動作を第 1 の動作とし、図 27 の動作を第 2 の動作とする。

【0325】

オフセット回路 1503 の動作は図 7 (a) のオフセット回路と同様なので、オフセット回路 1503 の詳細な動作の説明は省略する。

【0326】

まず、図 25 のレベルシフタの第 1 の動作について、図 16 のタイミングチャート、及び図 26 を参照して説明する。

【0327】

配線 105 が L レベルになると、節点 N71 の電位が VSS になる。一方、配線 106 が H レベルになると、節点 N72 の電位が $VSS + (VH - VL)$ になる。したがって、トランジスタ 2502、及びトランジスタ 2504 がオンする。トランジスタ 2504 がオンすると、節点 N251 に電源電位 VSS が供給され、節点 N251 の電位が減少する。なお、節点 N251 の電位は、トランジスタ 2503 とトランジスタ 2504 との動作点によって決定し、電源電位 VSS よりも少し高くなる。節点 N251 は L レベルになるため、トランジスタ 2501 がオフする。また、トランジスタ 2502 がオンすると、配線 109 に電源電位 VSS が供給され、配線 109 の電位が減少する。なお、配線 109 の電位は、電源電位 VSS まで減少し、配線 109 から L 信号が出力される。

【0328】

次に、図 25 のレベルシフタの第 2 の動作について、図 16 のタイミングチャート、及び

10

20

30

40

50

図 27 を参照して説明する。

【0329】

配線 105 が H レベルになると、節点 N71 の電位が $VSS + (VH - VL)$ になる。一方、配線 106 が L レベルになると、節点 N72 の電位が VSS になる。したがって、トランジスタ 2502、及びトランジスタ 2504 がオフする。トランジスタ 2504 がオフすると、節点 N251 に電源電位 VDD が供給され、節点 N251 の電位が上昇する。また、節点 N251 の電位の上昇と同時に、トランジスタ 2501 がオンして、配線 109 に電源電位 VDD が供給され、配線 109 の電位も上昇する。ここで、節点 N251 の電位が電源電位 VDD からトランジスタ 2503 のしきい値電圧 V_{th2503} を引いた値 $(VDD - V_{th2503})$ になると、トランジスタ 2503 がオフして、節点 N251 がフローティング状態になる。ただし、節点 N251 の電位が $VDD - V_{th2503}$ になっても、配線 109 の電位は上昇を続けている。したがって、節点 N251 の電位はトランジスタ 2501 のゲート（節点 N251）と第 2 端子（配線 109）との間の寄生容量による容量結合によって上昇を続ける。また、節点 N251 の電位の上昇は、配線 109 の電位の上昇が止まるまで続き、節点 N251 の電位が電源電位 VDD とトランジスタ 2501 のしきい値電圧 V_{th2501} との和 $(VDD + V_{th2501})$ 以上の値となる。なお、配線 109 の電位の上昇は、配線 109 の電位が電源電位 VDD と等しくなると止まる。いわゆる、ブートストラップ動作である。したがって、配線 109 の電位は電源電位 VDD と等しくなり、配線 109 から H 信号が出力される。

10

【0330】

20

ここで、論理回路 2500 が有する機能について説明する。

【0331】

論理回路 2500 は、節点 N72 の電位によって、電源電位 VDD を配線 109 に供給するか、電源電位 VSS を配線 109 に供給するかを選択する機能を有する。また、電源電位 VDD を配線 109 に供給する場合には、ブートストラップ動作によって、トランジスタ 2501 のゲート電位を $VDD + V_{th2501}$ 以上にすることで、配線 109 の電位を電源電位 VDD と等しくする。

【0332】

ここで、トランジスタ 2501～トランジスタ 2504 が有する機能について説明する。

【0333】

30

まず、トランジスタ 2501 は、節点 N251 の電位によって、配線 103 と配線 109 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 2501 は、第 2 の動作において、オンし、電源電位 VDD を配線 109 に供給する。

【0334】

また、トランジスタ 2502 は、節点 N72 の電位によって、配線 104 と配線 109 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 2502 は、第 1 の動作において、電源電位 VSS を配線 109 に供給する。

【0335】

また、トランジスタ 2503 は、ダイオードとしての機能を有している。また、入力端子がゲート、及び第 1 端子であり、出力端子が第 2 端子である。

40

【0336】

また、トランジスタ 2504 は、節点 N72 の電位によって、配線 104 と節点 N251 とを接続するかしないかを選択するスイッチとしての機能を有する。また、トランジスタ 2504 は、第 1 の動作において、電源電位 VSS を節点 N251 に供給する。

【0337】

以上説明した、第 1 の動作、及び第 2 の動作によって、図 25 のレベルシフタは、第 1 の動作において、配線 109 の電位を電源電位 VSS と等しくでき、第 2 の動作において、配線 109 の電位を電源電位 VDD と等しくできる。

【0338】

また、図 15 の論理回路 1500 と同様に、トランジスタ 2502 のゲート、及びトラン

50

ジスタ 2504 のゲートの振幅電圧が小さいため、論理回路 2500 の貫通電流を小さくできる。

【0339】

また、図 15 の論理回路 1500 と同様に、トランジスタ 2502 のゲート、及びトランジスタ 2504 のゲートの振幅電圧が小さいため、論理回路 2500 に発生するノイズが小さくなる。

【0340】

なお、すでに述べたように、容量素子 701、及び容量素子 702 は、MOS 構造にすることができる。なお、図 25 のレベルシフタの場合は、図 8 (a) のオフセット回路のように、N チャネル型のトランジスタによって容量素子を形成することが好ましい。なぜなら、容量素子を N チャネル型のトランジスタによって形成することによって、図 25 に示すレベルシフタは、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の半導体装置を作製することも可能となる。

【0341】

また、図 25 に示すレベルシフタは、半導体層にポリシリコンや単結晶シリコンを用いて製造工程の簡略化を図ることができる。

【0342】

なお、図 28 に示すように、図 25 のレベルシフタは、トランジスタ 2502 のゲート、及びトランジスタ 2504 のゲートが節点 N71 に接続されていてもよい。トランジスタ 2502 のゲート、及びトランジスタ 2504 のゲートが節点 N71 に接続されている場合（図 28）には、図 20 のタイミングチャートに示すように、配線 109 の信号（電位）がトランジスタ 2502 のゲート、及びトランジスタ 2504 のゲートが節点 N72 に接続されている場合（図 25）に比べて、H レベル、L レベルが反転している。また、図 28 のレベルシフタの動作は、図 25 のレベルシフタと同様である。したがって、トランジスタ 2502 のゲート、及びトランジスタ 2504 のゲートの接続先を節点 N71 にするか、節点 N72 にするかは、必要に応じて使い分ければよい。

【0343】

なお、図示はしないが、2 つの論理回路を節点 N71、及び節点 N72 にそれぞれ接続してもよい。2 つの論理回路 2500 を用いることで、H レベル、L レベルが反転した 2 つの信号を出力することができる。また、2 つの論理回路を節点 N71、及び節点 N72 にそれぞれ接続する場合、図 21 と同様に、容量素子 701 の容量値、及び容量素子 702 の容量値をおおむね等しくすることが好ましい。

【0344】

ここで、図 25 に示したレベルシフタは、N チャネル型のトランジスタと容量素子とで構成したが、P チャネル型のトランジスタと容量素子とで構成されていてもよい。P チャネル型のトランジスタと容量素子とで構成した場合のレベルシフタを図 39 に示す。

【0345】

図 39 に示すレベルシフタは、容量素子 301、容量素子 302、トランジスタ 501、トランジスタ 502、トランジスタ 3901、トランジスタ 3902、トランジスタ 3903、及びトランジスタ 3904 を有している。

【0346】

なお、容量素子 301、容量素子 302、トランジスタ 501、トランジスタ 502、トランジスタ 3901、トランジスタ 3902、トランジスタ 3903、及びトランジスタ 3904 は、図 25 の容量素子 701、容量素子 702、トランジスタ 703、トランジスタ 703、トランジスタ 2501、トランジスタ 2502、トランジスタ 2503、及びトランジスタ 2504 に、それぞれ対応し、同様な機能を有する。また、論理回路 3900、及びオフセット回路 2903 は、図 25 の論理回路 2500、及びオフセット回路 1503 に、それぞれ対応し、同様な機能を有する。また、節点 N51、及び節点 N52 は、図 25 の節点 N71、及び節点 N72 に、それぞれ対応している。

10

20

30

40

50

【0347】

トランジスタ3902のゲートが節点N52に接続され、第1端子が配線103に接続され、第2端子が配線109に接続されている。トランジスタ3901の第1端子が配線104に接続され、第2端子が配線109に接続されている。トランジスタ3903のゲートが配線104に接続され、第1端子が配線104に接続され、第2端子がトランジスタ3901のゲートに接続されている。トランジスタ3904のゲートが接点N52に接続され、第1端子が配線103に接続され、第2端子がトランジスタ3901のゲートに接続されている。なお、トランジスタ3901のゲート、トランジスタ3903の第2端子、及びトランジスタ3904の第2端子の接続点を節点N391とする。

【0348】

10

次に、図39に示すレベルシフタの動作について、図29と同様に、図30のタイミングチャートを参照して説明する。ただし、図30に示すタイミングチャートの電位の変化のタイミングは、任意であり、図30のタイミングチャートに限定されない。

【0349】

なお、配線105にL信号が供給され、配線106にH信号が供給されいるときの図39のレベルシフタの動作を図40に示す。配線105にH信号が供給され、配線106にL信号が供給されいるときの図39のレベルシフタの動作を図41に示す。また、図40の動作を第1の動作とし、図41の動作を第2の動作とする。

【0350】

オフセット回路2903の動作は図5(a)のオフセット回路と同様なので、オフセット回路2903の詳細な動作の説明は省略する。 20

【0351】

まず、図39のレベルシフタの第1の動作について、図30のタイミングチャート、及び図40を参照して説明する。

【0352】

配線105がLレベルになると、節点N51の電位が $V_{DD} - (V_H - V_L)$ になる。一方、配線106がHレベルになると、節点N52の電位が V_{DD} になる。したがって、トランジスタ3902、及びトランジスタ3904がオフする。トランジスタ3904がオフすると、節点N391に電源電位 V_{SS} が供給され、節点N391の電位が減少する。また、節点N391の電位の減少と同時に、トランジスタ3901がオンして、配線109に電源電位 V_{SS} が供給され、配線109の電位も減少する。ここで、節点N391の電位が電源電位 V_{SS} とトランジスタ3903のしきい値電圧 V_{th3903} の絶対値とを足した値($V_{SS} + |V_{th3903}|$)になると、トランジスタ3903がオフして、節点N391がフローティング状態になる。ただし、節点N391の電位が $V_{SS} + |V_{th3903}|$ になっても、配線109の電位は減少を続けている。したがって、節点N391の電位はトランジスタ3901のゲート(節点N391)と第2端子(配線109)との間の寄生容量による容量結合によって減少を続ける。また、節点N391の電位の減少は、配線109の電位の減少が止まるまで続き、節点N391の電位が電源電位 V_{SS} とトランジスタ3901のしきい値電圧 V_{th3901} の絶対値とを足した値($V_{SS} + |V_{th3901}|$)以下の値となる。なお、配線109の電位の減少は、配線109の電位が電源電位 V_{SS} と等しくなると止まる。いわゆる、ブートストラップ動作である。したがって、配線109の電位は電源電位 V_{SS} と等しくなり、配線109からL信号が出力される。 30 40

【0353】

次に、図39のレベルシフタの第2の動作について、図30のタイミングチャート、及び図41を参照して説明する。

【0354】

配線105がHレベルになると、節点N51の電位が V_{DD} になる。一方、配線106がLレベルになると、節点N52の電位が $V_{DD} - (V_H - V_L)$ になる。したがって、トランジスタ3902、及びトランジスタ3904がオンする。トランジスタ3904がオ 50

ンすると、節点N391に電源電位VDDが供給され、節点N391の電位が上昇する。なお、節点N391の電位は、トランジスタ3903とトランジスタ3904との動作点によって決定し、電源電位VDDよりも少し低くなる。節点N391はLレベルになるため、トランジスタ3901がオフする。また、トランジスタ3902がオンすると、配線109に電源電位VDDが供給され、配線109の電位が上昇する。なお、配線109の電位は、電源電位VDDまで上昇し、配線109からH信号が出力される。

【0355】

以上説明した、第1の動作、及び第2の動作によって、図39のレベルシフタは、第1の動作において、配線109の電位を電源電位VSSと等しくでき、第2の動作において、配線109の電位を電源電位VDDと等しくできる。

10

【0356】

また、図39の論理回路3900と同様に、トランジスタ3902のゲート、及びトランジスタ3904のゲートの振幅電圧が小さいため、論理回路3900の貫通電流を小さくできる。

【0357】

また、図39の論理回路3900と同様に、トランジスタ3902のゲート、及びトランジスタ3904のゲートの振幅電圧が小さいため、論理回路3900に発生するノイズが小さくなる。

【0358】

なお、すでに述べたように、容量素子301、及び容量素子302は、MOS構造にすることができ。なお、図39のレベルシフタの場合は、図6(a)のオフセット回路のように、Pチャネル型のトランジスタによって容量素子を形成することが好ましい。

20

【0359】

なお、図42に示すように、図39のレベルシフタは、トランジスタ3902のゲート、及びトランジスタ3904のゲートが節点N51に接続されていてもよい。また、トランジスタ3902のゲート、及びトランジスタ3904のゲートが節点N51に接続されている場合のタイミングチャートを図36に示す。

【0360】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

30

【0361】

(第8の実施形態)

本実施形態では、本発明のレベルシフタのレイアウト図について説明する。

【0362】

まず、図15に示したレベルシフタのレイアウト図について、図43を参照して説明する。

【0363】

また、図43のレイアウト図は、半導体層4301、第1の導電層4302、第2の導電層4303が形成されている場合について示している。なお、第1の導電層4302は、ゲート電極として機能する。第2の導電層4303は、配線層として機能する。

40

【0364】

なお、図43は、各々のトランジスタの半導体層4301として多結晶半導体（ポリシリコン）を用いた場合のレイアウト図である。

【0365】

図43のレイアウト図には、容量素子701、容量素子702、トランジスタ703、トランジスタ704、トランジスタ1501、及びトランジスタ1502が配置されている。また、配線103、配線104、配線105、配線106、及び配線109は、図15で説明したものと同様である。

【0366】

50

また、トランジスタ703、トランジスタ704、トランジスタ1501、及びトランジスタ1502は、Nチャネル型である。

【0367】

なお、容量素子702は、半導体層4301と第1の導電層4302（ゲート電極）によって構成されていることを特徴とする。つまり、容量素子702はMOS容量として機能する。また、すでに述べたように、容量素子702の第1の導電層4302の電位は容量素子702の半導体層4301の電位よりも高いため、半導体層4301のチャネル領域にチャネルが形成される。したがって、容量素子702は大きな容量を得ることができる。

【0368】

また、容量素子701は、容量素子702と同様に、半導体層4301と第1の導電層4302（ゲート電極）によって構成されていることを特徴とする。つまり、容量素子701もMOS容量として機能する。また、すでに述べたように、容量素子701の第1の導電層4302の電位は容量素子702の半導体層4301の電位よりも高いため、半導体層4301のチャネル領域にチャネルが形成される。したがって、容量素子701は大きな容量を得ることができる。

【0369】

次に、図29に示したレベルシフタのレイアウト図について、図44を参照して説明する。

【0370】

また、図44のレイアウト図は、半導体層4401、第1の導電層4402、第2の導電層4403が形成されている場合について示している。なお、第1の導電層4402は、ゲート電極として機能する。第2の導電層4403は、配線層として機能する。

【0371】

なお、図44は、各々のトランジスタの半導体層4401として多結晶半導体（ポリシリコン）を用いた場合のレイアウト図である。

【0372】

図44のレイアウト図には、容量素子301、容量素子302、トランジスタ501、トランジスタ502、トランジスタ2901、及びトランジスタ2902が配置されている。また、配線103、配線104、配線105、配線106、及び配線109は、図29

で説明したものと同様である。

【0373】

また、トランジスタ501、トランジスタ502、トランジスタ2901、及びトランジスタ2902は、Pチャネル型である。

【0374】

なお、容量素子301は、半導体層4401と第1の導電層4402（ゲート電極）によって構成されていることを特徴とする。つまり、容量素子301はMOS容量として機能する。また、すでに述べたように、容量素子301の第1の導電層4402の電位は容量素子301の半導体層4401の電位よりも低いため、半導体層4401のチャネル領域にチャネルが形成される。したがって、容量素子301は大きな容量を得ることができる。

【0375】

なお、容量素子302は、容量素子301と同様に、半導体層4401と第1の導電層4402（ゲート電極）によって構成されていることを特徴とする。つまり、容量素子302もMOS容量として機能する。また、すでに述べたように、容量素子302の第1の導電層4402の電位は容量素子302の半導体層4401の電位よりも低いため、半導体層4401のチャネル領域にチャネルが形成される。したがって、容量素子302は大きな容量を得ることができる。

【0376】

次に、図15に示したレベルシフタのレイアウト図について図43とは別の例について、

10

20

30

40

50

図 4 5 を参照して説明する。

【0377】

また、図 4 5 のレイアウト図は、半導体層 4 3 0 1、第 1 の導電層 4 3 0 2、第 2 の導電層 4 3 0 3 が形成されている場合について示している。なお、第 1 の導電層 4 3 0 2 は、ゲート電極として機能する。第 2 の導電層 4 3 0 3 は、配線層として機能する。

【0378】

なお、図 4 5 は、各々のトランジスタの半導体層 4 3 0 1 として多結晶半導体（ポリシリコン）を用いた場合のレイアウト図である。

【0379】

図 4 5 のレイアウト図には、容量素子 7 0 1、容量素子 7 0 2、トランジスタ 7 0 3、トランジスタ 7 0 4、トランジスタ 1 5 0 1、及びトランジスタ 1 5 0 2 が配置されている。また、配線 1 0 3、配線 1 0 4、配線 1 0 5、配線 1 0 6、及び配線 1 0 9 は、図 1 5 で説明したものと同様である。 10

【0380】

また、トランジスタ 7 0 3、トランジスタ 7 0 4、トランジスタ 1 5 0 1、及びトランジスタ 1 5 0 2 は、N チャネル型である。

【0381】

なお、容量素子 7 0 2 は、第 1 の導電層 4 3 0 2 と第 2 の導電層 4 3 0 3 によって構成されていることを特徴とする。なぜなら、第 1 の導電層 4 3 0 2 と第 2 の導電層 4 3 0 3 とは導電性の材料で形成されているため、容量素子 7 0 2 の容量値は印加される電圧に関係なく一定となる。したがって、図 4 5 に示すレベルシフタは安定して動作することができるからである。 20

【0382】

なお、容量素子 7 0 1 は、第 1 の導電層 4 3 0 2 と第 2 の導電層 4 3 0 3 によって構成されていることを特徴とする。なぜなら、第 1 の導電層 4 3 0 2 と第 2 の導電層 4 3 0 3 とは導電性の材料で形成されているため、容量素子 7 0 1 の容量値は印加される電圧に関係なく一定となる。したがって、図 4 5 に示すレベルシフタは安定して動作することができるからである。

【0383】

また、容量素子 7 0 1 の第 1 電極と容量素子 7 0 2 の第 2 電極は、第 2 の導電層 4 3 0 3 によって形成され、容量素子 7 0 1 の第 2 電極と容量素子 7 0 2 の第 1 電極は、第 1 の導電層 4 3 0 2 によって形成されていることを特徴とする。なぜなら、図 4 5 のレベルシフタのレイアウト面積が小さくなるからである。具体的には、図 4 5 のレベルシフタのレイアウト面積は、容量素子 7 0 1 の第 2 電極がトランジスタ 7 0 3 のゲートと接続されているため、第 2 の導電層 4 3 0 3 で形成されるよりも、第 1 の導電層 4 3 0 2 で形成されていたほうが、小さくできる。同様に、図 4 5 のレベルシフタのレイアウト面積は、容量素子 7 0 2 の第 2 電極がトランジスタ 7 0 3 の第 2 端子に接続されているため、第 1 の導電層 4 3 0 2 で形成されるよりも、第 2 の導電層 4 3 0 3 で形成されるほうが、小さくできる。 30

【0384】

次に、図 2 9 に示したレベルシフタのレイアウト図について図 4 4 とは別の例について、図 4 6 を参照して説明する。 40

【0385】

また、図 4 6 のレイアウト図は、半導体層 4 4 0 1、第 1 の導電層 4 4 0 2、第 2 の導電層 4 4 0 3 が形成されている場合について示している。なお、第 1 の導電層 4 4 0 2 は、ゲート電極として機能する。第 2 の導電層 4 4 0 3 は、配線層として機能する。

【0386】

なお、図 4 6 は、各々のトランジスタの半導体層 4 4 0 1 として多結晶半導体（ポリシリコン）を用いた場合のレイアウト図である。

【0387】

図 4 6 のレイアウト図には、容量素子 3 0 1、容量素子 3 0 2、トランジスタ 5 0 1、トランジスタ 5 0 2、トランジスタ 2 9 0 1、及びトランジスタ 2 9 0 2 が配置されている。また、配線 1 0 3、配線 1 0 4、配線 1 0 5、配線 1 0 6、及び配線 1 0 9 は、図 2 9 で説明したものと同様である。

【0388】

また、トランジスタ 5 0 1、トランジスタ 5 0 2、トランジスタ 2 9 0 1、及びトランジスタ 2 9 0 2 は、P チャンネル型である。

【0389】

なお、容量素子 3 0 2 は、第 1 の導電層 4 4 0 2 と第 2 の導電層 4 4 0 3 によって構成されていることを特徴とする。なぜなら、第 1 の導電層 4 4 0 2 と第 2 の導電層 4 4 0 3 とは導電性の材料で形成されているため、容量素子 3 0 2 の容量値は印加される電圧に関係なく一定となる。したがって、図 4 6 に示すレベルシフタは安定して動作することができるからである。

10

【0390】

なお、容量素子 3 0 1 は、第 1 の導電層 4 4 0 2 と第 2 の導電層 4 4 0 3 によって構成されていることを特徴とする。なぜなら、第 1 の導電層 4 4 0 2 と第 2 の導電層 4 4 0 3 とは導電性の材料で形成されているため、容量素子 3 0 1 の容量値は印加される電圧に関係なく一定となる。したがって、図 4 6 に示すレベルシフタは安定して動作することができるからである。

【0391】

また、容量素子 3 0 1 の第 1 電極と容量素子 3 0 2 の第 2 電極は、第 2 の導電層 4 4 0 3 によって形成され、容量素子 3 0 1 の第 2 電極と容量素子 3 0 2 の第 1 電極は、第 1 の導電層 4 4 0 2 によって形成されていることを特徴とする。なぜなら、図 4 6 のレベルシフタのレイアウト面積が小さくなるからである。具体的には、図 4 6 のレベルシフタのレイアウト面積は、容量素子 3 0 1 の第 2 電極がトランジスタ 5 0 1 のゲートと接続されているため、第 2 の導電層 4 4 0 3 で形成されるよりも、第 1 の導電層 4 4 0 2 で形成されていたほうが、小さくできる。同様に、図 4 6 のレベルシフタのレイアウト面積は、容量素子 3 0 2 の第 2 電極がトランジスタ 5 0 1 の第 2 端子に接続されているため、第 1 の導電層 4 4 0 2 で形成されるよりも、第 2 の導電層 4 4 0 3 で形成されるほうが、小さくできる。

20

30

【0392】

次に、図 1 5 に示したレベルシフタのレイアウト図について、図 4 7 (a) を参照して説明する。

【0393】

また、図 4 7 (a) のレイアウト図は、半導体層 4 7 0 1、第 1 の導電層 4 7 0 2、第 2 の導電層 4 7 0 3、第 3 の導電層 4 7 0 4 が形成されている場合について示している。なお、第 1 の導電層 4 7 0 2 は、ゲート電極として機能する。第 2 の導電層 4 7 0 3 は、配線層として機能する。第 3 の導電層 4 7 0 4 は、高抵抗の配線層として機能する。

【0394】

なお、図 4 7 (a) は、各々のトランジスタの半導体層 4 7 0 1 として非結晶半導体（アモルファスシリコン）を用いた場合のレイアウト図である。

40

【0395】

図 4 7 (a) のレイアウト図には、容量素子 7 0 1、容量素子 7 0 2、トランジスタ 7 0 3、トランジスタ 7 0 4、トランジスタ 1 5 0 1、及びトランジスタ 1 5 0 2 が配置されている。また、配線 1 0 3、配線 1 0 4、配線 1 0 5、配線 1 0 6、及び配線 1 0 9 は、図 1 5 で説明したものと同様である。

【0396】

なお、容量素子 7 0 2 は、半導体層 4 7 0 1 と第 1 の導電層 4 3 0 2（ゲート電極）によって構成されていることを特徴とする。つまり、容量素子 7 0 2 は MOS 容量として機能する。また、すでに述べたように、容量素子 7 0 2 の第 1 の導電層 4 7 0 2 の電位は容量

50

素子 702 の半導体層 4701 の電位よりも高いため、半導体層 4701 のチャネル領域にチャネルが形成される。したがって、容量素子 702 は大きな容量を得ることができる。

【0397】

また、容量素子 701 は、容量素子 702 と同様に、半導体層 4701 と第 1 の導電層 4702 (ゲート電極) によって構成されていることを特徴とする。つまり、容量素子 701 も MOS 容量として機能する。また、すでに述べたように、容量素子 701 の第 1 の導電層 4702 の電位は容量素子 702 の半導体層 4701 の電位よりも高いため、半導体層 4701 のチャネル領域にチャネルが形成される。したがって、容量素子 701 は大きな容量を得ることができる。

10

【0398】

次に、図 15 に示したレベルシフタのレイアウト図について図 47 (a) とは別の例について、図 47 (b) を参照して説明する。

【0399】

また、図 47 (b) のレイアウト図は、半導体層 4701、第 1 の導電層 4702、第 2 の導電層 4703、第 3 の導電層 4704 が形成されている場合について示している。なお、第 1 の導電層 4702 は、ゲート電極として機能する。第 2 の導電層 4703 は、配線層として機能する。第 3 の導電層 4704 は、高抵抗の配線層として機能する。

【0400】

なお、図 47 (b) は、各々のトランジスタの半導体層 4701 として非結晶半導体 (アモルファスシリコン) を用いた場合のレイアウト図である。

20

【0401】

図 47 (b) のレイアウト図には、容量素子 701、容量素子 702、トランジスタ 703、トランジスタ 704、トランジスタ 1501、及びトランジスタ 1502 が配置されている。また、配線 103、配線 104、配線 105、配線 106、及び配線 109 は、図 15 で説明したものと同様である。

【0402】

なお、容量素子 702 は、第 1 の導電層 4702 と第 2 の導電層 4703 によって構成されていることを特徴とする。なぜなら、第 1 の導電層 4702 と第 2 の導電層 4703 とは導電性の材料で形成されているため、容量素子 702 の容量値は印加される電圧に関係なく一定となる。したがって、図 47 (b) に示すレベルシフタは安定して動作することができるからである。

30

【0403】

なお、容量素子 701 は、第 1 の導電層 4702 と第 2 の導電層 4703 によって構成されていることを特徴とする。なぜなら、第 1 の導電層 4702 と第 2 の導電層 4703 とは導電性の材料で形成されているため、容量素子 701 の容量値は印加される電圧に関係なく一定となる。したがって、図 47 (b) に示すレベルシフタは安定して動作することができるからである。

【0404】

また、容量素子 701 の第 1 電極と容量素子 702 の第 2 電極は、第 2 の導電層 4703 によって形成され、容量素子 701 の第 2 電極と容量素子 702 の第 1 電極は、第 1 の導電層 4702 によって形成されていることを特徴とする。なぜなら、図 47 (b) のレベルシフタのレイアウト面積が小さくなるからである。具体的には、図 47 (b) のレベルシフタのレイアウト面積は、容量素子 701 の第 2 電極がトランジスタ 703 のゲートと接続されているため、第 2 の導電層 4303 で形成されるよりも、第 1 の導電層 4302 で形成されていたほうが、小さくできる。同様に、図 47 (b) のレベルシフタのレイアウト面積は、容量素子 702 の第 2 電極がトランジスタ 703 の第 2 端子に接続されているため、第 1 の導電層 4302 で形成されるよりも、第 2 の導電層 4403 で形成されるほうが、小さくできる。

40

【0405】

50

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0406】

(第9の実施形態)

第9の実施の形態では、複数の画素が形成されたパネルの例について図62を用いて説明する。図62(A)において、パネル191は、マトリクス状に配置された複数の画素590よりなる画素部591を有する。画素部591は、画素590毎に薄膜トランジスタ等のスイッチング素子を配置したアクティブマトリクス方式の構成とすることができる。画素590の表示媒体として、エレクトロルミネッセンス素子等の発光素子を設けても良いし、液晶素子を設けても良い。 10

【0407】

なお、図62(B)に示すように、画素部591が形成された基板と同じ基板上に画素部591を駆動する駆動回路を設けても良い。図62(B)において図62(A)と同じ部分は同じ符号を用いて示し説明は省略する。図62(B)では、駆動回路としてソースドライバ593及びゲートドライバ594を示した。なおこれに限定されず、ソースドライバ593、ゲートドライバ594の他に更に駆動回路を設けても良い。駆動回路は、別基板上に形成され画素部591が形成された基板上に実装されていても良い。例えば、画素部591はガラス基板上に薄膜トランジスタを用いて形成し、駆動回路は単結晶基板上に形成しそのICチップをCOG(Chip On Glass)によって当該ガラス基板上に接続してもよい。あるいは、そのICチップをTAB(Tape Automated Bonding)によって当該ガラス基板上に接続してもよいし、プリント基板を用いて当該ガラス基板と接続してもよい。 20

【0408】

また、駆動回路は、画素部591が形成された基板と同一基板上に画素590の有する薄膜トランジスタと同じ工程で形成された薄膜トランジスタを用いて形成されていても良い。薄膜トランジスタのチャネル形成領域は、多結晶半導体で形成されていてもよいし非晶質半導体で形成されていても良い。

【0409】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。 30

【0410】

(第10の実施形態)

図63(A)に、図62(A)や図62(B)で示した画素部591の構成例(以下、第1の画素構成という)を示す。画素部591は、複数のソース信号線S1乃至Sp(pは自然数)と、複数のソース信号線S1乃至Spと交差するように設けられた複数の走査線G1乃至Gq(qは自然数)と、ソース信号線S1乃至Spと走査線G1乃至Gqの交差部毎に設けられた画素690とを有する。

【0411】

図63(A)の画素690の構成を図63(B)に示す。図63(B)では、複数のソース信号線S1乃至Spのうちの1本Sx(xはp以下の自然数)と、複数の走査線G1乃至Gqのうちの1本Gy(yはq以下の自然数)との交差部に形成された画素690を示す。画素690は、第1のトランジスタ691と、第2のトランジスタ692と、容量素子693と、発光素子694とを有する。なお、本実施の形態では、発光素子694として一对の電極を有し、当該一对の電極間に電流が流れることによって発光する素子を用いた例を示す。また、容量素子693として、第2のトランジスタ692の寄生容量等を積極的に利用してもよい。第1のトランジスタ691及び第2のトランジスタ692は、nチャネル型のトランジスタであってもpチャネル型のトランジスタであっても良い。画素690を構成するトランジスタとして、薄膜トランジスタを用いることができる。 40 50

【0412】

第1のトランジスタ691のゲートは走査線G_yに接続され、第1のトランジスタ691のソース及びドレインの一方はソース信号線S_xに接続され、他方は第2のトランジスタ692のゲート及び容量素子693の一方の電極に接続される。容量素子693の他方の電極は、電位V₃が与えられる端子695に接続される。第2のトランジスタ692のソース及びドレインの一方は発光素子694の一方の電極に接続され、他方は電位V₂が与えられる端子696に接続される。発光素子694の他方の電極は、電位V₁が与えられる端子697に接続される。

【0413】

図63(A)及び図63(B)に示した画素部591の表示方法について説明する。

10

【0414】

複数の走査線G₁乃至G_qのうち1本を選択し、当該走査線が選択されている間に複数のソース信号線S₁乃至S_p全てに画像信号を入力する。こうして、画素部591の1行の画素に画像信号を入力する。複数の走査線G₁乃至G_qを順に選択し同様の動作を行って、画素部591の全ての画素690に画像信号を入力する。

【0415】

複数の走査線G₁乃至G_qのうちの1本G_yが選択され、複数のソース信号線S₁乃至S_pのうちの1本S_xから画像信号が入力された画素690の動作について説明する。走査線G_yが選択されると、第1のトランジスタ691がオン状態となる。トランジスタのオン状態とはソースとドレインが導通状態であることを言い、トランジスタのオフ状態とはソースとドレインが非導通状態であることを言うものとする。第1のトランジスタ691がオン状態となると、ソース信号線S_xに入力された画像信号は、第1のトランジスタ691を介して第2のトランジスタ692のゲートに入力される。第2のトランジスタ692は入力された画像信号に応じてオン状態またはオフ状態を選択される。第2のトランジスタ692のオン状態が選択されると、第2のトランジスタ692のドレイン電流が発光素子694に流れ、発光素子694は発光する。

20

【0416】

電位V₂と電位V₃とは、第2のトランジスタ692がオン状態となった際に電位差が常に一定となるように保たれる。電位V₂と電位V₃とを同じ電位としてもよい。電位V₂と電位V₃とを同じ電位とする場合は、端子695と端子696とを同じ配線に接続しても良い。電位V₁と電位V₂とは、発光素子694の発光を選択された際に所定の電位差を有するように設定される。こうして、発光素子694に電流を流し、発光素子694を発光させる。

30

【0417】

なお、配線や電極は、アルミニウム(Al)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マグネシウム(Mg)、スカンジウム(Sc)、コバルト(Co)、亜鉛(Zn)、ニオブ(Nb)、シリコン(Si)、リン(P)、ボロン(B)、ヒ素(As)、ガリウム(Ga)、インジウム(In)、錫(Sn)、酸素(O)で構成された群から選ばれた一つ又は複数の元素、もしくは、前記群から選ばれた一つ又は複数の元素を成分とする化合物や合金材料(例えば、インジウム錫酸化物(ITO、Indium Tin Oxide)、インジウム亜鉛酸化物(IZO、Indium Zinc Oxide)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、アルミネオジウム(Al-Nd)、マグネシウム銀(Mg-Ag)など)、もしくは、これらの化合物を組み合わせた物質などを有して形成される。もしくは、それらとシリコンの化合物(シリサイド)(例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど)や、それらと窒素の化合物(例えば、窒化チタン、窒化タンタル、窒化モリブデン等)を有して形成される。なお、シリコン(Si)には、n型不純物(リンなど)やp型不純物(ボロンなど)を多く含んでもよい。これらの不純物を含むことにより、導電率が向上したり、通常の導体と同様

40

50

な振る舞いをするので、配線や電極として利用しやすくなったりする。なお、シリコンは、単結晶でもよいし、多結晶（ポリシリコン）でもよいし、非晶質（アモルファスシリコン）でもよい。単結晶シリコンや多結晶シリコンを用いることにより、抵抗を小さくすることが出来る。非晶質シリコンを用いることにより、簡単な製造工程で作ることが出来る。なお、アルミニウムや銀は、導電率が高いため、信号遅延を低減することができ、エッチングしやすいので、パターンニングしやすく、微細加工を行うことが出来る。なお、銅は、導電率が高いため、信号遅延を低減することが出来る。なお、モリブデンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、パターンニングやエッチングがしやすいかったり、耐熱性が高いため、望ましい。なお、チタンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、耐熱性が高いため、望ましい。なお、タングステンは、耐熱性が高いため、望ましい。なお、ネオジウムは、耐熱性が高いため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなるため、望ましい。なお、シリコンは、トランジスタが有する半導体層と同時に形成できたり、耐熱性が高いため、望ましい。なお、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を添加したインジウム錫酸化物（ITOS）、酸化亜鉛（ZnO）、シリコン（Si）は、透光性を有しているため、光を透過させるような部分に用いることができるため、望ましい。たとえば、画素電極や共通電極として用いることができる。

10

20

【0418】

なお、これらが単層で配線や電極を形成していてもよいし、多層構造になっていてもよい。単層構造で形成することにより、製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。また、多層構造にすることにより、それぞれの材料のメリットを生かし、デメリットを低減させ、性能の良い配線や電極を形成することが出来る。たとえば、抵抗の低い材料（アルミニウムなど）を多層構造の中に含むようにすることにより、配線の低抵抗化を図ることができる。また、耐熱性が高い材料を含むようにすれば、例えば、耐熱性が弱い、別のメリットを有する材料を、耐熱性が高い材料で挟むような積層構造にすることにより、配線や電極全体として、耐熱性を高くすることが出来る。例えば、アルミニウムを含む層を、モリブデンやチタンを含む層で挟んだような形にした積層構造にすると望ましい。また、別の材料の配線や電極などと直接接するよう

30

【0419】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

40

【0420】

（第11の実施形態）

図64（A）に、図62（A）や図62（B）で示した画素部591の構成例を示す。図64（A）では、第11の実施の形態で示した第1の画素構成とは異なる例（以下、第2の画素構成という）を示す。画素部591は、複数のソース信号線S1乃至Sp（pは自然数）と、複数のソース信号線S1乃至Spと交差するように設けられた複数の走査線G1乃至Gq（qは自然数）及び複数の走査線R1乃至Rqと、ソース信号線S1乃至Spと走査線G1乃至Gqの交差部毎に設けられた画素790とを有する。

【0421】

50

図 6 4 (A) の画素 7 9 0 の構成を図 6 4 (B) に示す。図 6 4 (B) では、複数のソース信号線 S 1 乃至 S p のうちの 1 本 S x (x は p 以下の自然数) と、複数の走査線 G 1 乃至 G q のうちの 1 本 G y (y は q 以下の自然数) 及び複数の走査線 R 1 乃至 R q のうちの 1 本 R y との交差部に形成された画素 7 9 0 を示す。なお、図 6 4 (B) に示す構成の画素において、図 6 3 (B) と同じ部分は同じ符号を用いて示し、説明は省略する。図 6 4 (B) では、図 6 3 (B) で示した画素 6 9 0 において、第 3 のトランジスタ 7 9 1 とを有する点で異なる。第 3 のトランジスタ 7 9 1 は、n チャネル型のトランジスタであっても p チャネル型のトランジスタであっても良い。画素 7 9 0 を構成するトランジスタとして、薄膜トランジスタを用いることができる。

【0 4 2 2】

10

第 3 のトランジスタ 7 9 1 のゲートは走査線 R y に接続され、第 3 のトランジスタ 7 9 1 のソース及びドレインの一方は第 2 のトランジスタ 6 9 2 のゲート及び容量素子 6 9 3 の一方の電極に接続され、他方は電位 V 4 が与えられる端子 7 9 2 に接続される。

【0 4 2 3】

図 6 4 (A) 及び図 6 4 (B) に示した画素部 5 9 1 の表示方法について説明する。

【0 4 2 4】

発光素子 6 9 4 を発光させる方法は、第 1 0 の実施の形態で説明した方法と同じである。図 6 4 (A) 及び図 6 4 (B) で示す構成の画素では、走査線 R y 及び第 3 のトランジスタ 7 9 1 を有することによって、ソース信号線 S x から入力される画像信号に関わらず、画素 7 9 0 の発光素子 6 9 4 を非発光とすることができる点に特徴がある。走査線 R y に 20 入力される信号によって、画素 7 9 0 の発光素子 6 9 4 が発光する時間を設定することができる。こうして、走査線 G 1 乃至 G q を順に選択し全ての走査線 G 1 乃至 G q を選択する期間よりも短い発光期間を設定することができる。こうして、時分割階調方式で表示を行う場合に、短いサブフレーム期間を設定することができるので、高階調を表現することができる。

【0 4 2 5】

電位 V 4 は、第 3 のトランジスタ 7 9 1 がオン状態となった際に第 2 のトランジスタ 6 9 2 がオフ状態となるように設定すれば良い。例えば、第 3 のトランジスタ 7 9 1 がオン状態となった際に、電位 V 3 と同じ電位になるように電位 V 4 を設定することができる。電位 V 3 と電位 V 4 とを同じ電位とすることによって、容量素子 6 9 3 に保持された電荷を 30 放電し、第 2 のトランジスタ 6 9 2 のソースとゲート間の電圧をゼロとして第 2 のトランジスタ 6 9 2 をオフ状態とすることができる。なお、電位 V 3 と電位 V 4 とを同じ電位とする場合は、端子 6 9 5 と端子 7 9 2 とを同じ配線に接続しても良い。

【0 4 2 6】

なお、第 3 のトランジスタ 7 9 1 は、図 6 4 (B) に示した配置に限定されない。例えば、第 2 のトランジスタ 6 9 2 と直列に第 3 のトランジスタ 7 9 1 を配置してもよい。この構成では、走査線 R y に入力される信号により、第 3 のトランジスタ 7 9 1 をオフ状態にすることによって、発光素子 6 9 4 に流れる電流を遮断し、発光素子 6 9 4 を非発光と 40 することができる。

【0 4 2 7】

40

図 6 4 (B) で示した第 3 のトランジスタ 7 9 1 の代わりにダイオードを用いることもできる。第 3 のトランジスタ 7 9 1 の代わりにダイオードを用いた画素の構成を図 6 4 (C) に示す。なお、図 6 4 (C) において図 6 4 (B) と同じ部分は同じ符号を用いて示し説明は省略する。ダイオード 7 8 1 の一方の電極は走査線 R y に接続され、他方の電極は第 2 のトランジスタ 6 9 2 のゲート及び容量素子 6 9 3 の一方の電極に接続されている。

【0 4 2 8】

ダイオード 7 8 1 は一方の電極から他方の電極に電流を流す。第 2 のトランジスタ 6 9 2 を p チャネル型のトランジスタとする。ダイオード 7 8 1 の一方の電極の電位を上昇させることによって、第 2 のトランジスタ 6 9 2 のゲートの電位を上昇させ、第 2 のトランジスタ 6 9 2 をオフ状態とすることができる。 50

【0429】

図64(C)では、ダイオード781は、走査線Ryに接続された一方の電極から第2のトランジスタ692のゲートに接続された他方の電極に電流を流すとし、第2のトランジスタ692をpチャネル型のトランジスタとした構成を示したがこれに限定されない。ダイオード781は、第2のトランジスタ692のゲートに接続された他方の電極から走査線Ryに接続された一方の電極に電流を流すとし、第2のトランジスタ692をnチャネル型のトランジスタとした構成としてもよい。第2のトランジスタ692がnチャネル型のトランジスタのときは、ダイオード781の一方の電極の電位を下降させることによって、第2のトランジスタ692のゲートの電位を下降させ、第2のトランジスタ692をオフ状態とすることができる。

10

【0430】

ダイオード781としては、ダイオード接続されたトランジスタを用いてもよい。ダイオード接続されたトランジスタとは、ドレインとゲートが接続されたトランジスタを示すものとする。ダイオード接続されたトランジスタとしては、pチャネル型のトランジスタを用いても良いしnチャネル型のトランジスタを用いても良い。

【0431】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0432】

(第12の実施形態)

図65(A)に、図62(A)や図62(B)で示した画素部591の構成例(以下、第3の画素構成という)を示す。画素部591は、複数のソース信号線S1乃至Sp(pは自然数)と、複数のソース信号線S1乃至Spと交差するように設けられた複数の走査線G1乃至Gq(qは自然数)と、ソース信号線S1乃至Spと走査線G1乃至Gqの交差部毎に設けられた画素690とを有する。

20

【0433】

図65(A)の画素690の構成を図65(B)に示す。図65(B)では、複数のソース信号線S1乃至Spのうちの1本Sx(xはp以下の自然数)と、複数の走査線G1乃至Gqのうちの1本Gy(yはq以下の自然数)との交差部に形成された画素690を示す。また、各行に対応して容量線C0が設けられている。画素690は、トランジスタ4691と、液晶素子4692と、容量素子4693とを有する。トランジスタ4691は、nチャネル型のトランジスタであってもpチャネル型のトランジスタであっても良い。画素690を構成するトランジスタとして、薄膜トランジスタを用いることができる。

30

【0434】

トランジスタ4691のゲートは走査線Gyに接続され、トランジスタ4691のソース及びドレインの一方はソース信号線Sxに接続され、他方は液晶素子4692の一方の電極及び容量素子4693の一方の電極に接続される。液晶素子4692の他方の電極は、電位V0が与えられる端子4694に接続される。容量素子4693の他方の電極は、容量線C0に接続される。容量線C0には、端子4694に与えられる電位V0と同じ電位が与えられる。

40

【0435】

図65(A)及び図65(B)に示した画素部591の表示方法について説明する。

【0436】

複数の走査線G1乃至Gqのうち1本を選択し、当該走査線が選択されている間に複数のソース信号線S1乃至Sp全てに画像信号を入力する。こうして、画素部591の1行の画素に画像信号を入力する。複数の走査線G1乃至Gqを順に選択し同様の動作を行って、画素部591の全ての画素690に画像信号を入力する。

【0437】

複数の走査線G1乃至Gqのうちの1本Gyが選択され、複数のソース信号線S1乃至S

50

pのうちの1本S_xから画像信号が入力された画素690の動作について説明する。走査線G_yが選択されると、トランジスタ4691がオン状態となる。トランジスタのオン状態とはソースとドレインが導通状態であることを言い、トランジスタのオフ状態とはソースとドレインが非導通状態であることを言うものとする。トランジスタ4691がオン状態となると、ソース信号線S_xに入力された画像信号は、トランジスタ4691を介して液晶素子4692の一方の電極及び容量素子4693の一方の電極に入力される。こうして、液晶素子4692の一对の電極間に電圧（入力された画像信号の電位と端子4694の電位V₀の電位差に相当）が印加され、液晶素子4692の透過率が変化する。

【0438】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0439】

（第13の実施形態）

本実施形態では、画素を実際に作製した例について説明する。図48（A）及び図48（B）は、第11の実施の形態乃至第12の実施の形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子としてTFTを用い、画素に配置される表示媒体として発光素子を用いた発光装置の例を示す。

【0440】

図48（A）及び図48（B）において、1000は基板、1001は下地膜、1002は半導体層、1102は半導体層、1003は第1の絶縁膜、1004はゲート電極、1104は電極、1005は第2の絶縁膜、1006は電極、1007は第1の電極、1008は第3の絶縁膜、1009は発光層、1010は第2の電極である。1100はTFT、1011は発光素子、1101は容量素子である。図48では、画素を構成する素子として、TFT 1100と、容量素子1101とを代表で示した。図48（A）の構成について説明する。

【0441】

基板1000としては、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレスを含む金属基板または半導体基板の表面に絶縁膜を形成したものを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板を用いても良い。基板1000の表面を、CMP法などの研磨により平坦化しておいても良い。

【0442】

下地膜1001としては、酸化珪素や、窒化珪素または窒化酸化珪素などの絶縁膜を用いることができる。下地膜1001によって、基板1000に含まれるNaなどのアルカリ金属やアルカリ土類金属が半導体層1002に拡散しTFT 1100の特性に悪影響をおよぼすのを防ぐことができる。図48では、下地膜1001を単層の構造としているが、2層あるいはそれ以上の複数層で形成してもよい。なお、石英基板など不純物の拡散がさして問題とならない場合は、下地膜1001を必ずしも設ける必要はない。

【0443】

半導体層1002及び半導体層1102としては、所定の形状に加工された結晶性半導体膜や非晶質半導体膜を用いることができる。結晶性半導体膜は非晶質半導体膜を結晶化して得ることができる。結晶化方法としては、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等を用いることができる。半導体層1002は、チャンネル形成領域と、導電型を付与する不純物元素が添加された一对の不純物領域とを有する。なお、チャンネル形成領域と一对の不純物領域との間に、前記不純物元素が低濃度で添加された不純物領域（LDD領域）を有していてもよい。半導体層1102には、全体に導電型を付与する不純物元素が添加された構成とすることができる。

【0444】

10

20

30

40

50

第1の絶縁膜1003としては、酸化珪素、窒化珪素または窒化酸化珪素等を用い、単層または複数の膜を積層させて形成することができる。

【0445】

なお、第1の絶縁膜1003として水素を含む膜を用い、半導体層1002を水素化してもよい。

【0446】

ゲート電極1004及び電極1104としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた一種の元素または該元素を複数含む合金若しくは化合物を用いることができる。更に、これらの単層または積層構造を用いることができる。

【0447】

TFT1100は、半導体層1002と、ゲート電極1004と、半導体層1002とゲート電極1004との間の第1の絶縁膜1003とによって構成される。図48では、画素を構成するTFTとして、発光素子1011の第1の電極1007に接続されたTFT1100のみを示したが、複数のTFTを有する構成としてもよい。また、本実施形態では、TFT1100をトップゲート型のトランジスタとして示したが、半導体層の下方にゲート電極を有するボトムゲート型のトランジスタであっても良いし、半導体層の上下にゲート電極を有するデュアルゲート型のトランジスタであっても良い。

【0448】

容量素子1101は、第1の絶縁膜1003を誘電体とし、第1の絶縁膜1003を挟んで対向する半導体層1102と電極1104とを一对の電極として構成される。なお、図48では、画素の有する容量素子として、一对の電極の一方をTFT1100の半導体層1002と同時に形成される半導体層1102とし、他方の電極をTFT1100のゲート電極1004と同時に形成される電極1104とした例を示したが、この構成に限定されない。

【0449】

第2の絶縁膜1005としては、無機絶縁膜や有機絶縁膜の単層または積層を用いることができる。無機絶縁膜としては、CVD法により形成された酸化シリコン膜や、SOG(Spin On Glass)法により形成された酸化シリコン膜などを用いることができ、有機絶縁膜としてはポリイミド、ポリアミド、BCB(ベンゾシクロブテン)、アクリルまたはポジ型感光性有機樹脂、ネガ型感光性有機樹脂等の膜を用いることができる。

【0450】

また、第2の絶縁膜1005として、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料を用いることができる。この材料の置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基としてフルオロ基を用いてもよい。または置換基として少なくとも水素を含む有機基とフルオロ基とを用いてもよい。

【0451】

なお、第2の絶縁膜1005の表面を高密度プラズマによって処理し、窒化させてもよい。高密度プラズマは、高い周波数のマイクロ波、例えば2.45GHzを使うことによって生成される。なお、高密度プラズマとしては電子密度が 10^{11} cm^{-3} 以上かつ電子温度が0.2eV以上2.0eV以下(より好ましくは0.5eV以上1.5eV以下)であるものを用いる。このように低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない膜を形成することができる。高密度プラズマ処理の際、基板1000は350℃から450℃の温度とする。また、高密度プラズマを発生させる装置において、マイクロ波を発生するアンテナから基板1000までの距離を20mm以上80mm以下(好ましくは20mm以上60mm以下)とする。

【0452】

窒素(N)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、または窒素と水素(H)と希ガス雰囲気下、またはNH₃と希ガス雰囲気下において、

10

20

30

40

50

上記高密度プラズマ処理を行い第2の絶縁膜1005表面を窒化する。高密度プラズマにより窒化処理により形成された第2の絶縁膜1005表面にはHや、He、Ne、Ar、Kr、Xeの元素が混入している。例えば、第2の絶縁膜1005として酸化シリコン膜や酸化窒化シリコン膜を用い、当該膜の表面を高密度プラズマで処理することによって窒化シリコン膜を形成する。こうして形成した窒化シリコン膜に含まれる水素を用いて、TF1100の半導体層1002の水素化を行ってもよい。なお当該水素化処理は、前述した第1の絶縁膜1003中の水素を用いた水素化処理と組み合わせてもよい。

【0453】

なお、上記高密度プラズマ処理によって形成された窒化膜の上に更に絶縁膜を形成して、第2の絶縁膜1005としてもよい。

10

【0454】

電極1006としては、Al、W、Mo、Ti、Pt、Cu、Ta、Au、Mnから選ばれた一種の元素、またはAl、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mnから選ばれた元素を二種以上含む合金を用いることができる。更に、これらの単層または積層構造を用いることができる。

【0455】

第1の電極1007及び第2の電極1010の一方もしくは両方を透明電極とすることができる。透明電極としては、酸化タングステンを含むインジウム酸化物(IWO)、酸化タングステンと酸化亜鉛を含む酸化インジウム(IWZO)、酸化チタンを含むインジウム酸化物(ITiO)、酸化チタンを含むインジウム錫酸化物(ITTiO)などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

20

【0456】

また、発光素子は、直流電圧を印加することによって発光する発光素子（以下、直流駆動発光素子という）と、交流電圧を印加することによって発光する発光素子（以下、交流駆動発光素子という）に分けられる。

【0457】

直流駆動発光素子では、発光層は、正孔注入輸送層、発光層、電子注入輸送層など、機能の異なる複数の層を用いて構成することが好ましい。

【0458】

正孔注入輸送層は、ホール輸送性の有機化合物材料と、その有機化合物材料に対して電子受容性を示す無機化合物材料とを含む複合材料で形成することが好ましい。このような構成とすることで、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性が得られる。この効果により、従来よりも駆動電圧を低くすることができる。また、駆動電圧の上昇を招くことなく正孔注入輸送層を厚くすることができるため、ゴミ等に起因する発光素子の短絡も抑制することができる。

30

【0459】

ホール輸送性の有機化合物材料としては、4, 4', 4''-トリス[N-(3-メチルフェニル)-N-フェニルアミノ]トリフェニルアミン（略称：MTDA TA）、1, 3, 5-トリス[N, N-ジ(m-トリル)アミノ]ベンゼン（略称：m-MTDA B）、N, N'-ジフェニル-N, N'-ビス(3-メチルフェニル)-1, 1'-ビフェニル-4, 4'-ジアミン（略称：TPD）、4, 4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル（略称：NPB）などが挙げられるが、これらに限定されることはない。

40

【0460】

電子受容性を示す無機化合物材料としては、酸化チタン、酸化ジルコニウム、酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウム、酸化ルテニウム、酸化亜鉛などが挙げられる。特に酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウムは真空蒸着が可能で扱いやすいため、好適である。

50

【0461】

電子注入輸送層は、電子輸送性の有機化合物材料を用いて形成する。具体的には、トリス（8-キノリノラト）アルミニウム（略称：Alq₃）、トリス（4-メチル-8-キノリノラト）アルミニウム（略称：Almq₃）などが挙げられるが、これらに限定されることはない。

【0462】

直流駆動発光素子では、発光層は、9, 10-ジ（2-ナフチル）アントラセン（略称：DNA）、9, 10-ジ（2-ナフチル）-2-tert-ブチルアントラセン（略称：t-BuDNA）、4, 4'-ビス（2, 2-ジフェニルビニル）ビフェニル（略称：DPVBi）、クマリン30、クマリン6、クマリン545、クマリン545T、ペリレン、ルブレン、ペリフランテン、2, 5, 8, 11-テトラ（tert-ブチル）ペリレン（略称：TBP）、9, 10-ジフェニルアントラセン（略称：DPA）、5, 12-ジフェニルテトラセン、4-（ジシアノメチレン）-2-メチル-[p-（ジメチルアミノ）スチリル]-4H-ピラン（略称：DCM1）、4-（ジシアノメチレン）-2-メチル-6-[2-（ジュロリジン-9-イル）エテニル]-4H-ピラン（略称：DCM2）、4-（ジシアノメチレン）-2, 6-ビス[p-（ジメチルアミノ）スチリル]-4H-ピラン（略称：BisDCM）等が挙げられる。また、ビス[2-（4', 6'-ジフルオロフェニル）ピリジナト-N, C^{2'}']イリジウム（ピコリナート）（略称：Firpic）、ビス{2-[3', 5'-ビス（トリフルオロメチル）フェニル]ピリジナト-N, C^{2'}'}イリジウム（ピコリナート）（略称：Ir(CF₃ppy)₂(pic)）、トリス（2-フェニルピリジナト-N, C^{2'}'）イリジウム（略称：Ir(ppy)₃）、ビス（2-フェニルピリジナト-N, C^{2'}'）イリジウム（アセチルアセトナート）（略称：Ir(ppy)₂(acac)）、ビス[2-（2'-チエニル）ピリジナト-N, C^{3'}']イリジウム（アセチルアセトナート）（略称：Ir(thp)₂(acac)）、ビス（2-フェニルキノリナト-N, C^{2'}'）イリジウム（アセチルアセトナート）（略称：Ir(pq)₂(acac)）、ビス[2-（2'-ベンゾチエニル）ピリジナト-N, C^{3'}']イリジウム（アセチルアセトナート）（略称：Ir(btp)₂(acac)）などの燐光を放出できる化合物を用いることもできる。

【0463】

その他に、発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0464】

第1の電極1007及び第2の電極1010の他方は、透光性を有さない材料で形成されていてもよい。例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金（Mg:Ag、Al:Li、Mg:Inなど）、およびこれらの化合物（CaF₂、窒化カルシウム）の他、YbやEr等の希土類金属を用いることができる。

【0465】

第3の絶縁膜1008としては、第2の絶縁膜1005と同様の材料を用いて形成することができる。第3の絶縁膜1008は、第1の電極1007の端部を覆うように第1の電極1007の周辺に形成され、隣り合う画素において発光層1009を分離する機能を有する。

【0466】

発光層1009は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、低分子系のいずれの材料も用いることが可能である。

【0467】

発光素子1011は、発光層1009と、発光層1009を介して重なる第1の電極1007及び第2の電極1010とによって構成される。第1の電極1007及び第2の電極1010の一方が陽極に相当し、他方が陰極に相当する。発光素子1011は、陽極と陰極の間にしきい値電圧より大きい電圧が順バイアスで印加されると、陽極から陰極に電流が流れて発光する。

【0468】

一方、交流駆動発光素子は、一对の電極間に2つの絶縁膜で挟まれた発光層を有する絶縁二重構造を有しており、一对の電極の間に交流電圧を印加することにより発光が得られる。交流駆動発光素子において、発光層は、ZnS、SrS、BaAl₂S₄などを用いることができる。発光層を挟む絶縁膜は、Ta₂O₅、SiO₂、Y₂O₃、BaTiO₃、SrTiO₃、窒化珪素などを用いることができる。

10

【0469】

図48(B)の構成について説明する。なお、図48(A)と同じ部分は同じ符号を用いて示し、説明は省略する。

【0470】

図48(B)は、図48(A)において、第2の絶縁膜1005と第3の絶縁膜1008の間に絶縁膜1108を有する構成である。電極1006と第1の電極1007とは、絶縁膜1108に設けられたコンタクトホールにおいて、電極1106によって接続されている。

20

【0471】

なお、電極1106は、必ずしも必要ではない。つまり、第1の電極1007は、電極1106を介さずに電極1006に直接接続されていてもよい。こうして、電極1106を形成するための工程数を減らすことができ、コストを低減することができる。

【0472】

また、電極1106を介さず第1の電極1007を電極1006に直接接続する場合、第1の電極1007の材料や作製方法によっては、第1の電極1007の被覆性が悪化し断線することがある。このような場合は、図48(B)のように、絶縁膜1108に設けられたコンタクトホールにおいて、電極1106によって電極1006と第1の電極1007とを接続したほうが有利である。

30

【0473】

絶縁膜1108は、第2の絶縁膜1005と同様の構成とすることができる。電極1106は、電極1006と同様の構成とすることができる。

【0474】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0475】

(第14の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図49は、第9の実施の形態乃至第11の実施の形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子としてTF Tを用い、画素に配置される表示媒体として発光素子を用いた発光装置の例を示す。なお、第13の実施形態に示した図48と同じ部分は同じ符号を用いて示し、説明は省略する。

40

【0476】

図49で示した画素は、第13の実施形態において図48(A)で示した構成において、TF T 1100と容量素子1101の構成が異なる。TF T 1100としてボトムゲート型のTF Tを用いた例である。TF T 1100は、ゲート電極2703と、チャンネル形成領域2706、LDD領域2707及び不純物領域2708を有する半導体層と、ゲート電極2703と、当該半導体層との間の第1の絶縁膜2705とによって構成される。第

50

1の絶縁膜2705はTFT1100のゲート絶縁膜として機能する。不純物領域2708はTFT1100のソース領域及びドレイン領域となる。

【0477】

容量素子1101は、第1の絶縁膜2705を誘電体とし、第1の絶縁膜2705を挟んで対向する半導体層と電極2704とを一对の電極として構成される。当該半導体層は、チャンネル形成領域2709、LDD領域2710及び不純物領域2711を有する。なお、図49では、画素の有する容量素子として、一对の電極の一方をTFT1100の活性層となる半導体層と同時に形成される半導体層とし、他方の電極をTFT1100のゲート電極2703と同時に形成される電極2704とした例を示したが、この構成に限定されない。

10

【0478】

チャンネル形成領域2706、LDD領域2707及び不純物領域2708を有する半導体層や、チャンネル形成領域2709、LDD領域2710及び不純物領域2711を有する半導体層としては、図48における半導体層1002や半導体層1102と同様の材料を用いることができる。第1の絶縁膜2705としては、図48における第1の絶縁膜1003と同様の材料を用いることができる。ゲート電極2703や電極2704としては、図48におけるゲート電極1004と同様の材料を用いることができる。

【0479】

チャンネル形成領域2706及びチャンネル形成領域2709は導電性を付与する不純物元素が添加されていてもよい。

20

【0480】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0481】

(第15の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図50は、第11の実施の形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子としてTFTを用い、画素に配置される表示媒体として発光素子を用いた発光装置の例を示す。なお、第13の実施形態に示した図48と同じ部分は同じ符号を用いて示し、説明は省略する。

30

【0482】

図50(A)及び図50(B)で示した画素は、第13の実施形態において図48(A)で示した構成において、TFT1100と容量素子1101の構成が異なる。図50(A)は、TFT1100としてボトムゲート型でチャンネルエッチ構造のTFTを用いた例である。図50(B)は、TFT1100としてボトムゲート型でチャンネル保護構造のTFTを用いた例である。図50(B)に示したチャンネル保護構造のTFT1100は、図50(A)に示したチャンネルエッチ構造のTFT1100において半導体層2906のチャンネルが形成される領域上にエッチングのマスクとなる絶縁物3001が設けられている点

40

【0483】

図50(A)及び図50(B)において、TFT1100は、ゲート電極2993と、ゲート電極2993上の第1の絶縁膜2905と、第1の絶縁膜2905上の半導体層2906と、半導体層2906上のN型半導体層2908及びN型半導体層2909とによって構成される。第1の絶縁膜2905はTFT1100のゲート絶縁膜として機能する。N型半導体層2908及びN型半導体層2909がTFT1100のソース及びドレインとなる。N型半導体層2908及びN型半導体層2909の上にはそれぞれ電極2911、電極2912が形成される。電極2911の一方の端部は半導体層2906が無い領域まで延びて存在し、半導体層2906が無い領域において電極2911の上部に接して電極1006が形成されている。

50

【0484】

容量素子1101は、第1の絶縁膜2905を誘電体とし、電極2904を一方の電極とし、第1の絶縁膜2905を挟んで電極2904と対向する半導体層2907、半導体層2907上のN型半導体層2910、及びN型半導体層2910上の電極2913とを他方の電極として構成される。電極2904はゲート電極2993と同時に形成することができる。半導体層2907は半導体層2906と同時に形成することができる。N型半導体層2910はN型半導体層2908及びN型半導体層2909と同時に形成することができる。電極2913は電極2911及び電極2912と同時に形成することができる。

【0485】

ゲート電極2993や電極2904としては、図48におけるゲート電極1004と同様の材料を用いることができる。半導体層2906や半導体層2907としては、非晶質半導体膜を用いることができる。第1の絶縁膜2905としては、図48における第1の絶縁膜1003と同様の材料を用いることができる。電極2911、電極2912及び電極2913としては、電極1006と同様の材料を用いることができる。N型半導体層2910、N型半導体層2908及びN型半導体層2909としては、N型の不純物元素を含む半導体膜を用いることができる。

【0486】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0487】

(第16の実施形態)

本実施形態では、画素を実際に作製した例について説明する。図51は、第11の実施の形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子としてTFEを用い、画素に配置される表示媒体として液晶素子を用いた例を示す。

【0488】

図51(A)、図51(B)及び図51(C)で示した画素は、第13の実施形態において図48(A)及び図48(B)で示した構成、第14の実施形態において図49で示した構成において、発光素子1011の代わりに液晶素子を設けた例である。図48、図49と同じ部分は同じ符号を用いて示し、説明は省略する。

【0489】

液晶素子は、第1の電極4000と、第1の電極4000上に形成された配向膜4001と、液晶4002と、配向膜4003と、第2の電極4004とによって構成される。第1の電極4000と第2の電極4004の間に電圧が印加されることによって、液晶の配向状態が変化し、液晶素子の透過率が変化する。第2の電極4004及び配向膜4003は、対向基板4005に形成されている。

【0490】

第1の電極4000及び第2の電極4004の一方もしくは両方を透明電極とすることができる。透明電極としては、酸化タングステンを含むインジウム酸化物(IWO)、酸化タングステンと酸化亜鉛を含む酸化インジウム(IWZO)、酸化チタンを含むインジウム酸化物(ITiO)、酸化チタンを含むインジウム錫酸化物(ITTiO)などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。第1の電極4000及び第2の電極4004の他方は、透光性を有さない材料で形成されていてもよい。例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(CaF₂、窒化カルシウム)の他、YbやEr等の希土類金属を用いることができる。

【0491】

液晶4002としては公知の液晶を自由に用いることができる。例えば、液晶4002と

して強誘電性の液晶を用いてもよいし反強誘電性の液晶を用いてもよい。また、液晶の駆動方式は、TN (Twisted Nematic) モード、MVA (Multi-domain Vertical Alignment) モード、ASM (Axially Symmetrical aligned Micro-cell) モード、OCB (Optically Compensated Bend) モード等を自由に用いることができる。

【0492】

本実施形態では、液晶4002に電圧を印加する一对の電極（第1の電極4000及び第2の電極4004）を異なる基板上に形成した例を示したがこれに限定されない。第2の電極4004を基板1000上に設けてもよい。こうして、液晶の駆動方式として、IPS (In-Plane-Switching) モードを用いてもよい。また、液晶4002によっては、配向膜4001及び配向膜4003の一方または両方が設けられていなくても良い。

10

【0493】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【0494】

（第17の実施形態）

本実施形態では、画素を実際に作製した例について説明する。図52は、第13の実施の形態で説明したパネルの画素の断面図である。画素に配置されるスイッチング素子として TFTを用い、画素に配置される表示媒体として液晶素子を用いた例を示す。

20

【0495】

図52 (A) 及び図52 (B) で示した画素は、第15の実施形態において図50 (A) 及び図50 (B) で示した構成において、発光素子1011の代わりに液晶素子を設けた例である。図50と同じ部分は同じ符号を用いて示し、説明は省略する。また、液晶素子の構成等については、第16の実施形態において図51で示した構成と同様であるので説明は省略する。

【0496】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

30

【0497】

（第18の実施形態）

本実施形態では、画素の形成された基板の封止を行った構成について、図53を用いて説明する。図53 (A) は、画素の形成された基板を封止することによって形成されたパネルの上面図であり、図53 (B)、図53 (C) はそれぞれ図53 (A) のA-A'における断面図である。図53 (B) と図53 (C) とは、異なる方法で封止を行った例である。

【0498】

図53 (A) 乃至図53 (C) において、基板1301上には、複数の画素を有する画素部1302が配置され、画素部1302を囲むようにしてシール材1306が設けられシール材1307が貼り付けられている。画素の構造については、上述の発明を実施するための最良の形態、第14の実施形態、第15の実施形態、第16の実施形態で示した構成を用いることができる。

40

【0499】

図53 (B) の表示パネルでは、図53 (A) のシール材1307は、対向基板1321に相当する。シール材1306を接着層として用いて透明な対向基板1321が貼り付けられ、基板1301、対向基板1321及びシール材1306によって密閉空間1322が形成される。対向基板1321には、カラーフィルタ1320と該カラーフィルタを保護する保護膜1323が設けられる。画素部1302に配置された発光素子から発せ

50

られる光は、該カラーフィルタ1320を介して外部に放出される。密閉空間1322は、不活性な樹脂もしくは液体などで充填される。なお、密閉空間1322に充填する樹脂として、吸湿材を分散させた透光性を有する樹脂を用いても良い。また、シール材1306と密閉空間1322に充填される材料とを同一の材料として、対向基板1321の接着と画素部1302の封止とを同時に行っても良い。

【0500】

図53(C)に示した表示パネルでは、図53(A)のシーリング材1307は、シーリング材1324に相当する。シール材1306を接着層として用いてシーリング材1324が貼り付けられ、基板1301、シール材1306及びシーリング材1324によって密閉空間1308が形成される。シーリング材1324には予め凹部の中に吸湿剤1309が設けられ、上記密閉空間1308の内部において、水分や酸素等を吸着して清浄な雰囲気を保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材1310で覆われている。カバー材1310は空気や水分は通すが、吸湿剤1309は通さない。なお、密閉空間1308は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。

10

【0501】

基板1301上には、画素部1302等に信号を伝達するための入力端子部1311が設けられ、該入力端子部1311へはFPC(フレキシブルプリントサーキット)1312を介して映像信号等の信号が伝達される。入力端子部1311では、基板1301上に形成された配線とFPC1312に設けられた配線とを、導電体を分散させた樹脂(異方性導電樹脂:ACF)を用いて電氣的に接続してある。

20

【0502】

画素部1302が形成された基板1301上に、画素部1302に信号を入力する駆動回路が一体形成されていても良い。画素部1302に信号を入力する駆動回路をICチップで形成し、基板1301上にCOG(Chip On Glass)で接続しても良いし、ICチップをTAB(Tape Automated Bonding)やプリント基板を用いて基板1301上に配置しても良い。

【0503】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

30

【0504】

(第19の実施形態)

本発明は、パネルに、パネルに信号を入力する回路を実装した表示モジュールに適用することができる。

【0505】

図54はパネル1900と回路基板1904を組み合わせた表示モジュールを示している。図54では、回路基板1904上にコントローラ1905や信号分割回路1906などが形成されている例を示した。回路基板1904上に形成される回路はこれに限定されない。パネルを制御する信号を生成する回路であればどのような回路が形成されていてもよい。

40

【0506】

回路基板1904上に形成されたこれらの回路から出力された信号は、接続配線1907によってパネル1900に入力される。

【0507】

パネル1900は、画素部1901と、ソースドライバ1902と、ゲートドライバ1903とを有する。パネル1900の構成は、第9の実施形態乃至第12の実施形態で示した構成と同様とすることができる。図54では、画素部1901が形成された基板と同一基板上に、ソースドライバ1902及びゲートドライバ1903が形成されている例を示した。しかし、本発明の表示モジュールはこれに限定されない。画素部1901が形成さ

50

れた基板と同一基板上にゲートドライバ１９０３のみが形成され、ソースドライバは回路基板上に形成されていても良い。ソースドライバ及びゲートドライバの両方が回路基板上に形成されていても良い。

【０５０８】

このような表示モジュールを組み込んで、様々な電子機器の表示部を形成することができる。

【０５０９】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

10

【０５１０】

（第２０の実施形態）

本発明は、様々な電子機器に適用することができる。電子機器としては、カメラ（ビデオカメラ、デジタルカメラ等）、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ナビゲーションシステム、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。記録媒体を備えた画像再生装置としては、具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置などが挙げられる。電子機器の例を図５５に示す。

20

【０５１１】

図５５（Ａ）は、ノート型パーソナルコンピュータであり、本体９１１、筐体９１２、表示部９１３、キーボード９１４、外部接続ポート９１５、ポインティングデバイス９１６等を含む。本発明は、表示部９１３に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【０５１２】

図５５（Ｂ）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体９２１、筐体９２２、第１の表示部９２３、第２の表示部９２４、記録媒体（DVD等）読み込み部９２５、操作キー９２６、スピーカー部９２７等を含む。第１の表示部９２３は主として画像情報を表示し、第２の表示部９２４は主として文字情報を表示する。本発明は、第１の表示部９２３、第２の表示部９２４に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

30

【０５１３】

図５５（Ｃ）は携帯電話であり、本体９３１、音声出力部９３２、音声入力部９３３、表示部９３４、操作スイッチ９３５、アンテナ９３６等を含む。本発明は、表示部９３４に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【０５１４】

図５５（Ｄ）はカメラであり、本体９４１、表示部９４２、筐体９４３、外部接続ポート９４４、リモコン受信部９４５、受像部９４６、バッテリー９４７、音声入力部９４８、操作キー９４９等を含む。本発明は、表示部９４２に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

40

【０５１５】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

【０５１６】

（第２１の実施形態）

本実施の形態については、本発明の画素構成を用いた表示装置を表示部に用いた表示パネルを用いた応用例について、応用形態を図示し説明する。本発明の画素構成を用いた表示装置を表示部に用いた表示パネルは、移動体や建造物等と一体に設けられた構成をとるこ

50

ともできる。

【0517】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図56に示す。図56(a)は、表示装置一体型の移動体の例として電車車両本体9701におけるドアのガラス戸のガラスに表示パネル9702を用いた例について示す。図56(a)に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル9702は、外部からの信号により表示部で表示される画像の切り替えが容易である。そのため、電車の乗降客の客層が入れ替わる時間帯ごとに表示パネルの画像を切り替え、より効果的な広告効果が期待できる。

【0518】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図56(a)で示した電車車両本体におけるドアのガラスにのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ありとあらゆる場所に適用可能である。図56(b)にその一例について説明する。

【0519】

図56(b)は、電車車両本体における車内の様子について図示したものである。図56(b)において、図56(a)で示したドアのガラス戸の表示パネル9702の他に、ガラス窓に設けられた表示パネル9703、及び天井より吊り下げられた表示パネル9704を示す。本発明の画素構成を具備する表示パネル9703は、自発光型の表示素子を具備するため、混雑時には広告用の画像を表示し、混雑時以外には表示を行わないことで、電車からの外観をも見ることもできる。また、本発明の画素構成を具備する表示パネル9704はフィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することで、表示パネル自体を湾曲させて表示を行うことも可能である。

【0520】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図57にて説明する。

【0521】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図57に示す。図57は、表示装置一体型の移動体の例として自動車の車体9901に一体に取り付けられた表示パネル9902の例について示す。図57に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル9902は、自動車の車体と一体に取り付けられており、車体の動作や車体内外から入力される情報をオンデマンドに表示したり、自動車の目的地までのナビゲーション機能をも有する。

【0522】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図57で示した車体のフロント部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、ガラス窓、ドアなどありとあらゆる場所に適用可能である。

【0523】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた表示装置一体型の移動体の応用例について、別の応用形態を図58にて説明する。

【0524】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの例について、表示装置一体型の移動体をその一例として、図58に示す。図58(a)は、表示装置一体型の移動体の例として飛行機車体10101内の客席天井部に一体に取り付けられた表示パネル10102の例について示す。図58(a)に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル10102は、飛行機車体10101とヒンジ部10103を介して一体に取り付けられており、ヒンジ部10103の伸縮により乗客は表示パネル10102の視聴が可能になる。表示パネル10102は乗客が操作することで情報を表示

10

20

30

40

50

したり、広告や娯楽手段として利用できる機能を有する。また、図58(b)に示すように、ヒンジ部を折り曲げて飛行機車体10101に格納することにより、離着陸時の安全に配慮することができる。なお、緊急時に表示パネルの表示素子を点灯させることで、飛行機車体10101の誘導灯としても利用可能である。

【0525】

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図58で示した飛行機車体10101の天井部にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、座席やドアなどありとあらゆる場所に適用可能である。例えば座席前の座席後方に表示パネルを設け、操作・視聴を行う構成であってもよい。

【0526】

なお、本実施の形態において、移動体としては電車車両本体、自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、多岐に渡る。本発明の画素構成を用いた表示部を有する表示パネルを適用することにより、表示パネルの小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備する移動体を提供することができる。また特に、外部からの信号により、移動体内における表示パネルの表示を一斉に切り替えることが容易であるため、不特定多数の顧客を対象とした広告表示盤、また緊急災害時の情報表示板としても極めて有用であるといえる。

【0527】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、建造物に用いた応用形態を図59にて用いて説明する。

【0528】

図59は本発明の画素構成を用いた表示装置を表示部に有する表示パネルとして、フィルム状の基板に有機トランジスタなどのスイッチング素子を設け、自発光型の表示素子を駆動することにより表示パネル自身を湾曲させて表示可能な表示パネルとし、その応用例について説明する。図59においては、建造物として電柱等の屋外に設けられた柱状体の有する曲面に表示パネルを具備し、ここでは柱状体として電柱9801に表示パネル9802を具備する構成について示す。

【0529】

図59に示す表示パネル9802は、電柱の高さの真ん中あたりに位置させ、人間の視点より高い位置に設ける。そして移動体9803から表示パネルを視認することにより、表示パネル9802における画像を認識することができる。電柱のように屋外で繰り返し林立し、林立した電柱に設けた表示パネル9802において同じ映像を表示させることにより、視認者は情報表示、広告表示を視認することができる。図59において電柱9801に設けられた表示パネル9802は、外部より同じ画像を表示させることが容易であるため、極めて効率的な情報表示、及び広告効果が期待できる。また、本発明の表示パネルには、表示素子として自発光型の表示素子を設けることで、夜間であっても、視認性の高い表示媒体として有用であるといえる。

【0530】

また、本発明の画素構成を用いた表示装置を表示部に有する表示パネルを用いた応用例について、図59とは別の建造物の応用形態を図60にて説明する。

【0531】

本発明の画素構成を用いた表示装置を表示部に有する表示パネルの応用例として、図60に示す。図60は、表示装置一体型の例としてユニットバス10001内の側壁に一体に取り付けられた表示パネル10002の例について示す。図60に示す本発明の画素構成を用いた表示装置を表示部に有する表示パネル10002は、ユニットバス10001と一体に取り付けられており、入浴者は表示パネル10002の視聴が可能になる。表示パネル10002は入浴者が操作することで情報を表示したり、広告や娯楽手段として利用できる機能を有する。

【0532】

10

20

30

40

50

なお、本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、図60で示したユニットバス10001の側壁にのみ適用可能であることに限定されることなく、その形状を異ならせることにより、鏡面の一部や浴槽自体と一体にするなどありとあらゆる場所に適用可能である。

【0533】

また図61に建造物内に大型の表示部を有するテレビジョン装置を設けた例について示す。図61は、筐体8010、表示部8011、操作部であるリモコン装置8012、スピーカ部8013等を含む。本発明の画素構成を用いた表示装置を表示部に有する表示パネルは、表示部8011の作製に適用される。図61のテレビジョン装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

10

【0534】

なお、本実施の形態において、建造物として、柱状体として電柱、ユニットバス等を例としたが、本実施の形態は、表示パネルを備えることのできる建造物であれば特に限定されない。本発明の画素構成を用いた表示部を有する表示装置を適用することにより、表示装置の小型化、低消費電力化を達成し、且つ動作が良好である表示媒体を具備す建造物を提供することができる。

【0535】

なお、本実施形態は、本明細書中の他の実施形態のいかなる記載とも自由に組み合わせて実施することができる。また、本実施形態中のいかなる記載も自由に組み合わせて実施することができる。

20

【図面の簡単な説明】

【0536】

【図1】本発明のレベルシフタの構成を示す図。

【図2】本発明のレベルシフタのタイミングチャートを示す図。

【図3】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図4】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図5】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図6】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図7】本発明のレベルシフタが有するオフセット回路の構成を示す図。

30

【図8】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図9】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図10】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図11】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図12】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図13】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図14】本発明のレベルシフタが有するオフセット回路の構成を示す図。

【図15】本発明のレベルシフタの構成を示す図。

【図16】本発明のレベルシフタのタイミングチャートを示す図。

【図17】本発明のレベルシフタの構成を示す図。

40

【図18】本発明のレベルシフタの構成を示す図。

【図19】本発明のレベルシフタの構成を示す図。

【図20】本発明のレベルシフタのタイミングチャートを示す図。

【図21】本発明のレベルシフタの構成を示す図。

【図22】本発明のレベルシフタのタイミングチャートを示す図。

【図23】本発明のレベルシフタの構成を示す図。

【図24】本発明のレベルシフタの構成を示す図。

【図25】本発明のレベルシフタの構成を示す図。

【図26】本発明のレベルシフタの構成を示す図。

【図27】本発明のレベルシフタの構成を示す図。

50

【図 2 8】	本発明のレベルシフタの構成を示す図。	
【図 2 9】	本発明のレベルシフタの構成を示す図。	
【図 3 0】	本発明のレベルシフタのタイミングチャートを示す図。	
【図 3 1】	本発明のレベルシフタの構成を示す図。	
【図 3 2】	本発明のレベルシフタの構成を示す図。	
【図 3 3】	本発明のレベルシフタの構成を示す図。	
【図 3 4】	本発明のレベルシフタのタイミングチャートを示す図。	
【図 3 5】	本発明のレベルシフタの構成を示す図。	
【図 3 6】	本発明のレベルシフタのタイミングチャートを示す図。	
【図 3 7】	本発明のレベルシフタの構成を示す図。	10
【図 3 8】	本発明のレベルシフタの構成を示す図。	
【図 3 9】	本発明のレベルシフタの構成を示す図。	
【図 4 0】	本発明のレベルシフタの構成を示す図。	
【図 4 1】	本発明のレベルシフタの構成を示す図。	
【図 4 2】	本発明のレベルシフタの構成を示す図。	
【図 4 3】	本発明のレベルシフタのレイアウト図を示す図。	
【図 4 4】	本発明のレベルシフタのレイアウト図を示す図。	
【図 4 5】	本発明のレベルシフタのレイアウト図を示す図。	
【図 4 6】	本発明のレベルシフタのレイアウト図を示す図。	
【図 4 7】	本発明のレベルシフタのレイアウト図を示す図。	20
【図 4 8】	本発明に係る画素の断面図を示す図。	
【図 4 9】	本発明に係る画素の断面図を示す図。	
【図 5 0】	本発明に係る画素の断面図を示す図。	
【図 5 1】	本発明に係る画素の断面図を示す図。	
【図 5 2】	本発明に係る画素の断面図を示す図。	
【図 5 3】	本発明に係る表示モジュールを示す図。	
【図 5 4】	本発明に係る表示モジュールを示す図。	
【図 5 5】	本発明の電子機器の利用法を示す図。	
【図 5 6】	本発明の電子機器の利用法を示す図。	
【図 5 7】	本発明の電子機器の利用法を示す図。	30
【図 5 8】	本発明の電子機器の利用法を示す図。	
【図 5 9】	本発明の電子機器の利用法を示す図。	
【図 6 0】	本発明の電子機器の利用法を示す図。	
【図 6 1】	本発明の電子機器の利用法を示す図。	
【図 6 2】	本発明の表示パネルの構成を示す図。	
【図 6 3】	本発明の表示パネルの構成と E L 画素の構成とを示す図。	
【図 6 4】	本発明の表示パネルの構成と E L 画素の構成とを示す図。	
【図 6 5】	本発明の表示パネルの構成と液晶画素の構成とを示す図。	
【符号の説明】		
【0 5 3 7】		40
1 0 1	回路	
1 0 2	回路	
1 0 3	配線	
1 0 4	配線	
1 0 5	配線	
1 0 6	配線	
1 0 7	配線	
1 0 8	配線	
1 0 9	配線	
1 9 1	パネル	50

3 0 1	容量素子	
3 0 2	容量素子	
3 0 3	トランジスタ	
3 0 4	トランジスタ	
3 5 0	論理回路	
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	トランジスタ	
5 0 1	トランジスタ	10
5 0 2	トランジスタ	
5 9 0	画素	
5 9 1	画素部	
5 9 3	ソースドライバ	
5 9 4	ゲートドライバ	
6 0 1	トランジスタ	
6 0 2	トランジスタ	
6 0 3	トランジスタ	
6 0 4	トランジスタ	
6 9 0	画素	20
6 9 1	トランジスタ	
6 9 2	トランジスタ	
6 9 3	容量素子	
6 9 4	発光素子	
6 9 5	端子	
6 9 6	端子	
6 9 7	端子	
7 0 1	容量素子	
7 0 2	容量素子	
7 0 3	トランジスタ	30
7 0 4	トランジスタ	
7 8 1	ダイオード	
7 9 0	画素	
7 9 1	トランジスタ	
7 9 2	端子	
8 0 1	トランジスタ	
8 0 2	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
9 0 1	トランジスタ	40
9 0 2	トランジスタ	
9 1 1	本体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	キーボード	
9 1 5	外部接続ポート	
9 1 6	ポインティングマウス	
9 2 1	本体	
9 2 2	筐体	
9 2 3	表示部	50

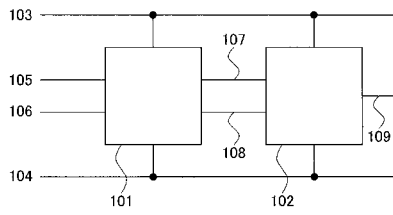
9 2 4	表示部	
9 2 5	部	
9 2 6	操作キー	
9 2 7	スピーカ部	
9 3 1	本体	
9 3 2	音声出力部	
9 3 3	音声入力部	
9 3 4	表示部	
9 3 5	操作スイッチ	
9 3 6	アンテナ	10
9 4 1	本体	
9 4 2	表示部	
9 4 3	筐体	
9 4 4	外部接続ポート	
9 4 5	リモコン受信部	
9 4 6	受像部	
9 4 7	バッテリー	
9 4 8	音声入力部	
9 4 9	操作キー	
1 0 0 0	基板	20
1 0 0 1	下地膜	
1 0 0 2	半導体層	
1 0 0 3	絶縁膜	
1 0 0 4	ゲート電極	
1 0 0 5	絶縁膜	
1 0 0 6	電極	
1 0 0 7	電極	
1 0 0 8	絶縁膜	
1 0 0 9	発光層	
1 0 1 0	電極	30
1 0 1 1	発光素子	
1 0 9 1	トランジスタ	
1 0 9 2	トランジスタ	
1 0 9 3	トランジスタ	
1 0 9 4	トランジスタ	
1 1 0 0	T F T	
1 1 0 1	容量素子	
1 1 0 2	半導体層	
1 1 0 4	電極	
1 1 0 6	電極	40
1 1 0 8	絶縁膜	
1 3 0 1	基板	
1 3 0 2	画素部	
1 3 0 6	シール材	
1 3 0 7	シーリング材	
1 3 0 8	密閉空間	
1 3 0 9	吸湿剤	
1 3 1 0	カバー材	
1 3 1 1	入力端子部	
1 3 1 2	F P C (フレキシブルプリントサーキット)	50

1 3 2 0	カラーフィルタ	
1 3 2 1	対向基板	
1 3 2 2	密閉空間	
1 3 2 3	保護膜	
1 3 2 4	シーリング材	
1 5 0 0	論理回路	
1 5 0 1	トランジスタ	
1 5 0 2	トランジスタ	
1 5 0 3	オフセット回路	
1 9 0 0	パネル	10
1 9 0 1	画素部	
1 9 0 2	ソースドライバ	
1 9 0 3	ゲートドライバ	
1 9 0 4	回路基板	
1 9 0 5	コントローラ	
1 9 0 6	信号分割回路	
1 9 0 7	接続配線	
2 1 0 0	論理回路	
2 1 0 1	トランジスタ	
2 1 0 2	トランジスタ	20
2 1 0 3	トランジスタ	
2 1 0 4	トランジスタ	
2 5 0 0	論理回路	
2 5 0 1	トランジスタ	
2 5 0 2	トランジスタ	
2 5 0 3	トランジスタ	
2 5 0 4	トランジスタ	
2 7 0 3	ゲート電極	
2 7 0 4	電極	
2 7 0 5	絶縁膜	30
2 7 0 6	チャネル形成領域	
2 7 0 7	L D D 領域	
2 7 0 8	不純物領域	
2 7 0 9	チャネル形成領域	
2 7 1 0	L D D 領域	
2 7 1 1	不純物領域	
2 9 0 0	論理回路	
2 9 0 1	トランジスタ	
2 9 0 2	トランジスタ	
2 9 0 3	オフセット回路	40
2 9 0 4	電極	
2 9 0 5	絶縁膜	
2 9 0 6	半導体層	
2 9 0 7	半導体層	
2 9 0 8	N型半導体層	
2 9 0 9	N型半導体層	
2 9 1 0	N型半導体層	
2 9 1 1	電極	
2 9 1 2	電極	
2 9 1 3	電極	50

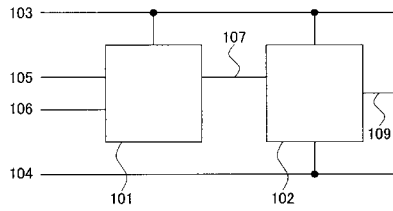
2 9 9 3	ゲート電極	
3 0 0 1	絶縁物	
3 5 0 0	論理回路	
3 5 0 1	トランジスタ	
3 5 0 2	トランジスタ	
3 5 0 3	トランジスタ	
3 5 0 4	トランジスタ	
3 9 0 0	論理回路	
3 9 0 1	トランジスタ	
3 9 0 2	トランジスタ	10
3 9 0 3	トランジスタ	
3 9 0 4	トランジスタ	
4 0 0 0	電極	
4 0 0 1	配向膜	
4 0 0 2	液晶	
4 0 0 3	配向膜	
4 0 0 4	電極	
4 0 0 5	対向基板	
4 3 0 1	半導体層	
4 3 0 2	導電層	20
4 3 0 3	導電層	
4 4 0 1	半導体層	
4 4 0 2	導電層	
4 4 0 3	導電層	
4 6 9 1	トランジスタ	
4 6 9 2	液晶素子	
4 6 9 3	容量素子	
4 6 9 4	端子	
4 7 0 1	半導体層	
4 7 0 2	導電層	30
4 7 0 3	導電層	
4 7 0 4	導電層	
8 0 1 0	筐体	
8 0 1 1	表示部	
8 0 1 2	リモコン装置	
8 0 1 3	スピーカー部	
9 7 0 1	電車車両本体	
9 7 0 2	表示パネル	
9 7 0 3	表示パネル	
9 7 0 4	表示パネル	40
9 8 0 1	電柱	
9 8 0 2	表示パネル	
9 8 0 3	移動体	
9 9 0 1	車体	
9 9 0 2	表示パネル	
1 0 0 0 1	ユニットバス	
1 0 0 0 2	表示パネル	
1 0 1 0 1	飛行機車体	
1 0 1 0 2	表示パネル	
1 0 1 0 3	ヒンジ部	50

【図 1】

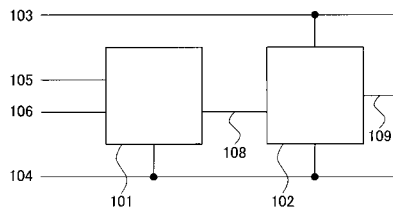
(a)



(b)

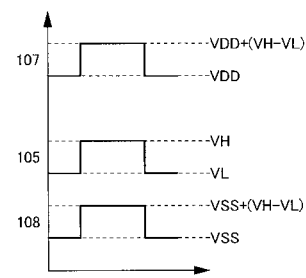


(c)

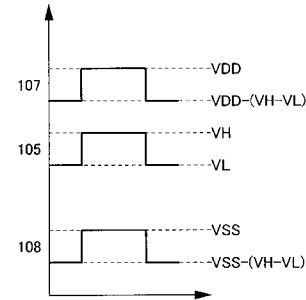


【図 2】

(a)

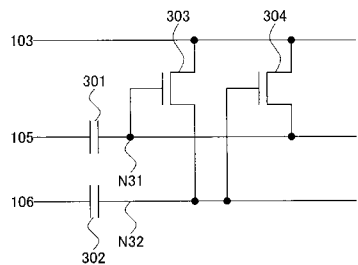


(b)

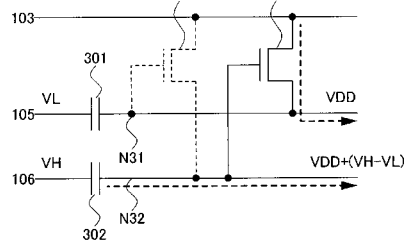


【図 3】

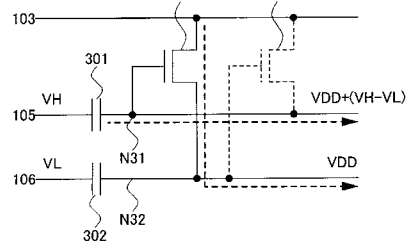
(a)



(b)

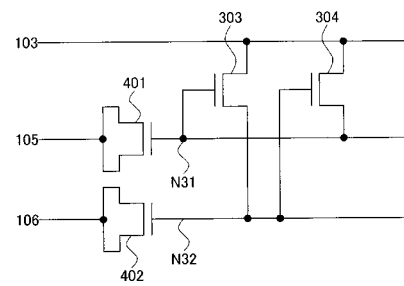


(c)

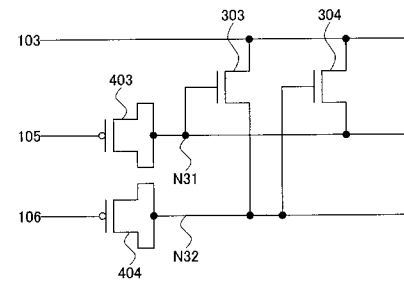


【図 4】

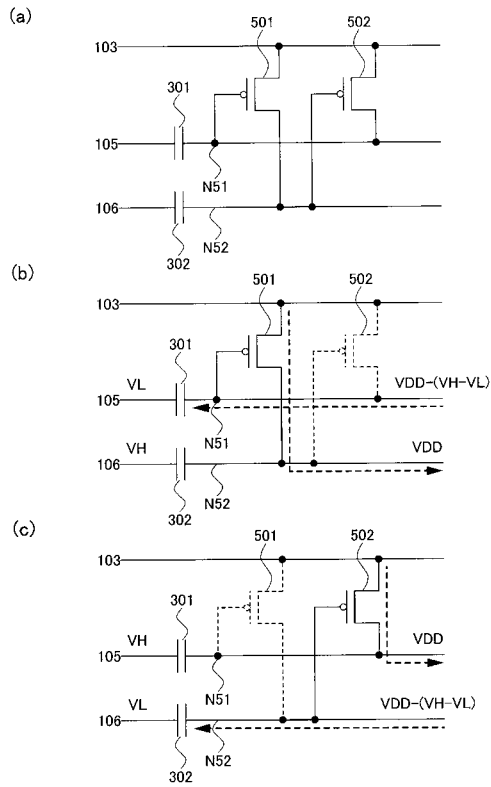
(a)



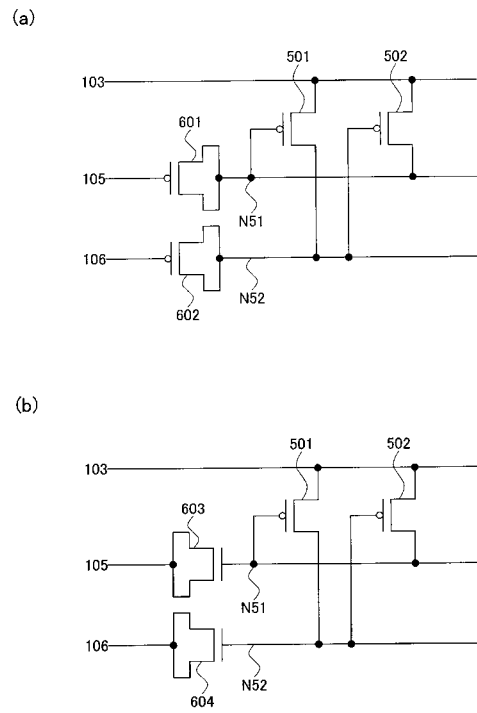
(b)



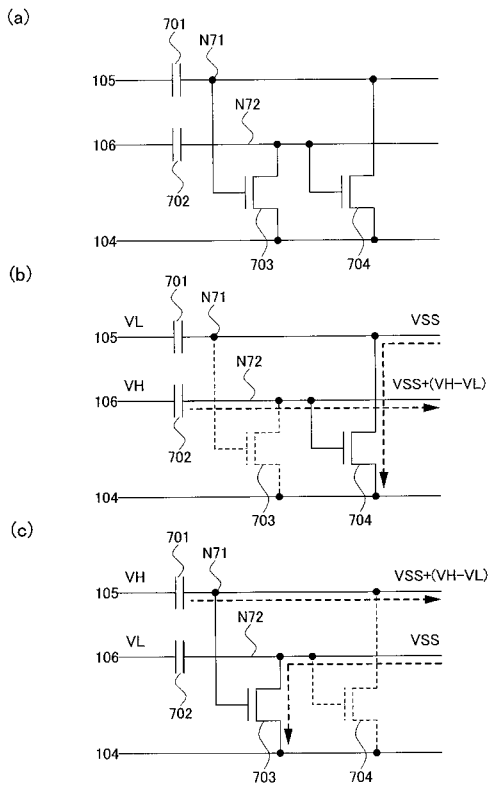
【図 5】



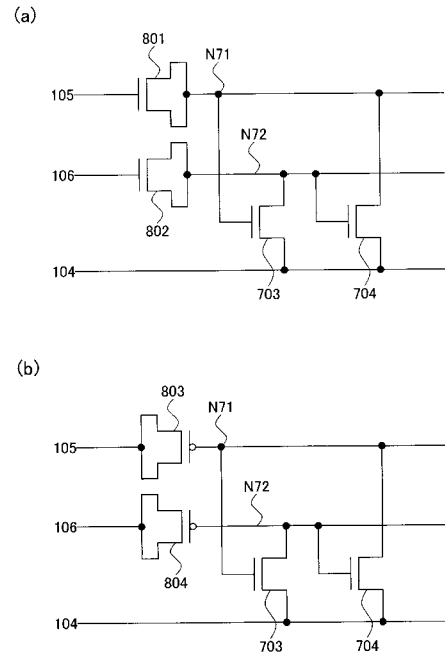
【図 6】



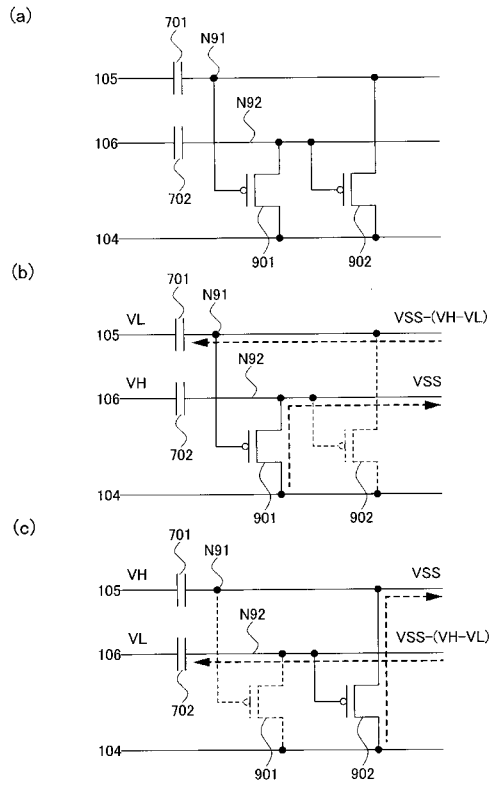
【図 7】



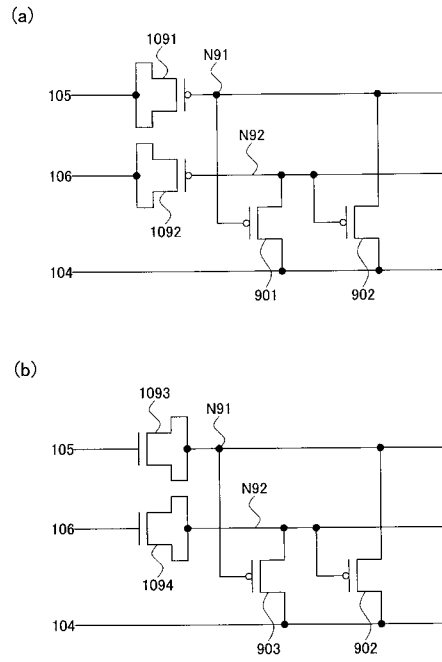
【図 8】



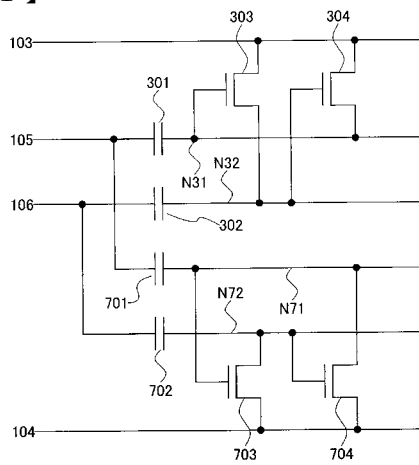
【図 9】



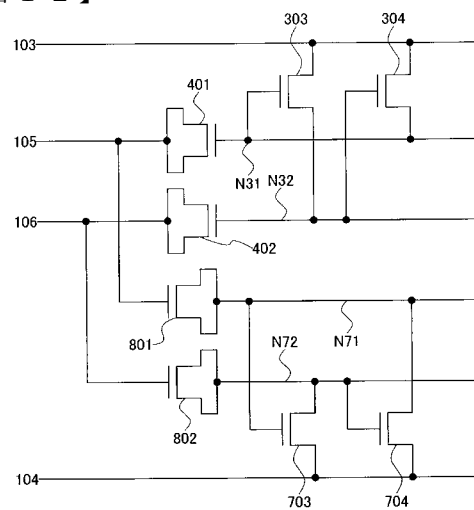
【図 10】



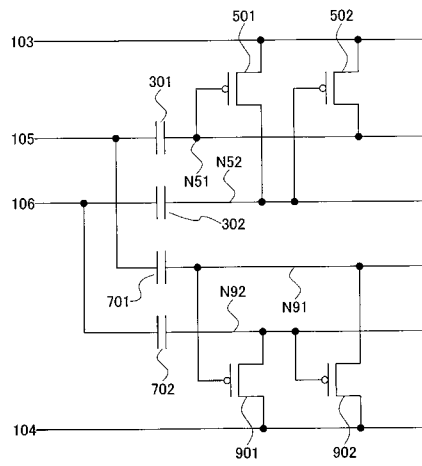
【図 11】



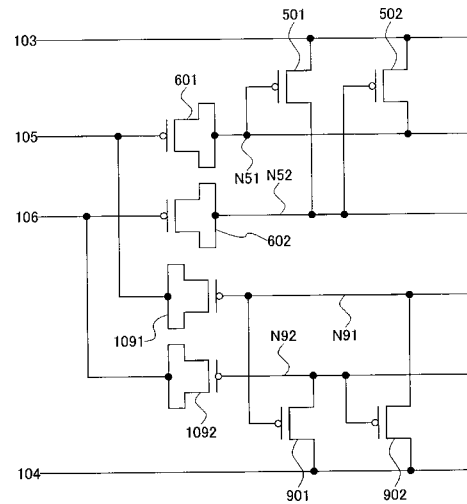
【図 12】



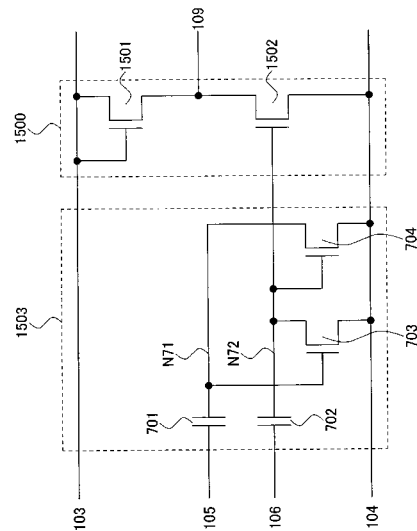
【図 13】



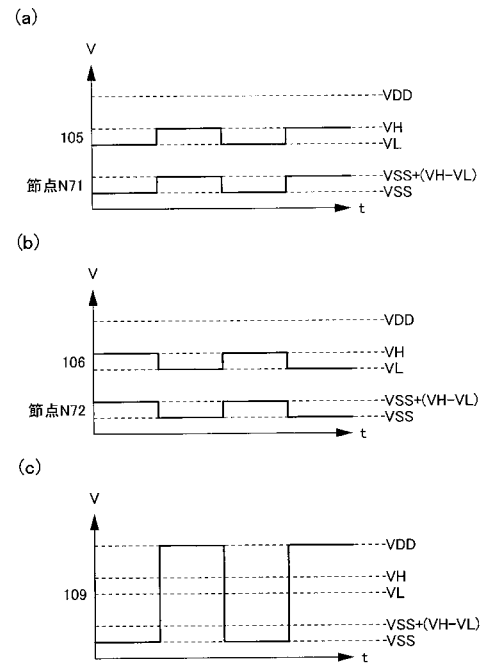
【図 14】



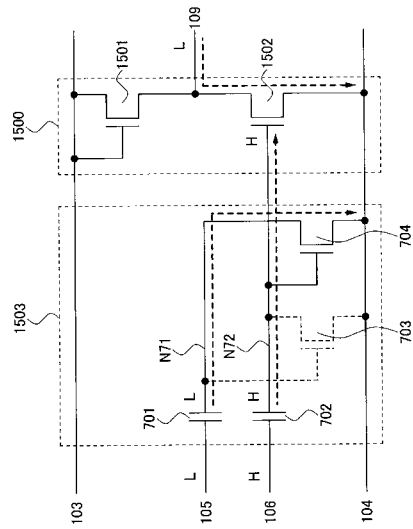
【図 15】



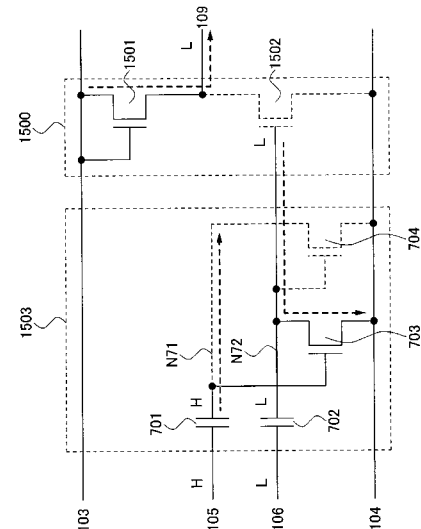
【図 16】



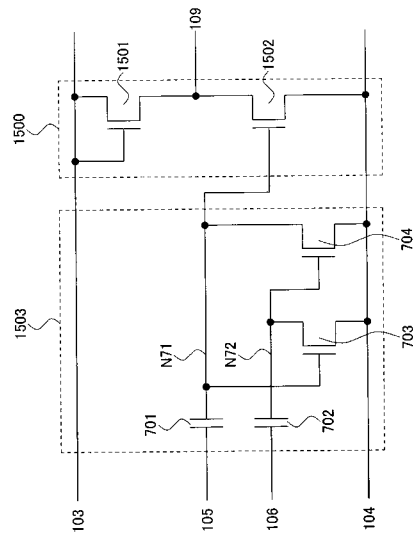
【図 17】



【図 18】



【図 19】

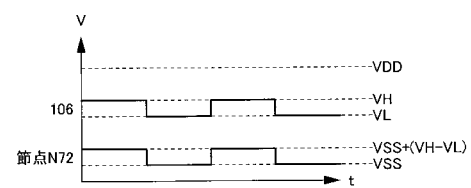


【図 20】

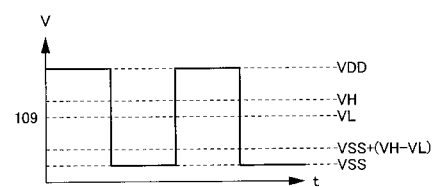
(a)



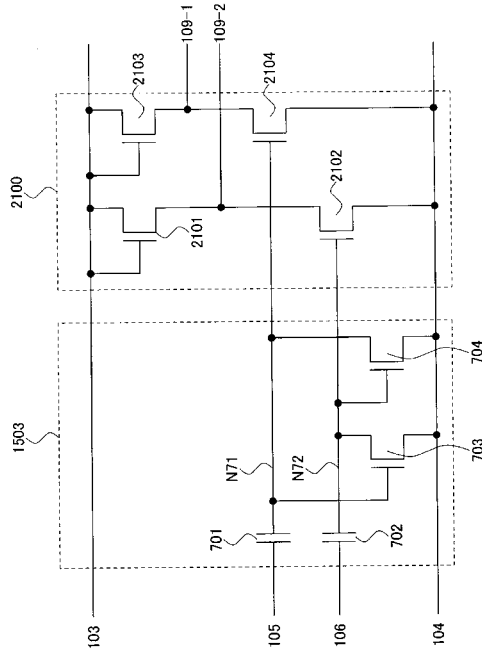
(b)



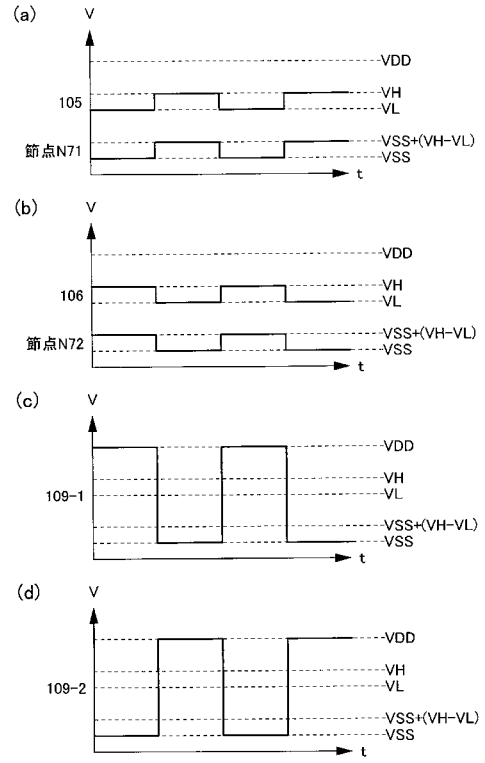
(c)



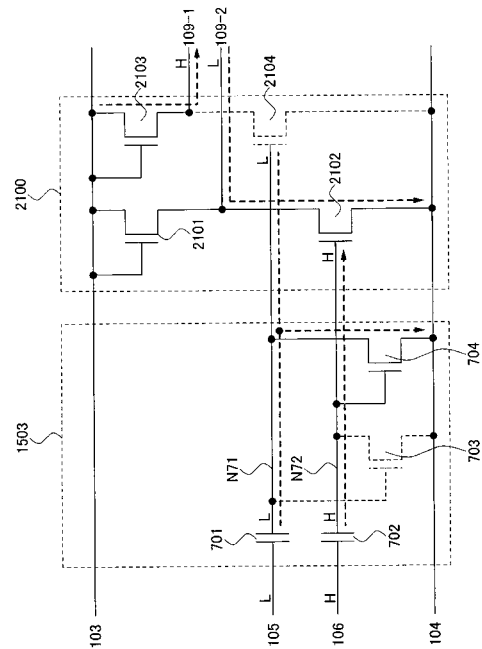
【図 2 1】



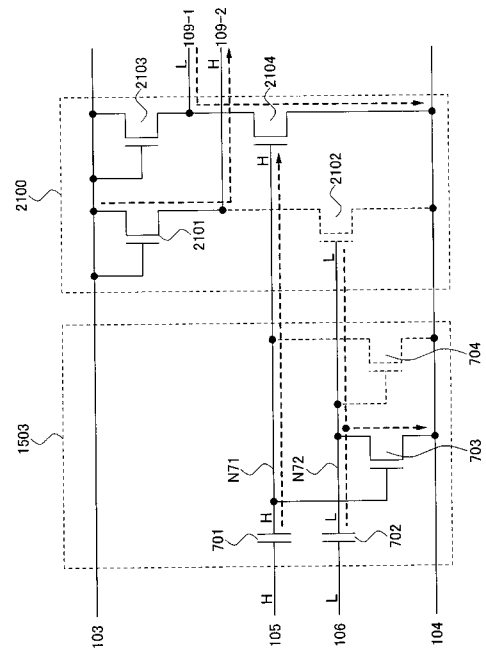
【図 2 2】



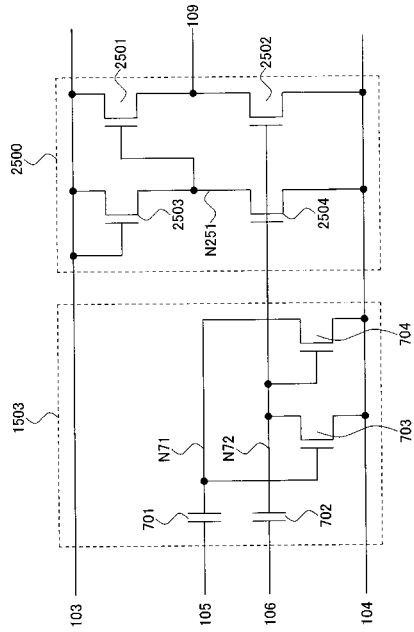
【図 2 3】



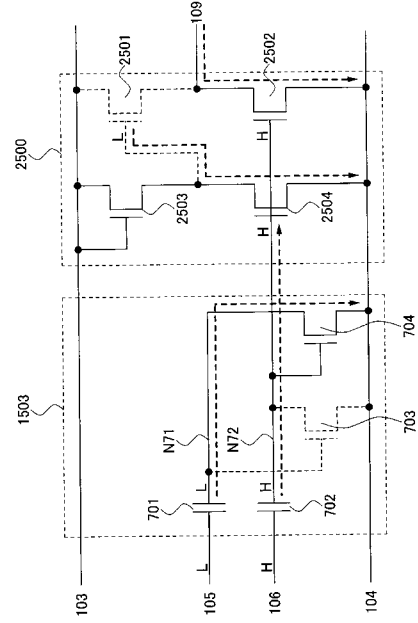
【図 2 4】



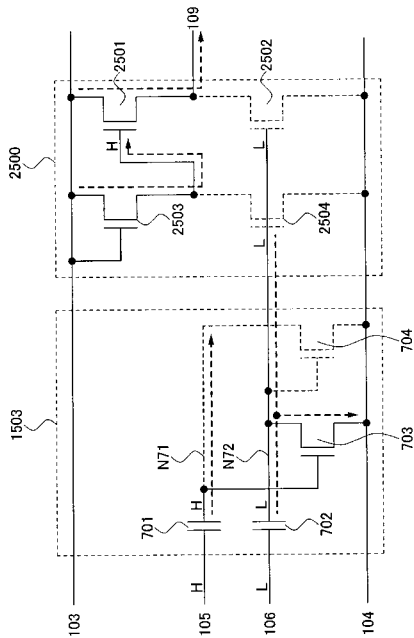
【図 25】



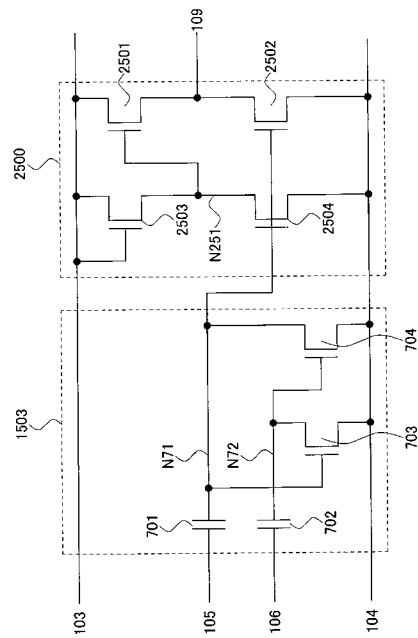
【図 26】



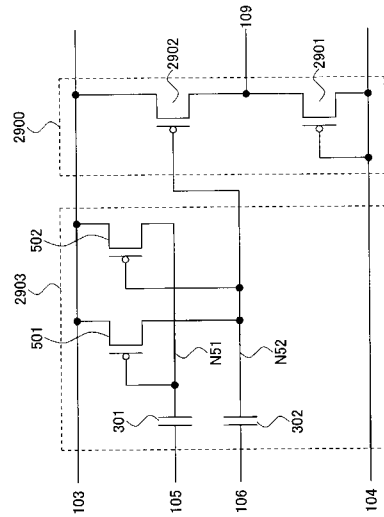
【図 27】



【図 28】

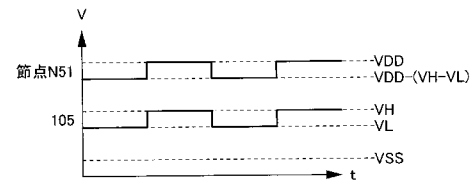


【図 29】

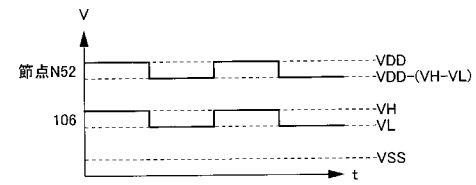


【図 30】

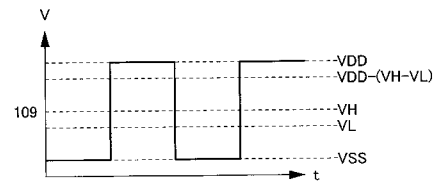
(a)



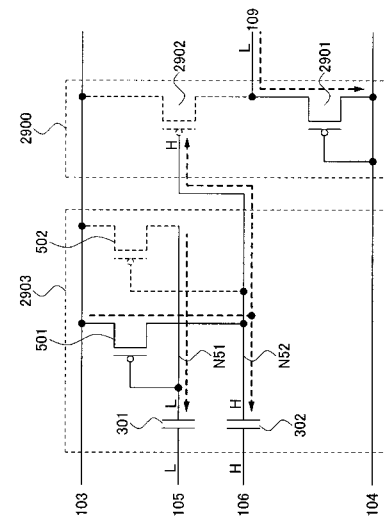
(b)



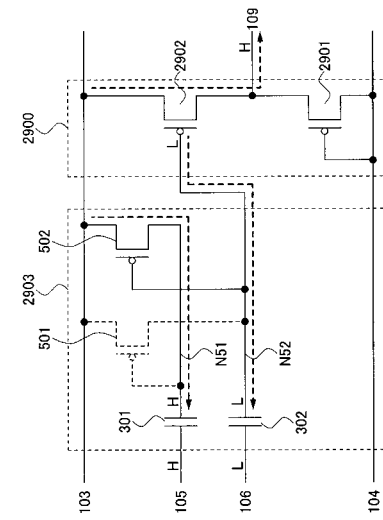
(c)



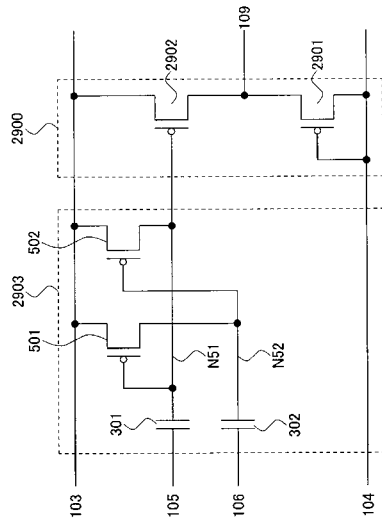
【図 31】



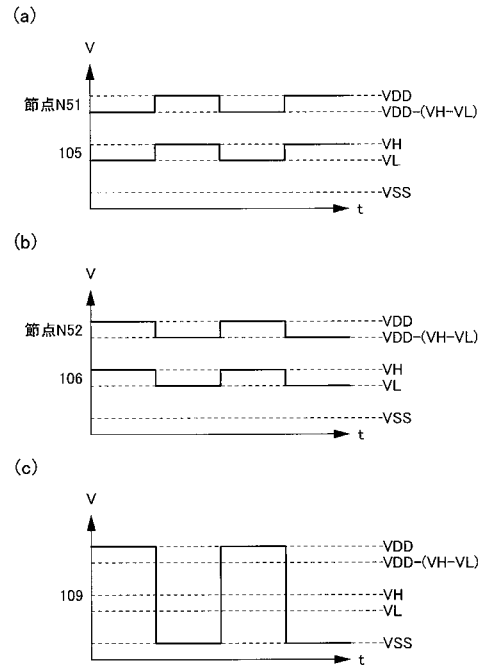
【図 32】



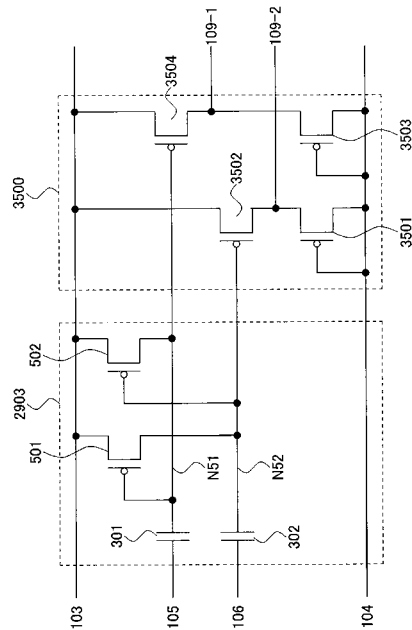
【図 3 3】



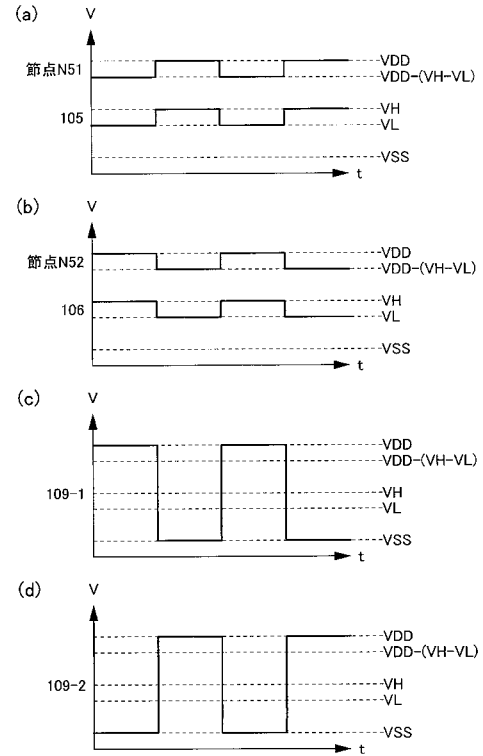
【図 3 4】



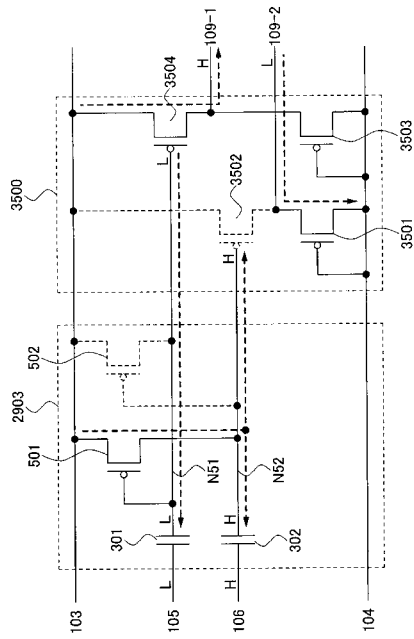
【図 3 5】



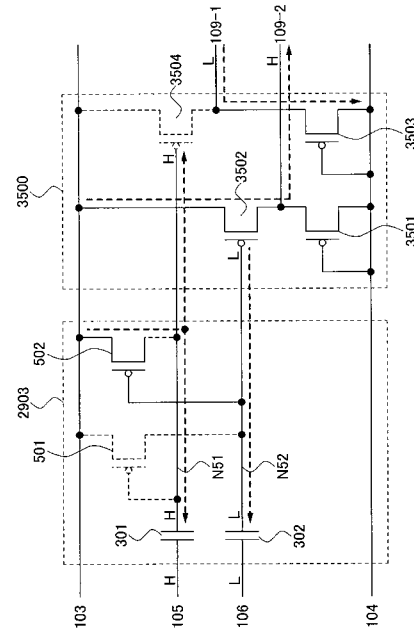
【図 3 6】



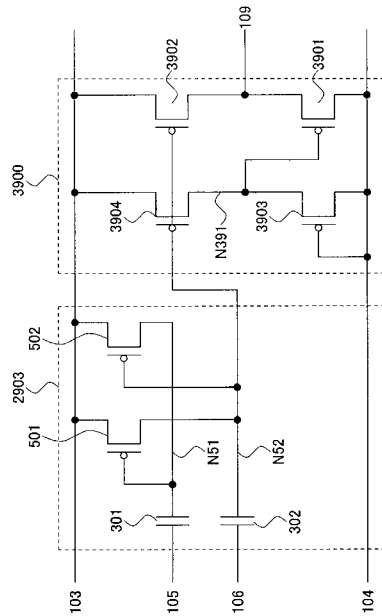
【図 37】



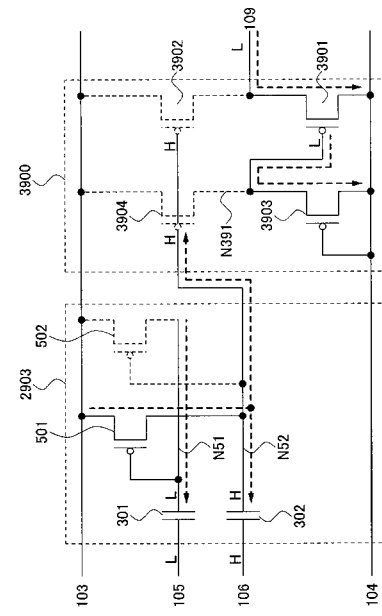
【図 38】



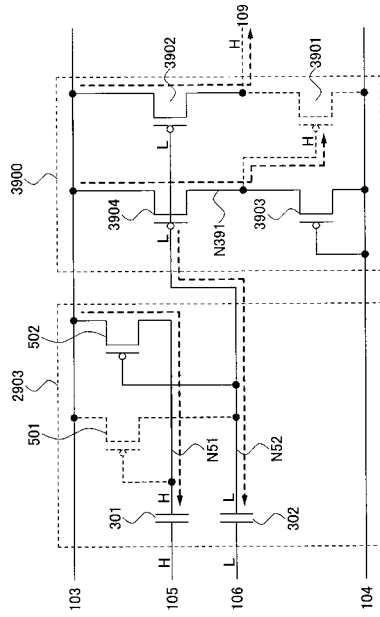
【図 39】



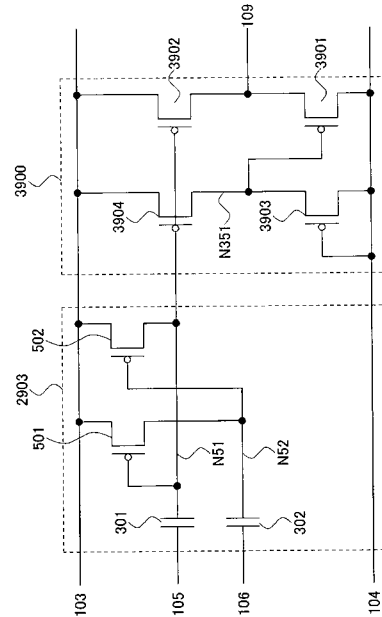
【図 40】



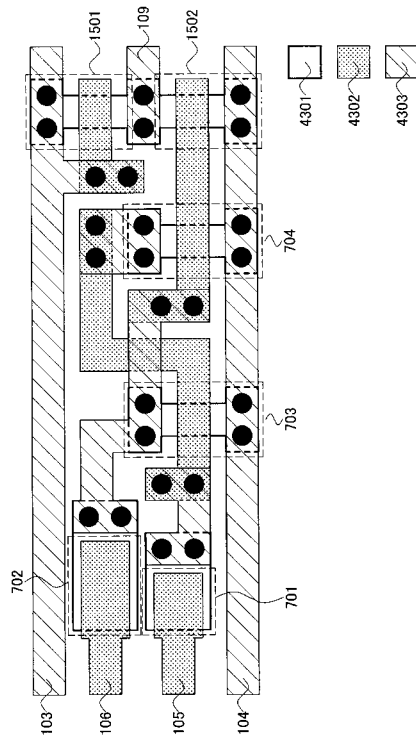
【図 4 1】



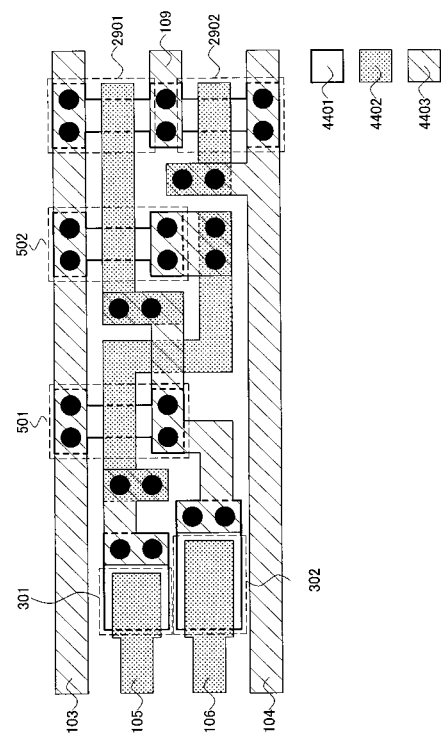
【図 4 2】



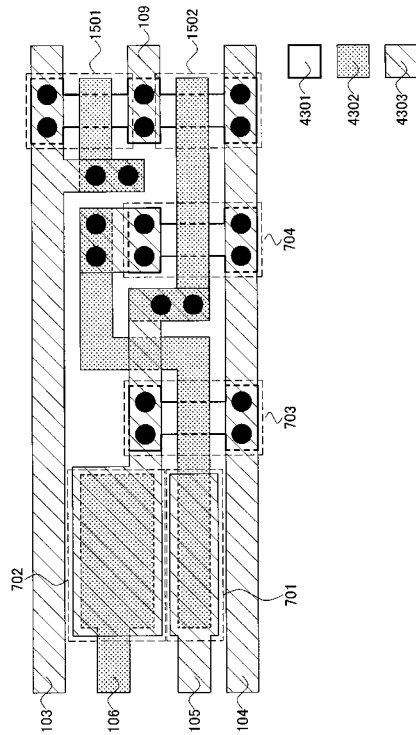
【図 4 3】



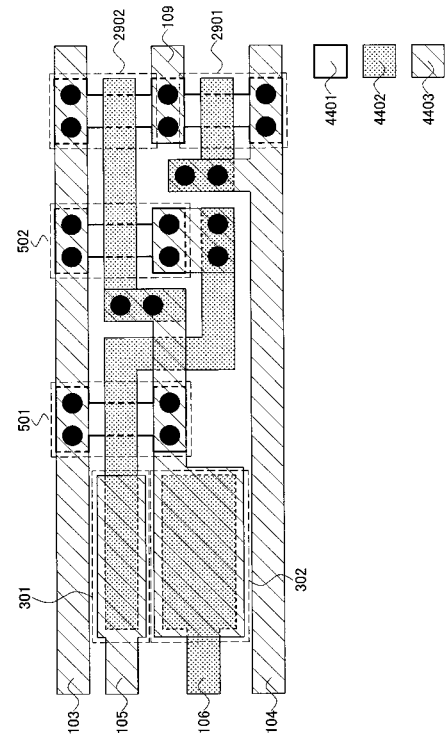
【図 4 4】



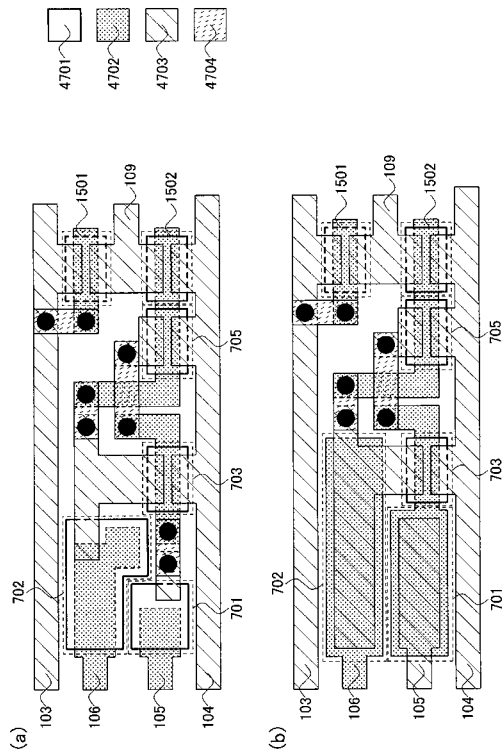
【図 4 5】



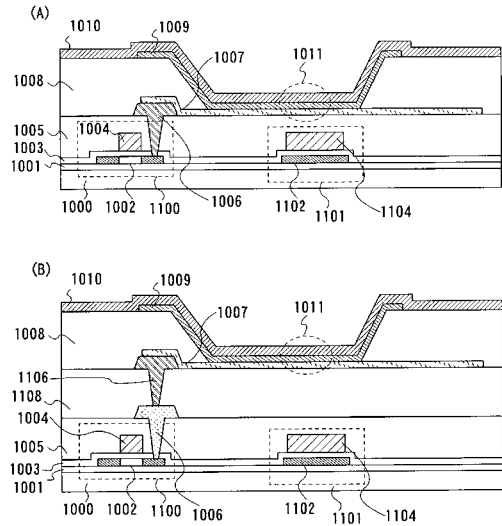
【図 4 6】



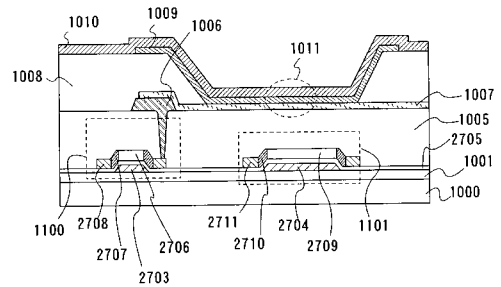
【図 4 7】



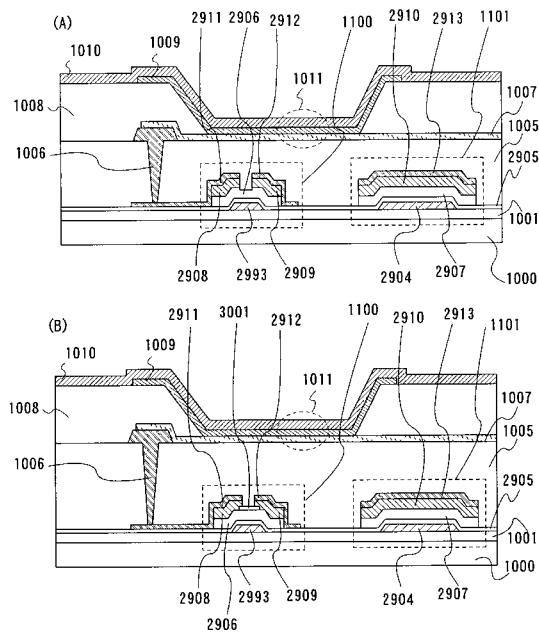
【図 4 8】



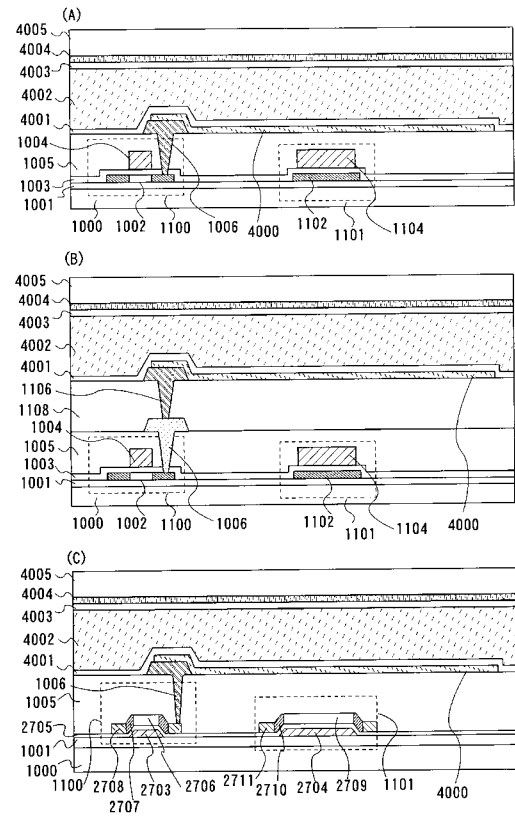
【図 4 9】



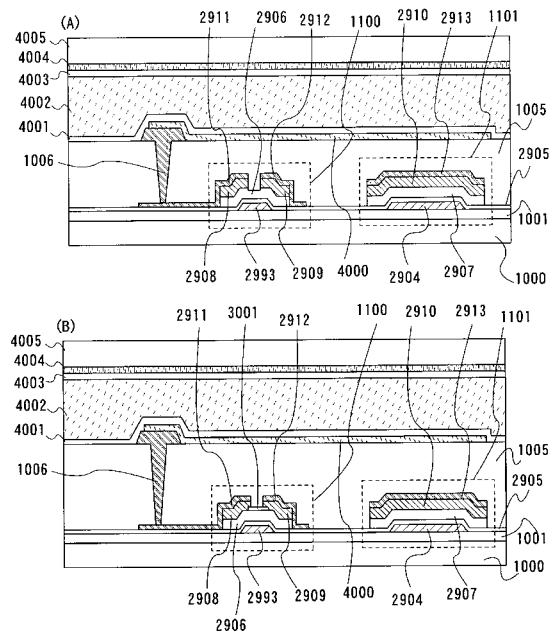
【図 50】



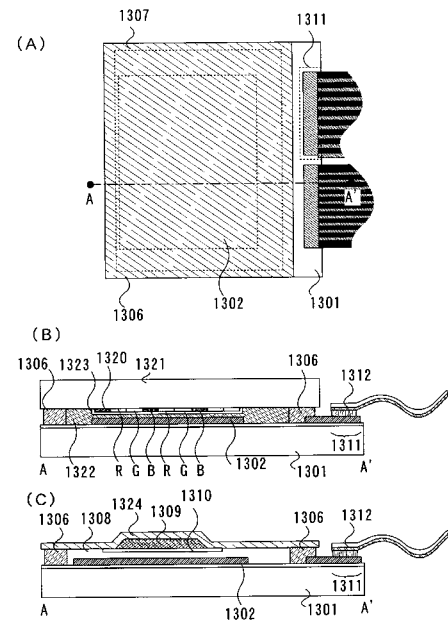
【図 51】



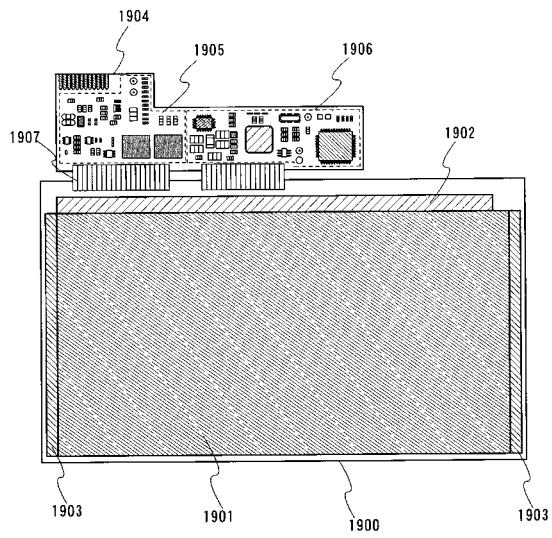
【図 52】



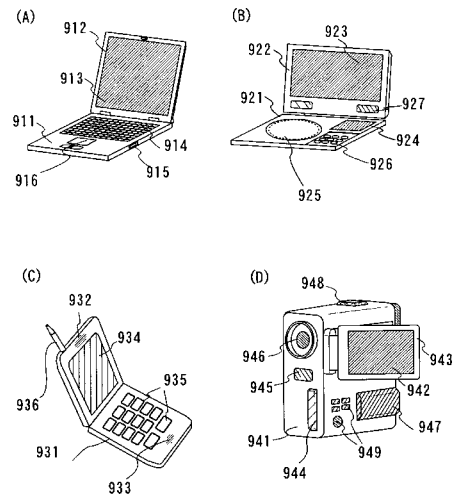
【図 53】



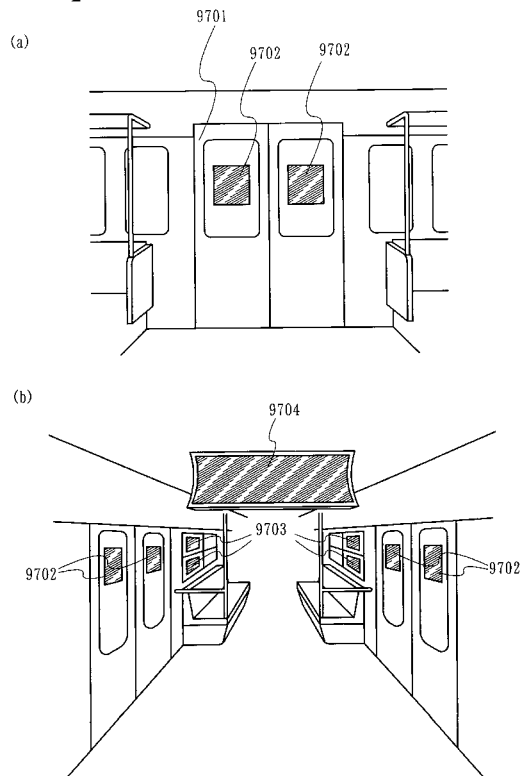
【図 5 4】



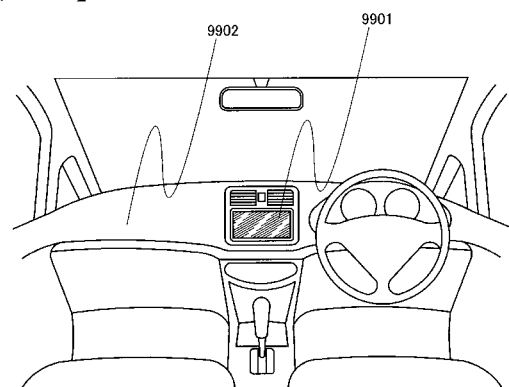
【図 5 5】



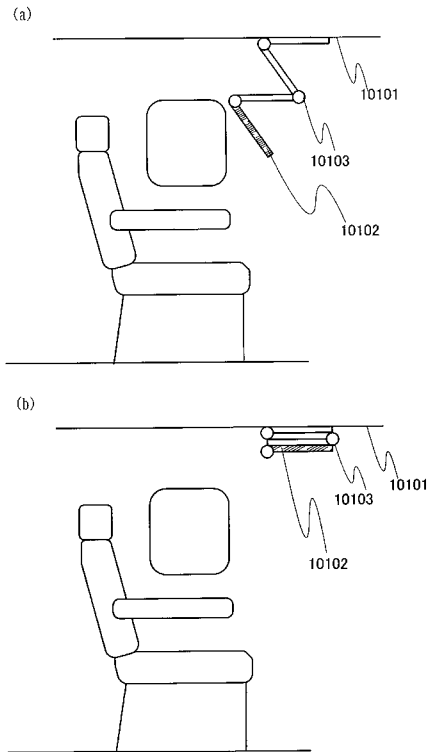
【図 5 6】



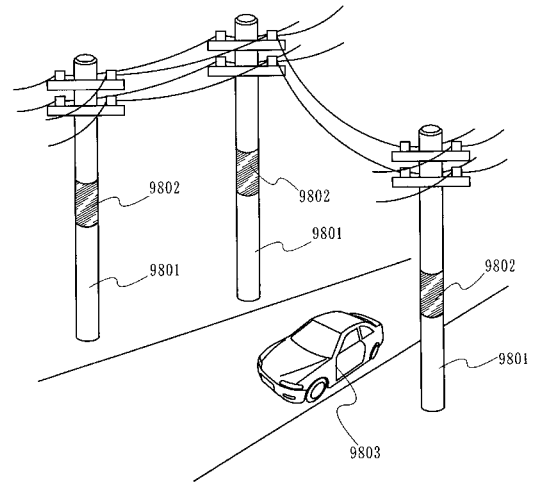
【図 5 7】



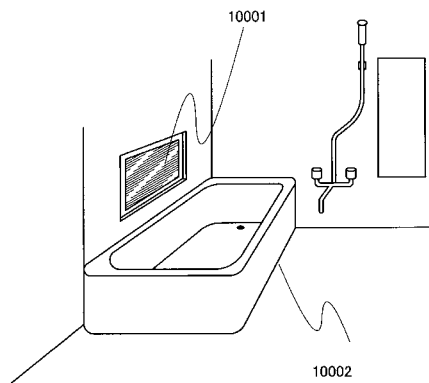
【図 58】



【図 59】

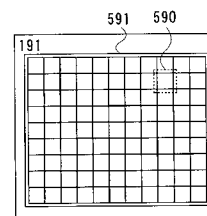


【図 60】

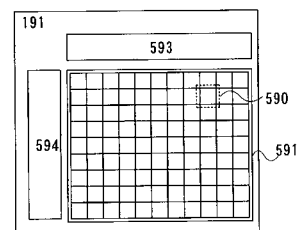


【図 62】

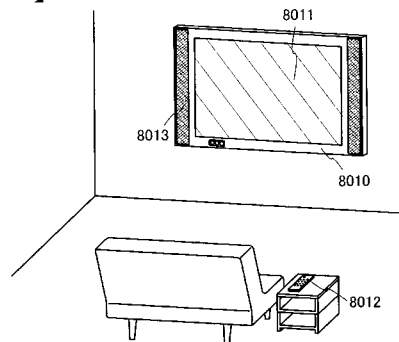
(A)



(B)

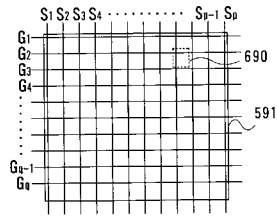


【図 61】

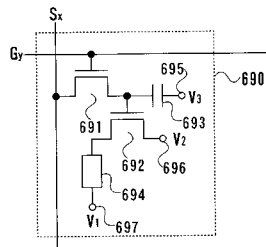


【図 6 3】

(A)

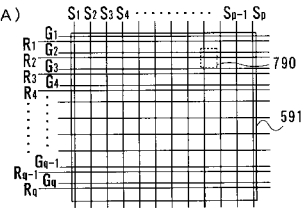


(B)

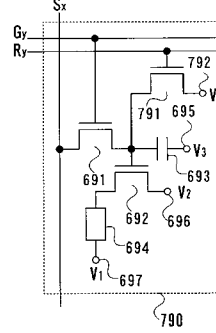


【図 6 4】

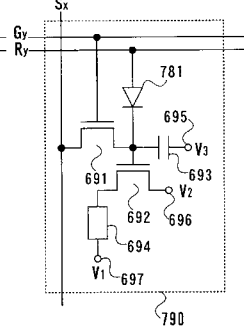
(A)



(B)

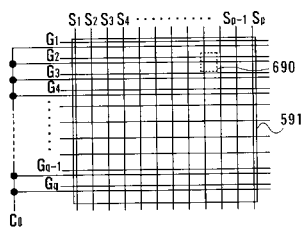


(C)

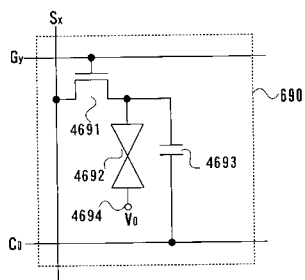


【図 6 5】

(A)



(B)



(51) Int.Cl.

テーマコード (参考)

5 F 0 3 3

5 F 1 1 0

NN73

Fターム(参考)

专利名称(译)	液晶显示装置，配备有液晶显示装置电子装置		
公开(公告)号	JP2008009418A	公开(公告)日	2008-01-17
申请号	JP2007143414	申请日	2007-05-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 梅崎敦司		
发明人	木村 肇 梅崎 敦司		
IPC分类号	G09G3/36 G09F9/30 H01L21/3205 H01L23/52 H01L29/786 G02F1/1345 G02F1/133 G09G3/20 G09G3/30		
FI分类号	G09G3/36 G09F9/30.338 H01L21/88.Z H01L29/78.612.B H01L29/78.614 G02F1/1345 G02F1/133.505 G02F1/133.550 G09G3/20.621.L G09G3/20.621.M G09G3/20.680.G G09G3/30.J G09G3/20.611.A G09G3/20.611.F G09G3/3233 G09G3/3258 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA23 2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/NA29 2H092/NA30 2H092/PA06 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND54 5C006/AA21 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF31 5C006/BF37 5C006/FA41 5C006/FA47 5C006/FA51 5C006/FA52 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD26 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK20 5C080/KK25 5C080/KK43 5C080/KK47 5C094/AA21 5C094/AA22 5C094/AA44 5C094/BA03 5C094/BA27 5C094/BA43 5C094/DB04 5C094/DB10 5C094/HA05 5C094/HA08 5C094/HA10 5F033/GG00 5F033/GG03 5F033/GG04 5F033/HH07 5F033/HH08 5F033/HH11 5F033/HH13 5F033/HH17 5F033/HH18 5F033/HH19 5F033/HH20 5F033/HH21 5F033/HH35 5F033/HH36 5F033/HH38 5F033/JJ07 5F033/JJ08 5F033/JJ11 5F033/JJ13 5F033/JJ18 5F033/JJ19 5F033/JJ20 5F033/JJ21 5F033/JJ36 5F033/KK01 5F033/KK03 5F033/KK07 5F033/KK08 5F033/KK11 5F033/KK13 5F033/KK18 5F033/KK19 5F033/KK20 5F033/KK21 5F033/KK36 5F033/NN38 5F033/QQ90 5F033/RR04 5F033/RR06 5F033/RR08 5F033/RR09 5F033/RR11 5F033/RR20 5F033/RR21 5F033/RR22 5F033/RR27 5F033/SS11 5F033/VV10 5F033/VV15 5F110/AA30 5F110/BB02 5F110/BB04 5F110/CC02 5F110/CC07 5F110/GG15 5F110/HM15 5F110/NN12 5F110/NN71 5F110/NN72 5F110/NN73 2H193/ZA04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB34 5C380/AB36 5C380/AB37 5C380/AC04 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/AC16 5C380/BA01 5C380/BA05 5C380/BA08 5C380/BA12 5C380/BA21 5C380/BA28 5C380/BA29 5C380/BD05 5C380/BD09 5C380/CA08 5C380/CA12 5C380/CA31 5C380/CB01 5C380/CB18 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CE03 5C380/CF01 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF27 5C380/CF28 5C380/CF32 5C380/CF33 5C380/CF36 5C380/CF41 5C380/CF43 5C380/CF45 5C380/CF46 5C380/CF48 5C380/CF49 5C380/DA01 5C380/DA02 5C380/DA06 5C380/DA09		
优先权	2006155460 2006-06-02 JP		
其他公开文献	JP5069950B2 JP2008009418A5		
外部链接	Espacenet		
摘要(译)			

要解决的问题：提供可以同时移位输入信号的H和L电平并且可以以低成本制造的电平移器，以及具有电平移器的显示装置。

ŽSOLUTION：通过使用包括相同导电类型的晶体管的偏移电路来执行输入信号的偏移。然后，将偏移之后的输入信号提供给包括与偏移电路的导电类型相同的晶体管的逻辑电路，从而可以同时移位输入信号的H和L电平。此外，由于使用相同导电类型的晶体管形成偏移电路和逻辑电路，因此可以以低成本制造显示装置。 Ž

