

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-249106

(P2007-249106A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 622A	5C080
	G09G 3/20 623A	
	G09G 3/20 612J	
審査請求 未請求 請求項の数 7 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2006-76010 (P2006-76010)

(22) 出願日 平成18年3月20日 (2006.3.20)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 野尻 勲

東京都千代田区丸の内二丁目7番3号 三

菱電機株式会社内

Fターム(参考) 2H093 NA16 NA20 NC09 NC16 NC21

NC22 NC26 ND39 ND42 ND49

ND54

最終頁に続く

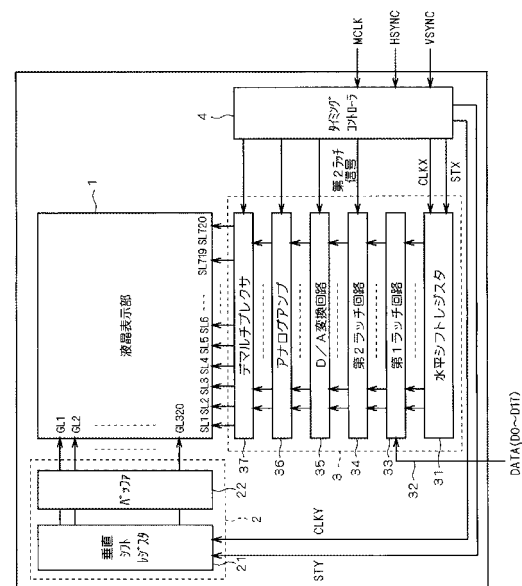
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】本発明は、複数のソース線を複数回に分けて駆動する場合に、消費電力が低く、且つ安定してスタート信号及び第2ラッチ信号を生成する回路を備える画像表示装置を提供することを目的とする。

【解決手段】本発明は、液晶表示部1と、ゲート線駆動回路2と、ソース線駆動回路3と、タイミングコントローラ4とを備える画像表示装置である。そして、ソース線駆動回路3は、水平シフトレジスタ31と、第1ラッチ回路33と、第2ラッチ回路34と、D/A変換回路35と、複数の前記ソース線を複数回に分けて駆動できるデマルチプレクサ37とを備えている。そして、タイミングコントローラ4は、パルス生成回路421と、信号伝送回路422と、第2ラッチ信号を生成するとともに、シフト後のスタート信号を信号伝送回路422に戻すシフトパルス生成回路423とを備えている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のソース線及び複数のゲート線が列設され、前記ソース線と前記ゲート線とが交差する近傍のそれぞれに画素トランジスタが形成された表示部と、
前記ゲート線を駆動するゲート線駆動回路と、
前記ソース線を駆動するソース線駆動回路と、
前記ゲート線駆動回路及び前記ソース線駆動回路のタイミングを制御するタイミングコントローラとを備える画像表示装置であって、
前記ソース線駆動回路は、
階調データをラッチする第 1 ラッチ信号を生成する水平シフトレジスタと、
前記水平シフトレジスタの前記第 1 ラッチ信号に基づき、前記階調データをラッチする複数の第 1 ラッチ回路と、
前記第 1 ラッチ回路のそれぞれに対応して設けられ、前記第 1 ラッチ回路でラッチされた第 1 ラッチデータを同タイミングでラッチする複数の第 2 ラッチ回路と、
前記第 2 ラッチ回路でラッチされた第 2 ラッチデータをアナログ階調電圧に変換する複数の D/A 変換回路と、
複数の前記ソース線を複数回に分けて駆動できるように、前記 D/A 変換回路から前記ソース線への前記アナログ階調電圧の供給を切り替えるデマルチプレクサとを備え、
前記タイミングコントローラは、
水平同期信号より前記水平シフトレジスタのスタート信号を生成するパルス生成回路と
、
前記水平同期信号に基づいて前記スタート信号の伝送を制御する信号伝送回路と、
前記スタート信号を所定の期間シフトさせ前記第 2 ラッチ回路を制御する第 2 ラッチ信号を生成するとともに、シフト後の前記スタート信号を前記信号伝送回路に戻すシフトパルス生成回路とを備えることを特徴とする画像表示装置。

【請求項 2】

複数のソース線及び複数のゲート線が列設され、前記ソース線と前記ゲート線とが交差する近傍のそれぞれに画素トランジスタが形成された表示部と、
前記ゲート線を駆動するゲート線駆動回路と、
前記ソース線を駆動するソース線駆動回路と、
前記ゲート線駆動回路及び前記ソース線駆動回路のタイミングを制御するタイミングコントローラとを備える画像表示装置であって、
前記ソース線駆動回路は、
階調データをラッチする第 1 ラッチ信号を生成する水平シフトレジスタと、
前記水平シフトレジスタの前記第 1 ラッチ信号に基づき、前記階調データをラッチする複数の第 1 ラッチ回路と、
前記第 1 ラッチ回路のそれぞれに対応して設けられ、前記第 1 ラッチ回路でラッチされた第 1 ラッチデータを同タイミングでラッチする複数の第 2 ラッチ回路と、
前記第 2 ラッチ回路でラッチされた第 2 ラッチデータをアナログ階調電圧に変換する複数の D/A 変換回路と、
複数の前記ソース線を複数回に分けて駆動できるように、前記 D/A 変換回路から前記ソース線への前記アナログ階調電圧の供給を切り替えるデマルチプレクサとを備え、
前記タイミングコントローラは、
水平同期信号より前記水平シフトレジスタのスタート信号を生成するパルス生成回路を備え、
前記水平シフトレジスタは、
前記水平同期信号に基づいて前記スタート信号の伝送を制御する信号伝送回路と、
前記スタート信号を所定の期間シフトさせることで、前記階調データをラッチする前記第 1 ラッチ信号及び前記第 2 ラッチ回路を制御する第 2 ラッチ信号を生成するとともに、シフト後の前記スタート信号を前記信号伝送回路に戻す回路部とを備えることを特徴とす

る画像表示装置。

【請求項 3】

請求項 1 又は請求項 2 に記載の画像表示装置であって、
前記信号伝送回路が、前記水平同期信号に基づいて開閉が制御されるスイッチ機能を有する信号切り替え回路であることを特徴とする画像表示装置。

【請求項 4】

請求項 3 に記載の画像表示装置であって、
前記信号切り替え回路は、複数のトランスマッションゲートで構成されることを特徴とする画像表示装置。

【請求項 5】

請求項 1 に記載の画像表示装置であって、
前記シフトパルス生成回路は、複数の遅延型ラッチ回路で構成されることを特徴とする画像表示装置。

【請求項 6】

請求項 2 に記載の画像表示装置であって、
前記水平シフトレジスタの前記回路部は、前記第 1 ラッチ信号及び前記第 2 ラッチ信号の生成に共用される複数の遅延型ラッチ回路を備えることを特徴とする画像表示装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 つに記載の画像表示装置であって、
前記ゲート線駆動回路、前記ソース線駆動回路及び前記タイミングコントローラを構成する能動素子が薄膜トランジスタであることを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に係る発明であって、特に、デマルチプレクス方式の画像表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置などには、画素がマトリクス状に配置され、これらの画素を各々駆動する構成を持つアクティブマトリクス型がある。このアクティブマトリクス型の液晶表示装置には、各画素を行単位で選択するゲート線駆動回路と、当該ゲート線駆動回路によって選択された行の各画素に階調データを書き込むソース線駆動回路とが設けられている。そして、最近の液晶表示装置では、これらゲート線駆動回路及びソース線駆動回路を、画素が形成されているガラス基板上に一体として形成する傾向がある。

【0003】

アクティブマトリクス型の液晶表示装置の駆動には、ゲート線駆動回路やソース線駆動回路以外に、これら駆動回路のタイミングを制御する各種タイミング信号を生成するタイミングコントローラ等も必要となる。従来、タイミングコントローラ等の回路は、ゲート線駆動回路やソース線駆動回路と異なり、画素が形成されているガラス基板とは別の単結晶シリコン IC やディスクリート部品によってプリント基板上に形成されていた。

【0004】

しかし、アクティブマトリクス型の液晶表示装置において、タイミングコントローラ等を単結晶シリコン IC やディスクリート部品によってプリント基板上に形成した場合、セットを構成する部品点数が増えるとともに、それぞれの部品を別々のプロセスで作成しなければならず、セットの小型化、低コスト化の妨げになるという問題があった。

【0005】

このような課題に対し、特許文献 1 では、ゲート線駆動回路、ソース線駆動回路及びタイミングコントローラを画素が形成されているガラス基板上に同一プロセスで作成する構成が開示されている。

【0006】

10

20

30

40

50

また、ソース線駆動回路を画素が形成されているガラス基板上に形成する場合、ソース線駆動回路を構成する第1ラッチ回路、第2ラッチ回路、D/A変換回路及びアンプの占める面積が非常に大きくなるため、表示装置の小型化が困難であった。このような課題に対し、特許文献2では、複数のソース線を複数回に分けて駆動することで、第1ラッチ回路、第2ラッチ回路及びD/A変換回路の数を削減し、ソース線駆動回路の構成を簡略化している。

【0007】

【特許文献1】特開2002-175026号公報

【特許文献2】特開2001-337657号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、特許文献2で示された複数のソース線を複数回に分けて駆動する方法では、ソース線駆動回路を構成する水平シフトレジスタにスタート信号を、1水平ライン期間内に複数回入力する必要がある。また、第2ラッチ回路に入力する第2ラッチ信号も、1水平ライン期間内に複数回入力する必要がある。

【0009】

そのため、タイミングコントローラには、複数のフリップフロップを直列に接続して構成されるシフトレジスタが用いられる。初段のフリップフロップには、水平同期信号より生成されたスタート信号が入力され、クロック信号に同期してシフトレジスタがシフト動作を行うことで、必要なタイミングのスタート信号や第2ラッチ信号を取り出すことが可能となる。

【0010】

このような複数のフリップフロップを単純に直列接続して構成したタイミングコントローラでスタート信号や第2ラッチ信号を生成した場合、このタイミングコントローラで消費される電力は非常に高くなる。さらに、生成する信号の数だけシフトレジスタが必要となり、しかも薄膜トランジスタは単結晶シリコンに比べてプロセスルールが粗いため、タイミングコントローラのレイアウト面積が非常に大きくなる。

【0011】

そこで、本発明は、複数のソース線を複数回に分けて駆動する場合に、消費電力が低く、且つ安定してスタート信号及び第2ラッチ信号を生成する回路を備える画像表示装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明に係る解決手段は、複数のソース線及び複数のゲート線が列設され、前記ソース線と前記ゲート線とが交差する近傍のそれぞれに画素トランジスタが形成された表示部と、前記ゲート線を駆動するゲート線駆動回路と、前記ソース線を駆動するソース線駆動回路と、前記ゲート線駆動回路及び前記ソース線駆動回路のタイミングを制御するタイミングコントローラとを備える画像表示装置であって、前記ソース線駆動回路は、階調データをラッチする第1ラッチ信号を生成する水平シフトレジスタと、前記水平シフトレジスタの前記第1ラッチ信号に基づき、前記階調データをラッチする複数の第1ラッチ回路と、前記第1ラッチ回路のそれぞれに対応して設けられ、前記第1ラッチ回路でラッチされた第1ラッチデータを同タイミングでラッチする複数の第2ラッチ回路と、前記第2ラッチ回路でラッチされた第2ラッチデータをアナログ階調電圧に変換する複数のD/A変換回路と、複数の前記ソース線を複数回に分けて駆動できるように、前記D/A変換回路から前記ソース線への前記アナログ階調電圧の供給を切り替えるデマルチプレクサとを備え、前記タイミングコントローラは、水平同期信号より前記水平シフトレジスタのスタート信号を生成するパルス生成回路と、前記水平同期信号に基づいて前記スタート信号の伝送を制御する信号伝送回路と、前記スタート信号を所定の期間シフトさせ前記第2ラッチ回路を制御する第2ラッチ信号を生成するとともに、シフト後の前記スタート信号を前記信号

10

20

30

40

50

伝送回路に戻すシフトパルス生成回路とを備える。

【発明の効果】

【0013】

本発明に記載の画像表示装置は、タイミングコントローラが、水平同期信号より前記水平シフトレジスタのスタート信号を生成するパルス生成回路と、前記水平同期信号に基づいて前記スタート信号の伝送を制御する信号伝送回路と、前記スタート信号を所定の期間シフトさせ前記第2ラッチ回路を制御する第2ラッチ信号を生成するとともに、シフト後の前記スタート信号を前記信号伝送回路に戻すシフトパルス生成回路とを備えるので、複数のソース線を複数回に分けて駆動する場合に、消費電力が低く、且つ安定してスタート信号及び第2ラッチ信号を生成することができる効果がある。

10

【発明を実施するための最良の形態】

【0014】

(実施の形態1)

図1に、本実施の形態に係る画像表示装置のブロック図を示す。図1に示す画像表示装置は、薄膜トランジスタ液晶表示装置（以下、単に液晶表示装置ともいう）である。この液晶表示装置は、行列状に画素（サブ画素）が配置された（図示せず）液晶表示部1と、各サブ画素を駆動するためのゲート線駆動回路2、ソース線駆動回路3及びタイミングコントローラ4とを備えている。なお、背景技術でも説明したように、本発明では、ゲート線駆動回路2、ソース線駆動回路3及びタイミングコントローラ4が液晶表示部1と同一基板上に形成され、且つそれぞれを構成する能動素子が薄膜トランジスタで形成されている。

20

【0015】

さらに、液晶表示部1の回路図を図2に示す。図2に示す液晶表示部1の各サブ画素は、TFT（薄膜トランジスタ）11と、このTFT11のドレイン電極（画素電極）に接続された液晶セル12と、液晶セル12に並列接続された蓄積容量13とを備えている。そして、各サブ画素に設けたTFT11のゲート電極は、ゲート線GL（GL(m-1), GL(m), GL(m+1)・・・）（mは任意の数である）に接続される。また、各サブ画素に設けたTFT11のソース電極は、ソース線SL（SL(n-1), SL(n), SL(n+1)・・・）（nは任意の数である）に接続される。また、液晶セル12の対向電極及び蓄積容量13の他方の電極には、コモン電位Vcomが与えられている。

30

【0016】

なお、図2に示した各サブ画素は、図示していないカラーフィルタのRGBストライプと対応している。RGBのそれぞれに対応した3つのサブ画素が1画素分の色表示を行っている。そのため、本実施の形態に係る液晶表示部1が240×320画素の表示解像度を有する場合、各画素はそれぞれRGBの3つのサブ画素から構成されているので、各画素のそれぞれには3本にソース線が設けられている。従って、本実施の形態に係る液晶表示部1のソース線の総数は240×3=720本となる。

【0017】

次に、図1に示すゲート線駆動回路2は、ゲート線走査信号をシフトさせる垂直シフトレジスタ21と、ゲート線駆動バッファ22とを備えている。各々のゲート線駆動バッファ22は、接続された各々のゲート線GLに対してゲート線走査信号を出力する。垂直シフトレジスタ21には、タイミングコントローラ4からゲートクロック信号CLKY及びスタート信号STY等の制御信号が供給される。

40

【0018】

また、図1に示すソース線駆動回路3は、水平シフトレジスタ31と、デジタルデータバスライン32と、第1ラッチ回路33と、第2ラッチ回路34と、D/A変換回路（DAC）35と、アナログアンプ（Amp.）36と、デマルチプレクサ（Demux）37とを備える。そして、水平シフトレジスタ31には、タイミングコントローラ4よりソースクロック信号CLKXとスタート信号STX（以下STX信号ともいう）が供給され、第1ラッチ回路33には、デジタルデータバスライン32より、デジタル階調データ（

50

D 0 ～ D 1 7) が画像表示装置外部より供給される。

【0019】

次に、ソース線駆動回路 3 の構成を示すブロック図を図 3 に示す。図 3 に示すソース線駆動回路 3 は、水平シフトレジスタ 3 1、デジタルデータバスライン 3 2、第 1 ラッチ回路 3 3、第 2 ラッチ回路 3 4、D/A 変換回路 3 5、アナログアンプ 3 6 及びデマルチプレクサ 3 7 で構成されている。図 3 では、18 ビットのデジタル階調データ (DATA: D 0 ～ D 1 7) がデジタルデータバスライン 3 2 を介して第 1 ラッチ回路 3 3 に入力される例を示している。しかし、本発明は、18 ビットのデジタル階調データに限られず、デジタル階調データのビット数には特に制限はない。また、第 2 ラッチ回路 3 4 には第 2 ラッチ信号が、D/A 変換回路 3 5 には DAC 制御信号が、アナログアンプ 3 6 にはアンプ制御信号が、デマルチプレクサ 3 7 にはデマルチプレクサ制御信号 SW 1 ～ SW 6 がそれぞれ供給される。

10

【0020】

水平シフトレジスタ 3 1 は、タイミングコントローラ 4 からソースクロック信号 CLK X 及び STX 信号が供給され、第 1 ラッチ信号 (LAT 1, LAT 2, ..., LAT 4 0) を生成し、第 1 ラッチ回路 3 3 へ出力する。本実施の形態では、ソース線の総数は 720 本で、18 ビット単位のデジタル階調データとするため、 $720 / 18 = 40$ 個の第 1 ラッチ信号が生成されることになる。

【0021】

図 4 に、水平シフトレジスタ回路 3 1 の回路図を示す。図 4 に示す水平シフトレジスタ 3 1 は、複数の遅延型ラッチ回路 (D-latch) 3 1 1 が直列に接続され、個々の遅延型ラッチ回路 3 1 1 にソースクロック信号 CLK X とその反転信号が入力されている。そして、1 段目の遅延型ラッチ回路 3 1 1 に STX 信号が入力され、1 段目の遅延型ラッチ回路 3 1 1 の出力信号が 2 段目の遅延型ラッチ回路 3 1 1 に入力されている。さらに、図 4 に示す水平シフトレジスタ 3 1 は、隣接する遅延型ラッチ回路 3 1 1 の出力が NAND 回路 3 1 2 で演算され、NAND 回路 3 1 2 の出力反転信号が第 1 ラッチ信号 (LAT 1, LAT 2, ..., LAT 4 0) として出力されている。

20

【0022】

第 1 ラッチ回路 3 3 は、水平シフトレジスタ 3 1 からの第 1 ラッチ信号に基づきデジタル階調データ (DATA) をラッチする。第 1 ラッチ回路 3 3 で 1 サブライン分 (1 スキャン分) のデジタル階調データ (DATA) のラッチが終了するまでの時間を 1 サブライン期間と呼ぶ。

30

【0023】

第 2 ラッチ回路 3 4 は、各第 1 ラッチ回路 3 3 が全て 1 サブライン分のラッチを行った時点で、第 1 ラッチ回路 3 3 の全ての出力を同時にラッチする。第 2 ラッチ回路 3 4 でのラッチ動作が終了した後、各第 1 ラッチ回路 3 3 は次のサブラインのラッチ動作を順に開始する。第 1 ラッチ回路 3 3 がラッチ動作を行っている間に、第 2 ラッチ回路 3 4 でラッチされたデジタル階調データ (DATA) は、D/A 変換回路 3 5 でアナログ階調電圧に変換される。

【0024】

このアナログ階調電圧は、アナログアンプ 3 6 を経て、デマルチプレクサ 3 7 に供給される。デマルチプレクサ 3 7 では、D/A 変換回路 3 5 に対して複数個のアナログスイッチ ASW を有する。なお、デマルチプレクサ 3 7 の回路図を図 5 に示す。図 3 に示す例では、1 個の D/A 変換回路 3 5 に対し、6 個のアナログスイッチ ASW 1 ～ ASW 6 が設けられている。これらアナログスイッチはそれぞれ別々のソース線 SL に接続されている。

40

【0025】

各アナログスイッチ ASW 1 ～ ASW 6 は、デマルチプレクサ制御信号 SW 1 ～ SW 6 に基づいて、いずれか一つのアナログスイッチのみが ON となる。例えば、アナログスイッチ ASW 1 が ON すると、D/A 変換回路 3 5 からのアナログ階調電圧がアナログスイ

50

ッチ A S W 1 に接続されたソース線 S L に供給される。上述した動作を 6 回繰り返すことにより、液晶表示部 1 に 1 水平ライン分の画像データを書き込むことができる。図 5 に示すデマルチプレクサ 3 7 では、デマルチプレクサ制御信号 S W 1 ～ S W 6 及びその反転信号により開閉するアナログスイッチ A S W 1 ～ A S W 6 が設けられている。

【0026】

次に、タイミングコントローラ 4 は、外部から入力されるマスタクロック信号 M C L K、水平同期信号 H S Y N C 及び垂直同期信号 V S Y N C から、ゲート線駆動回路 2 の制御信号 (S T Y , C L K Y)、ソース線駆動回路 3 の制御信号を生成する。なお、ソース線駆動回路 3 の制御信号には、水平シフトレジスタ 3 1 の制御信号 (S T X , C L K X)、第 2 ラッチ信号、D A C 制御信号、アンプ制御信号、デマルチプレクサ制御信号 S W 1 ～ S W 6 が含まれている。

10

【0027】

図 6 に、タイミングコントローラ 4 のブロック図を示す。図 6 に示すタイミングコントローラ 4 は、C L K X 生成回路 4 1 , S T X ・第 2 ラッチ信号生成回路 4 2 , D A C 制御信号生成回路 4 3 , アンプ制御信号生成回路 4 4 , デマルチプレクサ制御信号生成回路 4 5 , C L K Y 生成回路 4 6 及び S T Y 生成回路 4 7 により構成されている。なお、通常、外部から入力されるマスタクロック信号 M C L K、水平同期信号 H S Y N C 及び垂直同期信号 V S Y N C は、低電圧振幅である。そのため、当該信号は、タイミングコントローラ 4 に入力される前に、電圧変換回路 (レベルシフタ) により高電圧レベルに変換される。但し、本実施の形態では、電圧変換回路の説明を省略している。

20

【0028】

C L K X 生成回路 4 1 は、水平シフトレジスタ 3 1 に供給するソースクロック信号 C L K X (以下、C L K X 信号ともいう) を生成する回路である。また、D A C 制御信号生成回路 4 3 は、図 3 に示すように D / A 変換回路 3 5 に供給する D A C 制御信号を生成する回路である。また、アンプ制御信号生成回路 4 4 は、図 3 に示すようにアナログアンプ 3 6 に供給するアンプ制御信号を生成する回路である。また、デマルチプレクサ制御信号生成回路 4 5 は図 3 に示すようにデマルチプレクサ 3 7 に供給するデマルチプレクサ制御信号 S W 1 ～ S W 6 を生成する回路である。また、C L K Y 生成回路 4 6 は、垂直シフトレジスタ 2 1 に供給するゲートクロック信号 C L K Y を生成する回路である。また、S T Y 生成回路 4 7 は、垂直シフトレジスタ 2 1 に供給するスタート信号 S T Y を生成する回路

30

【0029】

図 7 に、S T X ・第 2 ラッチ信号発生回路 4 2 のブロック図を示す。図 7 に示す S T X ・第 2 ラッチ信号発生回路 4 2 は、パルス生成回路 4 2 1、信号伝送回路 4 2 2 及びシフトパルス生成回路 4 2 3 より構成される。パルス生成回路 4 2 1 は、水平同期信号 H S Y N C の立ち下り信号又は立ち上り信号を受けて、所定の時間経過後に、所定の幅のスタート信号 S T X _ 0 を生成する回路である。

【0030】

また、信号伝送回路 4 2 2 は、パルス生成回路 4 2 1 で生成されたスタート信号 S T X _ 0 又は後述するシフトパルス生成回路 4 2 3 から戻されるシフト後のスタート信号のどちらか一方を伝送させ、水平シフトレジスタ 3 1 へ出力する S T X 信号としている。この信号伝送回路 4 2 2 は、論理和回路 (O R 回路) でも構わないが、後述するスイッチ機能を有する信号切り替え回路の方が好ましい。

40

【0031】

シフトパルス生成回路 4 2 3 は、スタート信号である S T X 信号と、所定数のクロック信号とを入力することで、第 2 ラッチ信号及び信号伝送回路 4 2 2 へ戻すパルス信号を生成する。

【0032】

図 8 に、S T X ・第 2 ラッチ信号生成回路 4 2 の詳細な回路図を示す。図 9 に、本実施の形態に係る画像表示装置のタイミングチャートを示す。なお、図 9 では、1 水平ライン

50

期間を1周期とするタイミングを、タイミング1～タイミング264で表している。さらに、図9では、1サブラインを1周期とするタイミングを、サブタイミング1～サブタイミング44で表している。

【0033】

図9を参照して、本実施の形態に係る画像表示装置、特にSTX・第2ラッチ信号生成回路42の動作について説明する。まず、図9に示すタイミング1では、水平同期信号HSYNCが”H”から”L”に切り換わる。当該信号は、図8のパルス生成回路421に示す2つの遅延型フリップフロップ(DFF)421aにより所定時間遅延される。遅延型フリップフロップにより所定時間遅延された信号は、2入力NOR回路421cの一方に入力される。一方、2入力NOR回路421cの他方には、遅延型フリップフロップ421aにより所定時間遅延された信号をさらに2つの遅延型フリップフロップ(DFF)421bで所定時間遅延して、インバータで反転した信号が入力される。

10

【0034】

図8に示すパルス生成回路421の4つの遅延型フリップフロップ421a, bは、それぞれマスタクロック信号MCLKとその反転信号が入力されている。2入力NOR回路421cは、図9に示すように、2つの遅延型フリップフロップ(DFF)421aで遅延させたパルス幅(マスタクロック信号MCLKの2周期分)を持つパルス信号STX__0を、タイミング3, 4の期間に出力する。

【0035】

スタート信号STX__0(以下、STX__0信号ともいう)は、信号伝送回路422に入力される。本実施の形態に係る信号伝送回路422では、トランスマッションゲート422a及びトランスマッションゲート422bを備えており、水平同期信号HSYNCとその反転信号で構成される制御信号/S TX__SW及び制御信号STX__SWにより、トランスマッションゲート422a及びトランスマッションゲート422bの動作が制御されている。

20

【0036】

具体的には、タイミング1～4(サブタイミング1～4)の期間では、制御信号STX__SWが”H”になり、制御信号/S TX__SWが”L”になる。そのため、信号伝送回路422のトランスマッションゲート422aはONとなり、パルス生成回路421が出力したSTX__0信号がSTX信号として伝送される。

30

【0037】

このSTX信号は、バッファ回路(図示せず)を経てタイミングコントローラ4の出力として、水平シフトレジスタ31へ送られる。また、このSTX信号は、シフトパルス生成回路423の遅延型ラッチ回路(D-latch)423aに入力される。遅延型ラッチ回路(D-latch)423aのそれぞれに入力されるCLKX信号の”H”、”L”の切り換わりタイミングに合わせて、入力されたSTX信号は、パルス信号(SR1～SR44)が順次、後段の遅延型ラッチ回路423aへシフトして行く。

【0038】

そして、タイミング44, 45(サブタイミング44, 1)の期間において、パルス信号SR42は”H”となり、この信号がバッファ回路(図示せず)を経て、第2ラッチ信号としてタイミングコントローラ4より出力される。さらに、タイミング46, 47(サブタイミング2, 3)の期間において、パルス信号SR44は”H”となり、この信号がバッファ回路(図示せず)を経てSR__END信号として、信号伝送回路422へ戻すスタート信号となる。

40

【0039】

タイミング46, 47(サブタイミング2, 3)の期間は、制御信号STX__SWが”L”で、制御信号/S TX__SWが”H”であるため、トランスマッションゲート422bがONとなり、SR__END信号がSTX信号として伝送されることになる。

【0040】

以降、タイミング88, 89、タイミング132, 133、タイミング176, 177

50

、タイミング 2 2 0, 2 2 1、タイミング 2 6 4, 1 (サブタイミング 4 4, 1) の期間については、パルス信号 S R 4 2 が " H " となり、第 2 ラッチ信号が出力される。同様に、タイミング 9 0, 9 1、タイミング 1 3 4, 1 3 5、タイミング 1 7 8, 1 7 9、タイミング 2 2 2, 2 2 3、タイミング 2, 3 (サブタイミング 2, 3) の期間については、S R 4 4 が " H " となり、S R _ E N D 信号が出力される。この内、タイミング 9 0, 9 1、タイミング 1 3 4, 1 3 5、タイミング 1 7 8, 1 7 9、タイミング 2 2 2, 2 2 3 については、制御信号 S T X _ S W が " L " で、制御信号 / S T X _ S W が " H " となるため、トランスミッションゲート 4 2 2 b が O N となり、S R _ E N D 信号が S T X 信号として伝送される。

【0 0 4 1】

10

一方、タイミング 2, 3 では、制御信号 S T X _ S W が " H " で、制御信号 / S T X _ S W が " L " となるため、トランスミッションゲート 4 2 2 b が O F F となり、S R _ E N D 信号は伝送されない。

【0 0 4 2】

このタイミング 2, 3 の期間は、パルス生成回路 4 2 1 より S T X _ 0 信号が生成され、トランスミッションゲート 4 2 2 a が O N となるので、S T X _ 0 信号が S T X 信号として伝送される。本実施の形態に係る S T X ・第 2 ラッチ信号生成回路 4 2 の動作は、上記で説明した動作を繰り返して行われる。

【0 0 4 3】

なお、図 9 に示す第 1 ラッチ信号 (L A T 1, L A T 2, . . . , L A T 4 0) は、図 4 に示す水平シフトレジスタ 3 1 の回路に、S T X 信号及び C L K X 信号を入力することで生成される信号である。

20

【0 0 4 4】

次に、信号伝送回路 4 2 2 に論理和回路 (O R 回路) を用いるのではなく、スイッチ機能を有する信号切り替え回路 (トランスミッションゲート 4 2 2 a, b) を用いる利点について説明する。例えば、画像表示装置に供給される電圧に一瞬の変動等が生じた場合、シフトパルス生成回路 4 2 3 が誤動作し、パルス信号 (S R 1 ~ S R 4 4) のパルス幅が大きくなったり、常時 " H " 状態になる可能性がある。もし、信号伝送回路 4 2 2 に論理和回路 (O R 回路) を使用した場合、異常なパルス信号 (S R 1 ~ S R 4 4) が信号伝送回路 4 2 2 とシフトパルス生成回路 4 2 3 との間をループし続けることになり、異常な表示となる。

30

【0 0 4 5】

この異常な状態を元に戻すには、一旦、電源を断ち下げる方法、又はシフトパルス生成回路 4 2 3 をリセットする方法がある。但し、シフトパルス生成回路 4 2 3 をリセットする場合には、リセット機能を有している必要があり (本実施の形態ではリセット機能を有していない場合を示している)、シフトパルス生成回路 4 2 3 にリセット信号を入れて、表示装置を再起動させる必要がある。

【0 0 4 6】

しかし、信号伝送回路 4 2 2 として信号切り替え回路 (トランスミッションゲート 4 2 2 a, b) を用いた場合には、水平同期信号 H S Y N C が入力した時点で、信号伝送回路 4 2 2 とシフトパルス生成回路 4 2 3 との間をループする信号は断ち切れ、パルス生成回路 4 2 1 から新たな S T X 信号が供給されるため、異常が発生した場合でも 1 水平ライン期間内に収まる。従って、本実施の形態に係る S T X ・第 2 ラッチ信号生成回路 4 2 は、シフトパルス生成回路 4 2 3 の誤動作による表示異常を回避できる効果がある。

40

【0 0 4 7】

(実施の形態 2)

実施の形態 1 で説明した図 4 に示す水平シフトレジスタ 3 1 と図 8 に示すシフトパルス生成回路 4 2 3 とは、複数の遅延型ラッチ回路 (D - l a t c h) 3 1 1, 4 2 3 a が直列接続される回路構成を有している点で共通している。従って、図 8 に示すシフトパルス生成回路 4 2 3 の機能を、図 4 に示す水平シフトレジスタ 3 1 の回路に共用させることが

50

考えられる。そこで、本実施の形態では、タイミングコントローラのシフトパルス生成回路を省略し、当該機能を水平シフトレジスタの回路に共用させる画像表示装置について、以下に説明する。

【0048】

まず、図10に、本実施の形態に係る画像表示装置である液晶表示装置のブロック図を示す。図10に示す液晶表示装置は、行列状に画素（サブ画素）が配置された（図示せず）液晶表示部1と、各サブ画素を駆動するためのゲート線駆動回路2、ソース線駆動回路3及びタイミングコントローラ4とを備えている。液晶表示部1については、実施の形態1と同じ構成であり、図2に示すような各サブ画素にTFT（薄膜トランジスタ）11と、このTFT11のドレイン電極（画素電極）に接続された液晶セル12と、液晶セル12に並列接続された蓄積容量13とを備えている。 10

【0049】

次に、ゲート線駆動回路2も実施の形態1と同じ構成であり、図10に示すようにゲート線走査信号をシフトさせる垂直シフトレジスタ21と、ゲート線駆動バッファ22とを備えている。また、ソース線駆動回路3も実施の形態1と同じで構成あり、図10に示すように水平シフトレジスタ38と、デジタルデータバスライン32と、第1ラッチ回路33と、第2ラッチ回路34と、D/A変換回路（DAC）35と、アナログアンプ（Amp.）36と、デマルチプレクサ（Demux）37とを備える。

【0050】

しかし、図10に示す水平シフトレジスタ38は、図1に示す水平シフトレジスタ31と異なり、タイミングコントローラ4よりSTX_0信号及び制御信号／STX_SWが供給されている。また、図10に示す水平シフトレジスタ38は、第2ラッチ信号を生成し、第2ラッチ回路34に供給している。つまり、実施の形態1でタイミングコントローラ4内のSTX・第2ラッチ信号生成回路が行ってきた機能を、本実施の形態では水平シフトレジスタ38が行っている。 20

【0051】

一方、本実施の形態のタイミングコントローラ4は、図11に示す構成である。具体的に、図11に示すタイミングコントローラ4の構成は、STX・第2ラッチ信号生成回路42がSTX_0信号生成回路48に置き換わった点以外、図6に示すタイミングコントローラ4の構成と同じである。なお、STX_0信号生成回路48以外の回路については、本実施の形態1と同じであるため詳しい説明を省略する。 30

【0052】

STX_0信号生成回路48の構成は、図7及び図8に示すSTX・第2ラッチ信号生成回路42構成から信号伝送回路422及びシフトパルス生成回路423を取り除き、パルス生成回路421のみとしたものである。そのため、STX_0信号生成回路48は、マスタクロック信号MCLKと水平同期信号HSYNCに基づいてSTX_0信号を生成し、当該STX_0信号を水平シフトレジスタ38に出力する。

【0053】

次に、本実施の形態に係る水平シフトレジスタ38の回路図を図12に示す。図12に示す水平シフトレジスタ38は、図4に示す水平シフトレジスタ31に比べて、信号伝送回路部381と複数の遅延型ラッチ回路382が追加されている。この信号伝送回路部381は、図8に示す信号伝送回路422と同じ構成であり、トランスマッションゲート381a、381bを備えている。そして、信号伝送回路部381は、制御信号／STX_SW及び制御信号STX_SWにより、トランスマッションゲート381a及びトランスマッションゲート381bの動作を制御している。なお、制御信号／STX_SW及び制御信号STX_SWは、実施の形態1の場合と同様、水平同期信号HSYNCとその反転信号である。 40

【0054】

本実施の形態に係る水平シフトレジスタ38の動作は、まずタイミングコントローラ4より供給されたSTX_0信号が信号伝送回路部381に入力される。さらに、タイミン 50

グコントローラ 4 より供給された制御信号／STX_SWは、インバータ 381c に入力され、その反転信号である制御信号 STX_SW が生成される。この制御信号／STX_SW 及び制御信号 STX_SW は、トランスマッションゲート 381a 及びトランスマッションゲート 381b に入力される。

【0055】

実施の形態 1 で説明した図 9 のタイミングチャートを、本実施の形態に係る水平シフトレジスタ 38 に用いて説明すれば、タイミング 1 ～ 4 (サブタイミング 1 ～ 4) の期間では、制御信号 STX_SW が "H" になり、制御信号／STX_SW が "L" になる。そのため、信号伝送回路部 381 のトランスマッションゲート 381a は ON となり、タイミングコントローラ 4 より供給された STX_0 信号が STX 信号として伝送される。 10

【0056】

この STX 信号は、直列接続された遅延型ラッチ回路 (D-latch) 383 に入力される。遅延型ラッチ回路 (D-latch) 383 のそれぞれに入力される CLKX 信号の "H"、"L" の切り換わりタイミングに合わせて、入力された STX 信号は、パルス信号 (SR1 ～ SR40) として順次、後段の遅延型ラッチ回路 383 へシフトして行く。そして、隣接する遅延型ラッチ回路 383 のそれぞれから出力されたパルス信号 (SR1 ～ SR40) が、2 入力 NAND 回路 384 に入力される。具体的には、パルス信号 SR1 とパルス信号 SR2 とが NAND 回路 384 に入力され、その出力信号の反転信号が第 1 ラッチ信号 LAT1 となる。パルス信号 SR2 とパルス信号 SR3 とが NAND 回路 384 に入力され、その出力信号の反転信号が第 1 ラッチ信号 LAT2 となる。同様の処理を繰り返すことにより、同様に、第 1 ラッチ信号 (LAT3 ～ LAT40) が生成される。 20

【0057】

さらに、水平シフトレジスタ 38 は、4 つの遅延型ラッチ回路 382 を追加しているため、タイミング 44, 45 (サブタイミング 44, 1) の期間において、パルス信号 SR42 は "H" となり、この信号がバッファ回路 (図示せず) を経て、第 2 ラッチ信号として出力される。さらに、タイミング 46, 47 (サブタイミング 2, 3) の期間において、パルス信号 SR44 は "H" となり、この信号がバッファ回路 (図示せず) を経て SR_END 信号として、信号伝送回路部 381 へ戻すスタート信号となる。

【0058】

タイミング 46, 47 (サブタイミング 2, 3) の期間は、制御信号 STX_SW が "L" で、制御信号／STX_SW が "H" であるため、トランスマッションゲート 381b が ON となり、SR_END 信号が STX 信号として伝送される。以降、同様の動作が繰り返される。 30

【0059】

このように、本実施の形態では、信号伝送回路に戻すスタート信号及び第 2 ラッチ信号を生成するシフトパルス生成回路の機能を水平シフトレジスタ 38 の回路に共用させることにより、タイミングコントローラ 4 のレイアウト面積を削減でき、さらに消費電力の低減を図ることができる。特に、本実施の形態では、水平シフトレジスタ 38 を構成する複数の遅延型ラッチ回路 382, 383 が、スタート信号 STX、第 1 ラッチ信号及び第 2 ラッチ信号の生成に共用される例を示した。 40

【0060】

なお、実施の形態 1 及び 2 で用いた遅延型フリップフロップ (D-FF) 421a, b は、複数のクロックドインバータで構成された遅延型フリップフロップであり、回路例を図 13 に示す。また、実施の形態 1 及び 2 で用いた遅延型ラッチ回路 (D-latch) 311, 382, 383, 423a は、複数のクロックドインバータで構成された遅延型ラッチ回路であり、回路例を図 14 に示す。但し、本発明に用いる遅延型フリップフロップ及び遅延型ラッチ回路は、クロックドインバータに限定されず、他の構成のものでも構わない。

【0061】

また、実施の形態 1 及び 2 では、画像表示装置の例として液晶表示装置の場合について説明した。しかし、本発明はこれに限られず、複数のソース線及び複数のゲート線が列設され、ソース線とゲート線とが交差する近傍のそれぞれに画素トランジスタが形成された表示部を有する画像表示装置であれば良い。例えば、アクティブマトリクス型の有機 EL 等が本発明の画像表示装置に適用することができる。

【図面の簡単な説明】

【0062】

【図 1】本発明の実施の形態 1 に係る画像表示装置のブロック図である。

【図 2】本発明の実施の形態 1 に係る液晶表示部の回路図である。

【図 3】本発明の実施の形態 1 に係るソース線駆動回路の回路図である。

10

【図 4】本発明の実施の形態 1 に係る水平シフトレジスタの回路図である。

【図 5】本発明の実施の形態 1 に係るデマルチプレクサの回路図である。

【図 6】本発明の実施の形態 1 に係るタイミングコントローラのブロック図である。

【図 7】本発明の実施の形態 1 に係る S T X ・第 2 ラッチ信号生成回路のブロック図である。

【図 8】本発明の実施の形態 1 に係る S T X ・第 2 ラッチ信号生成回路の回路図である。

【図 9】本発明の実施の形態 1 に係る画像表示装置のタイミングチャートである。

【図 10】本発明の実施の形態 2 に係る画像表示装置のブロック図である。

【図 11】本発明の実施の形態 2 に係るタイミングコントローラのブロック図である。

【図 12】本発明の実施の形態 2 に係る水平シフトレジスタの回路図である。

20

【図 13】本発明に係る遅延型フリップフロップの回路図である。

【図 14】本発明に係る遅延型ラッチ回路の回路図である。

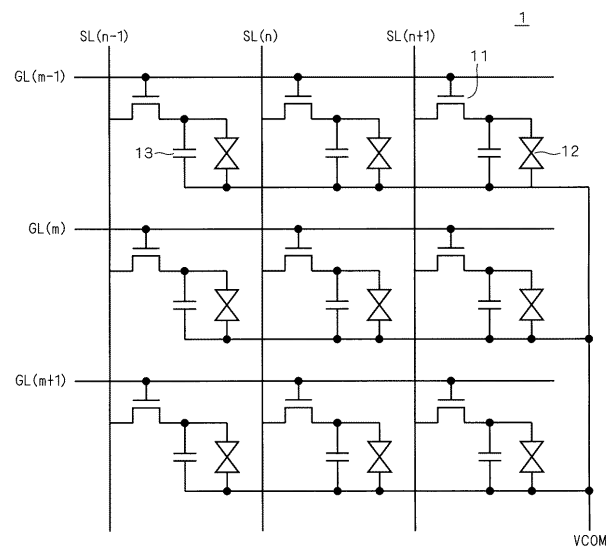
【符号の説明】

【0063】

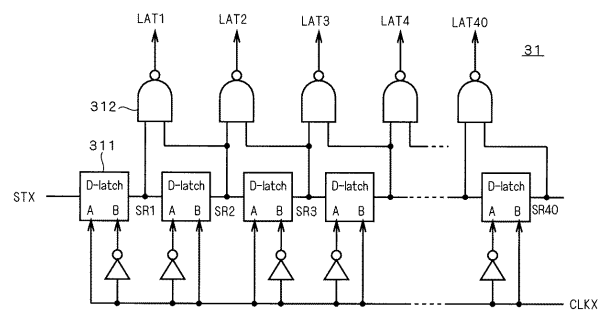
1 液晶表示部、2 ゲート線駆動回路、3 ソース線駆動回路、4 タイミングコントローラ、11 T F T、12 液晶セル、13 蓄積容量、21 垂直シフトレジスタ、22 ゲート線駆動バッファ、31, 38 水平シフトレジスタ、32 デジタルデータバスライン、33 第 1 ラッチ回路、34 第 2 ラッチ回路、35 D/A 変換回路、36 アナログアンプ、37 デマルチプレクサ、41 C L K X 生成回路、42 S T X ・第 2 ラッチ信号生成回路、43 D A C 制御信号生成回路、44 アンプ制御信号生成回路、45 デマルチプレクサ制御信号生成回路、46 C L K Y 生成回路、47 S T Y 生成回路、48 S T X _ 0 信号生成回路、311, 382, 383, 423a 遅延型ラッチ回路、381 信号伝送回路部、381a, b, 422a, b トランスミッションゲート、381C インバータ、384 N A N D 回路、421 パルス生成回路、421a, b 遅延型フリップフロップ、421c 2 入力 N O R 回路、422 信号伝送回路、423 シフトパルス生成回路。

30

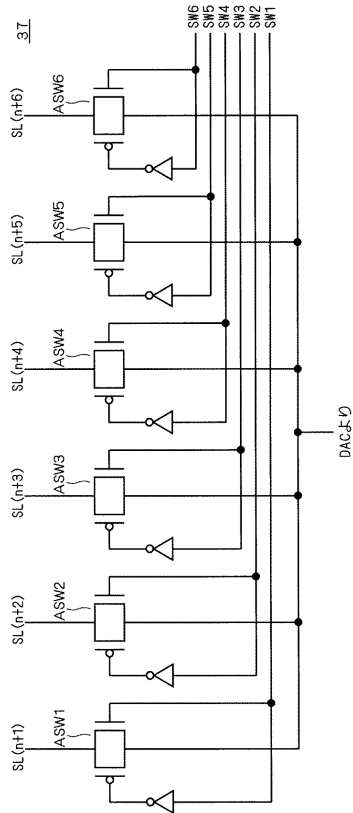
【圖 2】



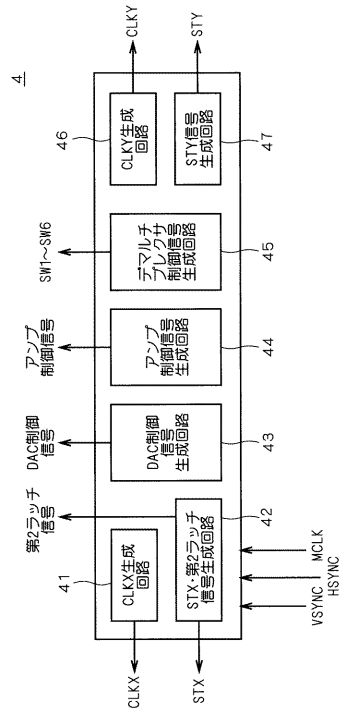
【图 4】



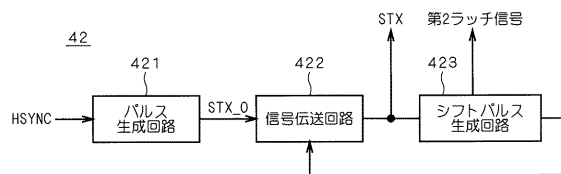
【図 5】



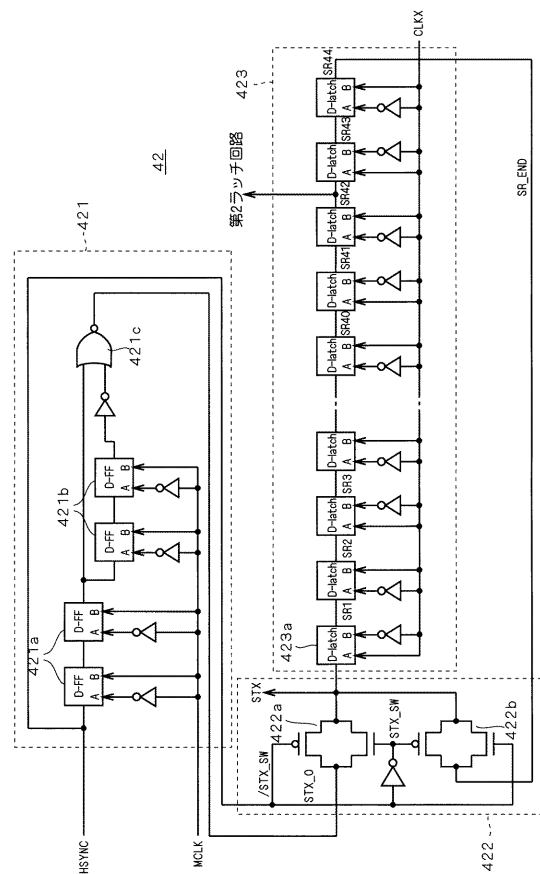
【図 6】



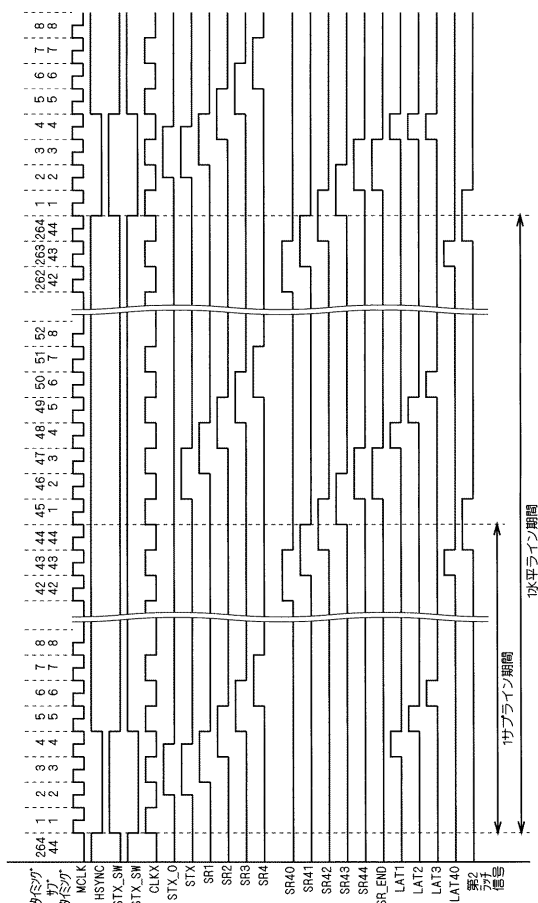
【図 7】



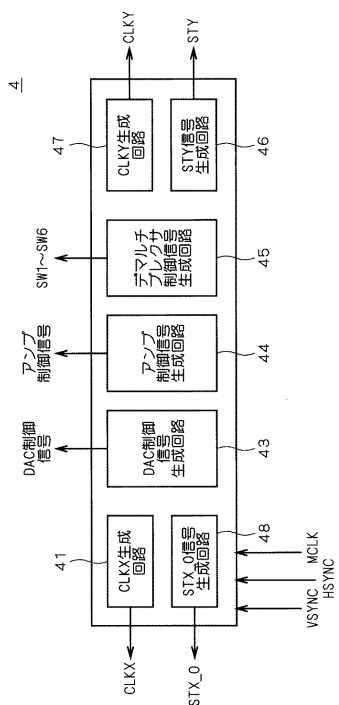
【図 8】



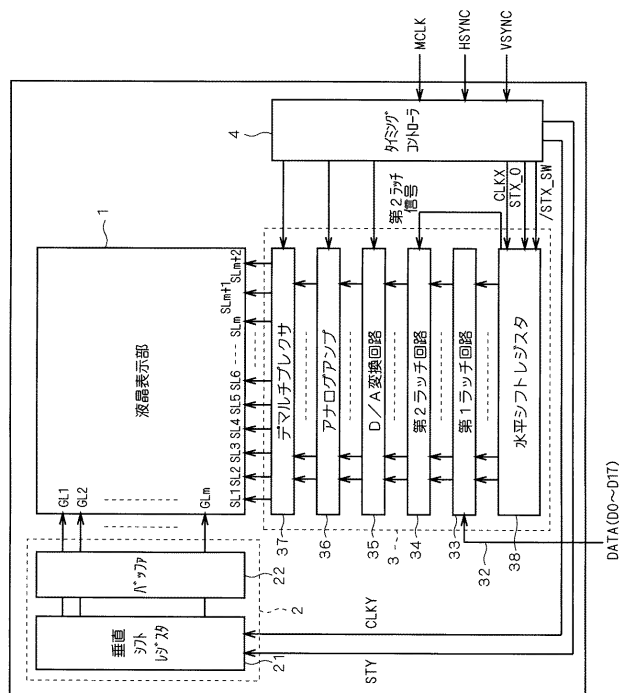
【 図 9 】



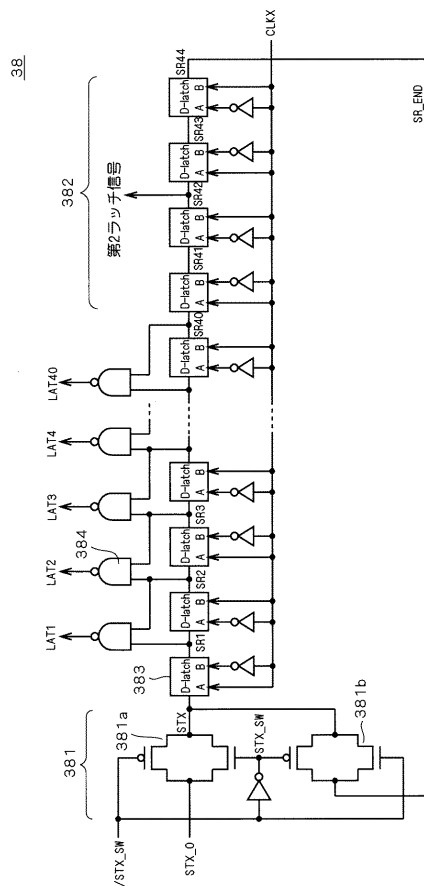
【図 1 1】



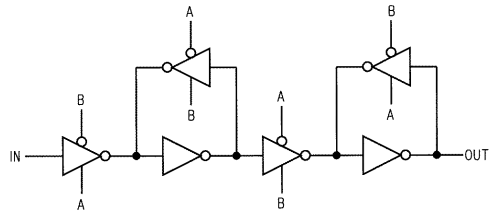
【図 10】



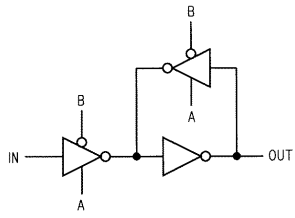
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 R
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0

Fターム(参考) 5C006 AA16 AC11 AC24 AF42 AF43 AF44 AF51 AF69 AF71 AF82
BB16 BC06 BC12 BC16 BC20 BC23 BF03 BF04 BF07 FA47
5C080 AA10 BB05 DD26 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	画像表示装置		
公开(公告)号	JP2007249106A	公开(公告)日	2007-09-27
申请号	JP2006076010	申请日	2006-03-20
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	野尻 勲		
发明人	野尻 勲		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/0297 G09G2310/08		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.622.A G09G3/20.623.A G09G3/20.612.J G09G3/20.621.A G09G3/20.623.H G09G3/20.623.G G09G3/20.623.F G09G3/20.623.R G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA20 2H093/NC09 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC26 2H093/ND39 2H093/ND42 2H093/ND49 2H093/ND54 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF69 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF07 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP4943033B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种图像显示装置，其具有在多次驱动多个源极线时以低功耗稳定地产生启动信号和第二锁存信号的电路其目的。 本发明是一种图像显示装置，包括液晶显示部分1，栅极线驱动电路2，源极线驱动电路3和时序控制器4。然后，源极线驱动电路3包括一个水平移位寄存器31，第一锁存电路33，一个第二锁存电路34，d / A转换电路35可以通过将多个所述源极线的成多次来驱动和多路分解器37。定时控制器4中，脉冲发生电路421，信号发送电路422，以产生第二锁存信号和移位脉冲生成电路423向移位信号传输电路422后返回开始信号。 点域1

