

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-233202

(P2007-233202A)

(43) 公開日 平成19年9月13日(2007.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 622B	
	G09G 3/20 623B	
審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く		

(21) 出願番号 特願2006-56896 (P2006-56896)
 (22) 出願日 平成18年3月2日(2006.3.2)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000040
 特許業務法人池内・佐藤アンドパートナーズ
 (72) 発明者 杉山 裕昭
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 松浦 学
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 2H093 NA16 NA35 NB07 NB11 NB21
 NB23 NC11 NC21 NC41 NC52
 NC58 ND10 ND40
 最終頁に続く

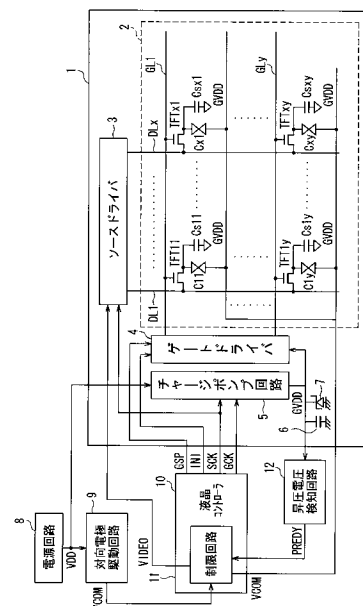
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 起動時間の長時間化を抑制しつつ、起動時におけるチラつきを抑制し得る液晶表示装置を提供する。

【解決手段】 TFT11～TFTxyを有する液晶表示パネル1と、ゲートドライバ4と、ソースドライバ3と、電圧GVDDをゲートドライバ4に供給するチャージポンプ回路5と、VIDEO信号を出力する液晶コントローラ10と、対向電極を駆動する対向電極駆動回路9とを備えた液晶表示装置において、制限回路11と、昇圧電圧検知回路12とを更に備えさせる。昇圧電圧検知回路12によって、電圧GVDDの電圧値が基準値に到達したときに、基準値に到達したことを通知するPREDY信号を制限回路11へと出力する。制限回路11によって、VIDEO信号の出力と対向電極駆動回路による対向電極の駆動とを停止させておき、昇圧電圧検知回路12がPREDY信号を出力したときに、これらの停止を解除する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数のアクティブ素子を有する液晶表示パネルと、ゲートドライバと、ソースドライバと、電源電圧を昇圧し、昇圧した電圧を前記ゲートドライバに供給する昇圧回路と、前記ソースドライバに映像信号を出力する制御回路と、前記液晶表示パネルの対向電極を駆動する対向電極駆動回路とを備えた液晶表示装置であって、

制限回路と、昇圧電圧検知回路とを備え、

前記昇圧電圧検知回路は、前記昇圧回路によって昇圧された電圧の電圧値が基準値に到達すると、前記基準値に到達したことを通知する通知信号を前記制限回路へと出力し、

前記制限回路は、前記昇圧電圧検知回路が前記通知信号を出力していないときは、前記制御回路による前記映像信号の出力と前記対向電極駆動回路による前記対向電極の駆動とを停止させ、前記昇圧電圧検知回路が前記通知信号を出力すると、前記映像信号の出力と前記対向電極の駆動との停止を解除することを特徴とする液晶表示装置。 10

【請求項 2】

前記制限回路が、前記映像信号を前記ソースドライバに出力するための配線上に設けられたトランジスタ素子と、前記対向電極に前記対向電極駆動回路によって生成された対向電極駆動電圧を出力するための配線上に設けられたトランジスタ素子とを備え、

前記昇圧電圧検知回路が、前記昇圧回路によって昇圧された電圧を降下させて、電圧信号を生成し、且つ、前記電圧信号を前記二つのトランジスタ素子のゲートに印加する抵抗分割回路を備え、 20

前記抵抗分割回路は、前記昇圧回路によって昇圧された電圧の電圧値が基準値に到達したときに、前記電圧信号の電圧値が前記トランジスタ素子のスレッショルド電圧となるように、前記電圧信号を生成する請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数のアクティブ素子それぞれが、前記液晶表示パネルを構成するアクティブマトリクス基板に、アモルファスシリコンよりも電荷移動度の速いシリコンによって形成され、

前記ゲートドライバ、前記ソースドライバ、及び前記昇圧回路が、前記アクティブマトリクス基板にモノリシックに形成されている請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】 30

前記液晶表示パネルが、反射型または半透過型の液晶表示パネルである請求項 1 ～ 3 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置、特にアクティブマトリクス方式の液晶表示装置に関する。

【背景技術】

【0002】

従来から、液晶表示装置として、TFT (Thin Film Transistor) を用いた、いわゆるアクティブマトリクス方式の液晶表示装置が知られている。アクティブマトリクス方式の液晶表示装置は、複数の TFT がマトリクス状に配置されたアクティブマトリクス基板と、複数のカラーフィルタがマトリクス状に配置された対向基板との間で液晶を挟み込んで構成された液晶表示パネルを備えている。図 4 ～ 図 6 を用いて、従来からのアクティブマトリクス方式の液晶表示パネルの構成及び信号処理について説明する。 40

【0003】

最初に、従来からのアクティブマトリクス方式の液晶表示装置の基本構成について図 4 を用いて説明する。図 4 は、従来からのアクティブマトリクス方式の液晶表示装置の構成を示す構成図である。図 4 において液晶表示装置は等価回路によって示されている。

【0004】

図 4 に示すように、液晶表示装置は、液晶コントローラ（制御回路）30、液晶表示パネル31、ソースドライバ33、ゲートドライバ34、及びチャージポンプ回路35を備えている。ソースドライバ33、ゲートドライバ34、及びチャージポンプ回路35は、液晶表示パネル31の表示領域32の外側の領域（周辺領域）に搭載されている。

【0005】

液晶表示パネル31の表示領域32には、複数のTFT（アクティブ素子）11～TFT_{x y}、各TFTに対応する複数の画素電極（図示せず）、液晶層（図示せず）、対向基板に形成された複数のカラーフィルタ（図示せず）及び対向電極（図示せず）が設けられている。

【0006】

図 4 において、VCOMは対向電極に印加される電圧（対向電極駆動電圧）を示している。対向電極電圧VCOMは、電源回路38から供給される電源電圧VDDに基づいて、対向電極駆動回路39によって生成される。また、C11～C_{x y}は、各画素電極と、対向電極と、これらの間に存在する液晶層とによって構成される画素容量を示している。TFT11～TFT_{x y}、画素電極、画素容量C11～C_{x y}は、マトリクス状に配置されている。

【0007】

また、表示領域32には、複数本のデータラインDL1～DL_xと、複数本のゲートラインGL1～GL_yも設けられている。ゲートラインGL1～GL_yは、TFT11～TFT_{x y}のON/OFFを行なうための信号ラインであり、ゲートドライバ34によって駆動される。また、ゲートラインGL1～GL_yは、水平方向の同一ライン上に並ぶTFT毎に備えられ、水平方向の同一ライン上に並ぶTFTのゲートは、同一のゲートラインに接続されている。ゲートラインGL1～GL_yのうちゲートドライバ34によって選択されたラインは、そのライン上に並ぶ全てのTFTをONとする。このとき、選択されていないライン上に並ぶ全てのTFTはOFFとなる。

【0008】

データラインDL1～DL_xは、TFT11～TFT_{x y}を介して画素容量C11～C_{x y}に電圧を印加するための信号ラインであり、ソースドライバ33によって駆動されている。データラインDL1～DL_xは、垂直方向の同一ライン上に並ぶTFT毎に備えられ、垂直方向の同一ライン上に並ぶTFTのドレインに接続されている。なお、TFT11～TFT_{x y}それぞれのソースは、対応する画素電極に接続されている。

【0009】

更に、表示領域32には、データ保持のために、TFT11～TFT_{x y}それぞれに対応する補助容量Cs11～Cs_{x y}も設けられている。補助容量Cs11～Cs_{x y}は、Cs配線（図示せず）と、画素電極と、これらの間に形成された層間絶縁膜とによって構成されている。補助容量Cs11～Cs_{x y}それぞれは、画素電極を介して、対応する画素容量C11～C_{x y}に接続されている。また、図4の例では、補助容量Cs11～Cs_{x y}には、補助容量を最大容量付近で使用するために、Cs配線を介して、チャージポンプ回路35によって昇圧された電圧GVDDが印加される（例えば、特許文献1参照）。

【0010】

チャージポンプ回路35は、電源回路38から入力された電源電圧VDD（例えば12[V]）を、液晶コントローラ30からのソースクロック（SCK）信号の入力タイミングに合わせて昇圧し、電圧GVDD（例えば16[V]）を生成している（例えば、特許文献2参照）。電圧GVDDは、後述のゲートクロック（GCK）信号のクロックタイミングに合わせて、上述したCs配線やゲートドライバ34に印加される。ゲートドライバ34は、TFT11～TFT_{x y}をONにするためのスイッチング電圧として、電圧GVDDを使用する。

【0011】

また、チャージポンプ回路35には、ゲートドライバ34に加え、容量36とツェナーダイオード37も接続されている。容量36は、電圧GVDDが出力される際のノイズ低

10

20

30

40

50

減を目的としたものである。また、ツェナーダイオード 37 は、定電圧の維持や過剰電圧の防止を目的としたものである。

【0012】

液晶コントローラ 30 は、液晶表示パネル 31 を駆動するための各種信号を生成し、これをソースドライバ 33、ゲートドライバ 34、及びチャージポンプ回路 35 に入力する。具体的には、液晶コントローラ 30 は、チャージポンプ回路 35 に、ゲートドライバ 34 をシフト動作させるためのゲートクロック (GCK) 信号を入力し、ゲートドライバ 34 に、シフト動作の開始を指示するゲートスタートパルス (GSP) 信号を入力する。

【0013】

また、液晶コントローラ 30 は、液晶表示装置の電源が投入されると、初期化 (INI) 信号をゲートドライバ 34 に入力して、ゲートドライバ 34 を初期化する。更に、液晶コントローラ 30 は、チャージポンプ回路 35 及びソースドライバ 33 に SCK 信号を入力する。また、液晶コントローラ 30 は、ソースドライバ 33 に、画像表示のためのビデオ (VIDEO) 信号も入力する。

【0014】

次に、図 4 に示した液晶コントローラ 30 が液晶表示パネルに入力する信号及びその入力タイミングについて、図 5 を用いて説明する。図 5 は、図 4 に示した液晶表示パネルに外部から入力される信号を示す図である。なお、図 5 では、液晶表示装置の電源投入時、即ち、電源電圧 VDD が、GND レベルから基準値まで上昇し、液晶表示装置が液晶表示を開始する付近までのみが示されている。

【0015】

図 5 に示すように、先ず、電源回路 38 からの電源電圧 VDD が GND から所定の電圧値まで上昇する際に、液晶コントローラ 30 は、INI 信号を立ち上げる。INI 信号は、ゲートドライバ 34 の初期化などに利用される。また、図 5 において、INI 信号がハイレベルとなっている期間を初期化期間 a とする。初期化期間 a では、ソースドライバ 33 及びゲートドライバ 34 は動作しないため、液晶表示パネル 31 は動作しておらず、液晶表示は行われない。

【0016】

次に、液晶コントローラ 30 は、初期化期間 a の継続中に、SCK 信号を入力し、チャージポンプ回路 35 の駆動を開始する。チャージポンプ回路 35 が駆動されると、電圧 GVDD が立ち上がり、一定時間の経過後に安定したレベル (基準値) に達する。電圧 GVDD の立ち上がりから基準値に達するまでの期間を立ち上がり期間 c とする。また、初期化期間 a において、INI 信号の立ち上がりから電圧 GVDD が基準値に到達するまでの期間を a1、電圧 GVDD が基準値に到達してから初期化期間 a の終了までの期間を a2 とする。

【0017】

液晶コントローラ 30 は、電圧 GVDD が基準値に達し、そのレベルが安定すると、INI を立ち下げ、初期化期間 a を終了する。INI 信号が立ち下がり、ローレベルとなっている期間を期間 b とする。次に、初期化期間 a が終了すると、液晶コントローラ 30 は、ゲートドライバ 34 に GSP 信号を出力してシフト動作を開始させ、更に、ソースドライバ 33 に入力する VIDEO 信号のレベルをハイレベルに切り替える。また、このとき、対向電極駆動回路 39 は、対向電極電圧 VCOM のレベルをハイレベルに切り替え、対向電極を駆動する。この結果、表示領域 2 において所望の画像の表示が開始される。

【0018】

なお、SCK 信号の入力タイミングは、SCK 信号の入力開始から電圧 GVDD が安定したレベルに達するまでの期間 (立ち上がり期間 c に相当する) が、初期化期間 a 中に収まるように設定される。また、初期化期間 a の長さは、立ち上がり期間 c の長さ、即ち、チャージポンプ回路 35 の特性を考慮して設定される。

【0019】

ここで、初期化期間 a における TFT、画素容量 C、補助容量 Cs の動作について図 6

10

20

30

40

50

を用いて説明する。図 6 は、図 4 に示す液晶表示装置の単位画素の一つを拡大して示す図である。図 6 に示すように、画素容量 C に接続されている T F T のドレイン電極と対向電極との間には、画素容量 C によって電荷 Q_1 が蓄積されている。また、T F T のドレイン電極と C_s 配線との間には、補助容量 C_s によって電荷 Q_2 が蓄積されている。

【 0 0 2 0 】

初期期間 a において、T F T は O F F 状態であり、また、対向電極電圧 V_{COM} のレベルは GND であることから、電荷 Q_1 の電荷量は 0 (ゼロ) となる。一方、電荷 Q_2 は、電圧 $GVDD$ の上昇と共に発生する。よって、電荷 Q_2 の電荷量を Q 、画素容量 C の容量を Clc 、補助容量 C_s の容量を Ccs とすると、下記式 (1) が成立する。また、このときの T F T のドレイン電極と対向電極との電位差を V とすると下記式 (2) も成立する 10

【 0 0 2 1 】

【数 1】

$$Q = \left(\frac{Clc \times Ccs}{Clc + Ccs} \right) * GVDD \quad \dots (1)$$

【 0 0 2 2 】

【数 2】

$$V = \frac{Q}{Clc} = \left(\frac{Ccs}{Clc + Ccs} \right) * GVDD \quad \dots (2)$$

20

【 0 0 2 3 】

また、T F T が O F F 状態にあるときは、画素容量 C と補助容量 C_s とは直列に接続された状態にある。よって、電荷 Q_1 の電荷量と電荷 Q_2 の電荷量とは等しくなる。更に、画素容量 C の容量 Clc と補助容量 C_s の容量 Ccs とが等しいとすると、上記式 (2) より、 $V = GVDD / 2$ となる。従って、T F T が O F F 状態にある場合は、T F T のドレイン電極と対向電極との間には電圧 $GVDD$ の半分の電圧が掛かることになる。

【 0 0 2 4 】

30

また、このとき、液晶表示パネルを構成する液晶層として、ノーマリホワイトの T N 液晶を使用している場合は、液晶層に電圧が掛かっているため、表示領域 3 2 の表示は黒くなる。電圧 $GVDD$ の電圧が高いほど、補助容量 C_s の容量 Ccs が大きいほど黒く表示される。

【特許文献 1】特開平 3 - 1 4 9 5 2 0 号公報

【特許文献 1】特開 2 0 0 1 - 1 8 3 7 0 2 公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 2 5 】

しかしながら、チャージポンプ回路 3 5 には、液晶モジュール (液晶表示装置) 毎にバラつきが発生し易いという問題がある。よって、液晶モジュールによっては、図 5 において破線で示すように、立ち上がり期間 c が、設定された初期期間 a 内に収まらない場合がある (図 5 に示す「立ち上がり期間 c' 」)。この結果、対向電極電圧 V_{COM} のレベルが電圧 $GVDD$ のレベルよりも高くなる事態が発生し、液晶表示は行なわれていないにも関わらず、表示領域 3 2 がチラつくという問題が生じてしまう。 40

【 0 0 2 6 】

一方、液晶表示パネルが全透過型である場合は、バックライトの点灯タイミングを後ろにずらし、黒表示によってチラつきをマスクするといった対処が考えられるが、液晶表示パネルが反射型の場合は、このような対処をとることは困難である。また、液晶表示装置が半透過型の場合は、このような対処をとっても、チラつきは視認されてしまう。 50

【 0 0 2 7 】

また、上述のチラつきは、対向電極電圧 V_{COM} のレベルが電圧 G_{VDD} のレベルよりも高くなることが原因であるため、チャージポンプ回路 35 のバラつきの程度を予測した上で、初期化期間 a の長さを予め十分に長く設定するといった対処も考えられる。しかし、バラつきの程度を予測することは難しく、また、このような対処をとった場合は、液晶表示装置の起動時間が必要以上に長くなるという新たな問題が発生してしまう。

【 0 0 2 8 】

本発明の目的は、上記問題を解消し、起動時間の長時間化を抑制しつつ、起動時におけるチラつきを抑制し得る液晶表示装置を提供することにある。

【課題を解決するための手段】

10

【 0 0 2 9 】

上記目的を達成するために本発明における液晶表示装置は、マトリクス状に配置された複数のアクティブ素子を有する液晶表示パネルと、ゲートドライバと、ソースドライバと、電源電圧を昇圧し、昇圧した電圧を前記ゲートドライバに供給する昇圧回路と、前記ソースドライバに映像信号を出力する制御回路と、前記液晶表示パネルの対向電極を駆動する対向電極駆動回路とを備えた液晶表示装置であって、制限回路と、昇圧電圧検知回路とを備え、前記昇圧電圧検知回路は、前記昇圧回路によって昇圧された電圧の電圧値が基準値に到達すると、前記基準値に到達したことを通知する通知信号を前記制限回路へと出力し、前記制限回路は、前記昇圧電圧検知回路が前記通知信号を出力していないときは、前記制御回路による前記映像信号の出力と前記対向電極駆動回路による前記対向電極の駆動とを停止させ、前記昇圧電圧検知回路が前記通知信号を出力すると、前記映像信号の出力と前記対向電極の駆動との停止を解除することを特徴とする。

20

【発明の効果】

【 0 0 3 0 】

以上のように本発明における液晶表示装置においては、電圧 G_{VDD} が基準値に到達したかどうかの検知が行なわれ、電圧 G_{VDD} が基準値に到達する前に、ソースドライバへの映像信号の出力や対向電極の駆動は行なわれない。このため、本発明における液晶表示装置によれば、起動時におけるチラつきの発生が抑制される。また、本発明における液晶表示装置によれば、従来のように、必要以上に初期化時間を長く設定する必要がないため、起動時間の長時間化も抑制できる。

30

【発明を実施するための最良の形態】

【 0 0 3 1 】

本発明における液晶表示装置は、マトリクス状に配置された複数のアクティブ素子を有する液晶表示パネルと、ゲートドライバと、ソースドライバと、電源電圧を昇圧し、昇圧した電圧を前記ゲートドライバに供給する昇圧回路と、前記ソースドライバに映像信号を出力する制御回路と、前記液晶表示パネルの対向電極を駆動する対向電極駆動回路とを備えた液晶表示装置であって、制限回路と、昇圧電圧検知回路とを備え、前記昇圧電圧検知回路は、前記昇圧回路によって昇圧された電圧の電圧値が基準値に到達すると、前記基準値に到達したことを通知する通知信号を前記制限回路へと出力し、前記制限回路は、前記昇圧電圧検知回路が前記通知信号を出力していないときは、前記制御回路による前記映像信号の出力と前記対向電極駆動回路による前記対向電極の駆動とを停止させ、前記昇圧電圧検知回路が前記通知信号を出力すると、前記映像信号の出力と前記対向電極の駆動との停止を解除することを特徴とする。

40

【 0 0 3 2 】

上記本発明における液晶表示装置は、前記制限回路が、前記映像信号を前記ソースドライバに出力するための配線上に設けられたトランジスタ素子と、前記対向電極に前記対向電極駆動回路によって生成された対向電極駆動電圧を出力するための配線上に設けられたトランジスタ素子とを備え、前記昇圧電圧検知回路が、前記昇圧回路によって昇圧された電圧を降下させて、電圧信号を生成し、且つ、前記電圧信号を前記二つのトランジスタ素子のゲートに印加する抵抗分割回路を備え、前記抵抗分割回路は、前記昇圧回路によって

50

昇圧された電圧の電圧値が基準値に到達したときに、前記電圧信号の電圧値が前記トランジスタ素子のスレッシュールド電圧となるように、前記電圧信号を生成する態様とすることができる。この態様によれば、簡単な回路構成によって、昇圧回路によって昇圧された電圧が基準値になるまで映像信号の出力と対向電極の駆動とを停止でき、昇圧回路によって昇圧された電圧が基準値に到達したときは停止を解除できる。

【0033】

上記本発明における液晶表示装置においては、前記複数のアクティブ素子それぞれが、前記液晶表示パネルを構成するアクティブマトリクス基板に、アモルファスシリコンよりも電荷移動度の速いシリコンによって形成され、前記ゲートドライバ、前記ソースドライバ、及び前記昇圧回路が、前記アクティブマトリクス基板にモノリシックに形成されているのが好ましい。この場合は、液晶表示装置の薄型化や額縁部分の狭小化を図ることができる。また、上記本発明における液晶表示装置は、前記液晶表示パネルが、反射型の液晶表示パネルである場合に有用である。

10

【0034】

(実施の形態)

以下、本発明の実施の形態における液晶表示装置について、図1～図3を参照しながら説明する。最初に、本実施の形態における液晶表示装置の全体構成について図1を用いて説明する。図1は、本発明の実施の形態における液晶表示装置の全体構成を示す構成図である。

【0035】

図1に示すように、液晶表示装置は、従来例(図4参照)と同様に、液晶表示パネル1と、ゲートドライバ4と、ソースドライバ3と、昇圧回路(チャージポンプ回路)5と、液晶コントローラ(制御回路)10とを備えている。また、液晶表示装置は、電源電圧VDDを供給する電源回路8と、電源電圧VDDに基づいて対向電極駆動電圧VCOMを生成する対向電極駆動回路9も備えている。

20

【0036】

また、液晶表示パネル1は、実際には、複数のアクティブ素子がマトリクス状に配置されたアクティブマトリクス基板(図示せず)と、複数のカラーフィルタがマトリクス状に配置された対向基板(図示せず)との間で液晶層(図示せず)を挟み込んで構成されている。本実施の形態において、アクティブ素子はTFTである。

30

【0037】

液晶表示パネル1の表示領域2には、従来例と同様に、TFT11～TFTxy、各TFTに対応する複数の画素電極(図示せず)、液晶層(図示せず)、対向基板に形成された複数のカラーフィルタ(図示せず)及び対向電極(図示せず)が設けられている。また、図1においても、図4の例と同様に、C11～Cxyは、各画素電極と、対向電極と、これらの間に存在する液晶層とによって構成される画素容量を示している。TFT11～TFTxy、画素電極、画素容量C11～Cxyは、マトリクス状に配置されている。

【0038】

また、表示領域2には、従来例と同様に、複数本のデータラインDL1～DLx、及び複数本のゲートラインGL1～GLyも設けられている。ゲートラインGL1～GLyは、TFT11～TFTxyのON/OFFを行なうための信号ラインであり、ゲートドライバ4によって駆動されている。データラインDL1～DLxは、TFT11～TFTxyを介して画素容量C11～Cxyに電圧を印加するための信号ラインであり、ソースドライバ3によって駆動されている。

40

【0039】

更に、表示領域2には、従来例と同様に、データ保持のために、TFT11～TFTxyそれぞれに対応する補助容量Cs11～Csxyも設けられている。補助容量Cs11～Csxyは、Cs配線(図示せず)と、画素電極と、これらの間に形成された層間絶縁膜とによって構成されている。また、図1の例においても、従来例と同様に、補助容量Cs11～Csxyには、Cs配線を介して、チャージポンプ回路5によって昇圧された電

50

圧 G V D D が印加されている。

【 0 0 4 0 】

チャージポンプ回路 5 は、従来例と同様に、電源回路 8 から供給される電源電圧 V D D (例えば 1 2 [V]) を昇圧し、昇圧した電圧 (電圧 G V D D (例えば 1 6 [V])) をゲートドライバ 4 に供給する。ゲートドライバ 4 は、T F T 1 1 ~ T F T x y を O N にするためのスイッチング電圧として、電圧 G V D D を使用する。また、チャージポンプ回路 5 は、従来例と同様に、液晶コントローラ 1 0 からのソースクロック (S C K) 信号の入力タイミングに合わせて昇圧を行ない、電圧 G V D D を生成する。更に、チャージポンプ回路 5 は、上述したように C s 配線にも電圧 G V D D を供給する。

【 0 0 4 1 】

また、チャージポンプ回路 5 には、従来例と同様に、ゲートドライバ 4 に加え、容量 6 とツェナーダイオード 7 が接続されている。容量 6 は、図 4 に示した容量 3 6 と同様に、電圧 G V D D が出力される際のノイズ低減を目的としたものである。また、ツェナーダイオード 3 7 も、図 4 に示したツェナーダイオード 3 7 と同様に、定電圧の維持や過剰電圧の防止を目的としたものである。

【 0 0 4 2 】

また、ゲートドライバ 4、ソースドライバ 3、及び昇圧回路 (チャージポンプ回路) 5 は、液晶表示パネル 1 の表示領域 2 の周辺の領域、具体的には、液晶表示パネル 1 を構成するアクティブマトリクス基板上の表示領域の周辺に配置されている。更に、容量 6 及びツェナーダイオードも、従来と同様に、表示領域 2 の周辺の領域に配置されている。

【 0 0 4 3 】

液晶コントローラ 1 0 は、従来例と同様に、液晶表示パネル 1 を駆動するための各種信号を生成し、これをソースドライバ 3、ゲートドライバ 4、及びチャージポンプ回路 5 に入力する。具体的には、液晶コントローラ 1 0 は、チャージポンプ回路 3 5 にゲートクロック (G C K) 信号を入力し、ゲートドライバ 3 4 にゲートスタートパルス (G S P) 信号を入力する。また、液晶コントローラ 1 0 は、液晶表示装置の電源が投入されると、初期化 (I N I) 信号をゲートドライバ 4 に入力して、ゲートドライバ 4 を初期化する。更に、液晶コントローラ 1 0 は、チャージポンプ回路 5 及びソースドライバ 3 に S C K 信号を入力する。

【 0 0 4 4 】

このように、本実施の形態における液晶表示装置は、図 4 に示した従来の液晶表示装置と共通の構成を備えているが、以下の点で従来例と異なっている。図 1 に示すように、本実施の形態では、液晶表示装置は、従来例と異なり、制限回路 1 1 と、昇圧電圧検知回路 1 2 とを備えている。

【 0 0 4 5 】

昇圧電圧検知回路 1 2 は、チャージポンプ回路 5 によって昇圧された電圧 G V D D の電圧値が、図 4 に示したように基準値 (例えば 1 6 [V]) に到達すると、制限回路 1 1 に、電圧 G V D D の電圧値が基準値に到達したことを通知する通知信号 (P R E D Y 信号) を出力する。

【 0 0 4 6 】

また、制限回路 1 1 は、昇圧電圧検知回路 1 2 が P R E D Y 信号を出力していないときは、液晶コントローラ 1 0 による映像 (V I D E O) 信号の出力と、対向電極駆動回路 9 による対向電極の駆動とを停止させる。一方、制限回路 1 1 は、昇圧電圧検知回路 1 2 が P R E D Y 信号を出力すると、V I D E O 信号の出力の停止と対向電極の駆動の停止とを解除する。

【 0 0 4 7 】

本実施の形態においては、昇圧電圧検知回路 1 2 は、配線によって、チャージポンプ回路 5 に接続されており、チャージポンプ回路 5 は、電圧 G V D D を昇圧電圧検知回路 1 2 に入力している。また、対向電極駆動回路 9 が生成した電圧 V C O M は、制限回路 1 1 に入力されており、制限回路 1 1 を介して対向電極に入力される。

10

20

30

40

50

【 0 0 4 8 】

また、本実施の形態では、制限回路 1 1 は、液晶コントローラ 1 0 に備えられており、液晶コントローラ 1 0 の一部を構成している。なお、対向電極の駆動が停止されている場合、本実施の形態では、対向電極駆動電圧 V C O M のレベルは継続して G N D レベルにある。対向電極の駆動の停止が解除されると、ハイレベルの対向電極駆動電圧 V C O M が対向電極に印加される。

【 0 0 4 9 】

ここで、図 2 及び図 3 を用いて、制限回路 1 1 及び昇圧電圧検知回路 1 2 の具体例について説明する。図 2 は、図 1 に示した制限回路の一例を示す回路図である。図 3 は、図 1 に示した昇圧電圧検知回路の一例を示す回路図である。

10

【 0 0 5 0 】

図 2 に示すように、本例では、制限回路 1 1 は、V I D E O 信号の出力配線 2 4 上に設けられたスイッチング素子 2 1 と、電圧 V C O M の出力配線 2 5 上に設けられたスイッチング素子 2 2 と、P R E D Y 信号を入力するための入力端子 2 3 とを備えている。

【 0 0 5 1 】

また、本例では、スイッチング素子 2 1 及び 2 2 としては、例えばトランジスタ素子を用いることができる。スイッチング素子 2 1 及び 2 2 がトランジスタ素子の場合、入力端子 2 3 は、各トランジスタのゲートに接続される。

【 0 0 5 2 】

図 3 に示すように、本例では、昇圧電圧検知回路 1 2 は、抵抗 2 4 と抵抗 2 5 とを直列に接続して構成した抵抗分割回路を備えている。抵抗分割回路によって、チャージポンプ 5 から供給される電圧 G V D D の電圧レベルをスイッチング素子 2 1 及び 2 2 (図 2 参照) に入力できる電圧レベルにまで降下させ、電圧信号を生成する。

20

【 0 0 5 3 】

また、抵抗 2 4 と抵抗 2 5 との間には分岐配線 2 6 が設けられている。分岐配線 2 6 は、制限回路の入力端子 2 3 (図 2 参照) に接続される。よって、分岐配線 2 6 を介して、抵抗分割回路によって得られた電圧信号が制限回路の入力端子 2 3 に入力される。抵抗 2 4 及び抵抗 2 5 の抵抗値は、基準値に達した電圧 G V D D が入力されたときに、入力端子 2 3 に入力される電圧信号の電圧値が、スイッチング素子 2 1 及び 2 2 を構成するトランジスタ素子のスレッシュホールド電圧となるように設定されている。

30

【 0 0 5 4 】

このため、電圧 G V D D が基準値に達すると、昇圧電圧検知回路 1 2 からは、電圧値がスイッチング素子 2 1 及び 2 2 を構成するトランジスタ素子のスレッシュホールド電圧と一致した電圧信号が出力される。この場合、図 2 に示したスイッチング素子 2 1 及び 2 2 は閉状態となる。本例では、電圧値がトランジスタ素子のスレッシュホールド電圧と一致した電圧信号が、P R E D Y 信号となる。

【 0 0 5 5 】

このように、図 2 に示す制限回路 1 1 と図 3 に示す昇圧電圧検知回路 1 2 とによれば、昇圧電圧検知回路 1 2 が P R E D Y 信号を出力していないときは、トランジスタ素子のチャネルが開かないため、V I D E O 信号及び電圧 V C O M は出力されず、停止された状態となる。一方、昇圧電圧検知回路 1 2 が P R E D Y 信号を出力すると、トランジスタ素子のチャネルが開き、V I D E O 信号及び電圧 V C O M の出力停止が解除され、これらは出力される。図 2 及び図 3 に示す例によれば、簡単な回路構成によって、電圧 G V D D が基準値になるまで V I D E O 信号の出力と対向電極の駆動とを停止でき、電圧 G V D D が基準値に到達したときは停止を解除できる。

40

【 0 0 5 6 】

以上のように、本実施の形態における液晶表示装置は、電圧 G V D D が基準値に到達する前において、ソースドライバ 3 への V I D E O 信号の出力と、対向電極の駆動とが停止されている。よって、液晶表示装置の起動時において、表示領域 2 (図 1 参照) にチラつきが発生するのが抑制される。また、従来のように、必要以上に初期化時間 a を長く設定

50

する必要がなく、電圧GVDDに基準値に達すると即座に表示領域2に画像を表示できるため、起動時間の長時間化も抑制できる。

【0057】

本実施の形態において、昇圧電圧検知回路12は、図3に示した例に限定されるものではない。例えば、昇圧電圧検知回路12は、トランジスタ素子を備え、電圧GVDDが基準値に到達したときにのみ、トランジスタ素子のオン・オフによって制限回路11へと信号を出力するものであっても良い。

【0058】

また、本実施の形態においては、PREDY信号が出力されたときに、制限回路11がVIDEO信号及び電圧VCOMを出力するだけでなく、INI信号を立ち下げ、GSP信号の出力を開始する態様とすることもできる。この態様によれば、液晶表示装置の起動時間を確実に短縮化できる。また、予め初期化期間aの長さを設定する手間を省くことができる。

10

【0059】

本実施の形態において、ソースドライバ3、ゲートドライバ4及びチャージポンプ回路5は、液晶表示パネル1を構成するアクティブマトリクス基板にモノリシックに形成することができる。この場合、アクティブマトリクス基板のベース基板（ガラス基板）上に形成されるシリコン膜は、アモルファスシリコンよりも電荷移動度が速いシリコン、例えばポリシリコン、低温ポリシリコン、又はCG（連続粒界結晶）シリコン等であるのが好ましい。更に、この場合は、容量6やツェナーダイオード7もアクティブマトリクス基板にモノリシックに形成することができる。

20

【0060】

アクティブマトリクス基板のベース基板（ガラス基板）上に形成されるシリコン膜が、アモルファスシリコンで形成されている場合は、ソースドライバ3、ゲートドライバ4及びチャージポンプ回路5はICチップによって提供するのが好ましい。この場合、これらのICチップは、アクティブマトリクス基板上に直接実装しても良いし、FPC上やFPCを介して接続された外部基板上に実装しても良い。

【0061】

また、液晶コントローラ10もICチップによって提供することができる。この場合、液晶コントローラ10を構成するICチップも、アクティブマトリクス基板上に直接実装しても良いし、FPC上やFPCを介して接続された外部基板上に実装しても良い。

30

【0062】

なお、本実施の形態において、制限回路11は液晶コントローラ10と分離して配置することもできる。この場合は、制限回路11は、ソースドライバ3等と同様に、アクティブマトリクス基板にモノリシックに形成することができる。また、昇圧電圧検知回路12も、アクティブマトリクス基板にモノリシックに形成することができる。

【0063】

本発明において、液晶表示パネルは透過型、半透過型、反射型のいずれであっても良い。但し、背景技術において述べたように、反射型や半透過型の液晶表示パネルの場合は、バックライトの点灯タイミングによるチラツキの抑制が困難であることから、本発明は、液晶表示パネルが反射型や半透過型である場合に特に有用である。

40

【産業上の利用可能性】

【0064】

以上のように、本発明によれば、液晶表示装置の起動時におけるチラツキを抑制できることから、本発明は液晶表示装置に有用である。本発明における液晶表示装置は、産業上の利用可能性を有するものである。

【図面の簡単な説明】

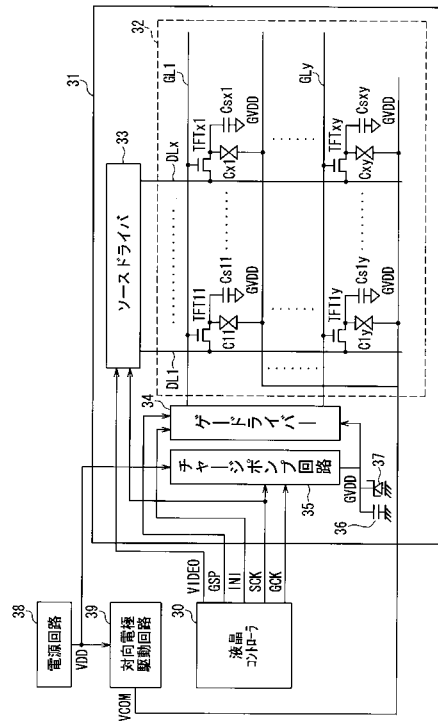
【0065】

【図1】本発明の実施の形態における液晶表示装置の全体構成を示す構成図である。

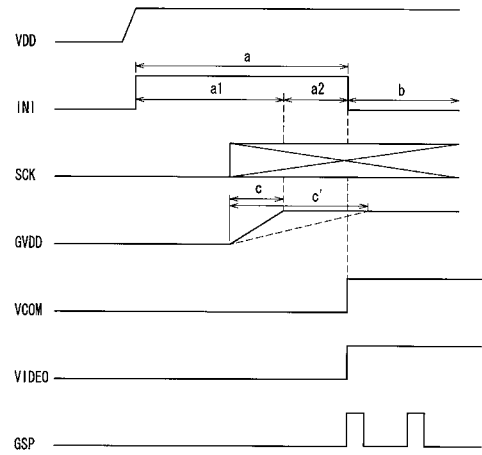
【図2】図1に示した制限回路の一例を示す回路図である。

50

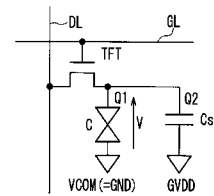
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/20	6 1 2 R
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 7 0 D
G 0 9 G	3/20	6 1 1 E

F ターム(参考) 5C006 AA11 AC11 AC25 AF54 AF67 AF71 BB16 BF46 FA23
5C080 AA10 BB05 DD06 EE29 FF03 FF11 JJ02 JJ03 JJ04

