

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-102173

(P2007-102173A)

(43) 公開日 平成19年4月19日(2007.4.19)

(51) Int.Cl.			F I			テーマコード (参考)
G09G	3/36	(2006.01)	G09G	3/36		2H093
G02F	1/133	(2006.01)	G02F	1/133	505	5C006
G09G	3/20	(2006.01)	G09G	3/20	612K	5C080
			G09G	3/20	612U	
			G09G	3/20	612F	
審査請求 有 請求項の数 26 O L (全 13 頁) 最終頁に続く						

(21) 出願番号	特願2006-163594 (P2006-163594)	(71) 出願人	599127667
(22) 出願日	平成18年6月13日 (2006.6.13)		エルジー フィリップス エルシーディー
(31) 優先権主張番号	10-2005-0092260		カンパニー リミテッド
(32) 優先日	平成17年9月30日 (2005.9.30)		大韓民国 ソウル, ヨンドンポーク,
(33) 優先権主張国	韓国 (KR)		ヨイドードン 20
		(74) 代理人	100057874
			弁理士 曾我 道照
		(74) 代理人	100110423
			弁理士 曾我 道治
		(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
最終頁に続く			

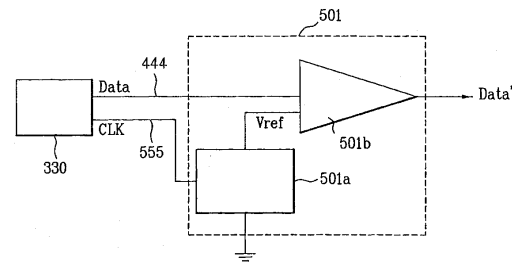
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 比較器の誤動作を防止できる液晶表示装置を提供する。

【解決手段】 画像を表示するためのデジタルデータ信号を出力するとともに、デジタルデータ信号をサンプリングするためのクロック信号を出力するタイミングコントローラ330と、タイミングコントローラ330からクロック信号を受信して基準電圧を生成し、この基準電圧とタイミングコントローラ330からのデジタルデータ信号の大きさを比較し、この比較結果によって、入力されたデジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか1つに変調してデータドライバ集積回路に供給するデータ復元部501とを備える。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

画像を表示するためのデジタルデータ信号を出力するとともに、前記デジタルデータ信号をサンプリングするためのクロック信号を出力するタイミングコントローラと、

前記タイミングコントローラから前記クロック信号を受信して基準電圧を生成し、生成した前記基準電圧と前記タイミングコントローラからの前記デジタルデータ信号の大きさとの比較結果に基づいて、入力された前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか 1 つに変調してデータドライバ集積回路に供給するデータ復元部とを備えることを特徴とする液晶表示装置。

【請求項 2】

前記データ復元部は、

前記クロック信号の第 1 電圧と第 2 電圧との中間値を持つ基準電圧を出力する基準電圧発生部と、

前記基準電圧と前記タイミングコントローラからのデジタルデータ信号の大きさとの比較結果に基づいて、入力された前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか 1 つに変調してデータドライバ集積回路に供給する比較器と

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記タイミングコントローラからの前記デジタルデータ信号を前記比較器に伝送する複数のデータ伝送ラインと、

前記タイミングコントローラからの前記クロック信号を前記基準電圧発生部に伝送するための複数のクロック伝送ラインと

をさらに備えることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記データ伝送ラインと前記クロック伝送ラインは、同じ大きさの抵抗成分及びキャパシタンス成分を有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記比較器は、前記デジタルデータ信号をビットごとに受け取り、各ビットの電圧の大きさを前記基準電圧の大きさと比較することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

前記比較器は、

前記ビットの電圧が前記基準電圧よりも大きい場合には、前記ビットの電圧をあらかじめ設定されたハイレベル電圧に変調して出力し、

前記ビットの電圧が前記基準電圧よりも小さい場合には、前記ビットの電圧をあらかじめ設定されたローレベル電圧に変調して出力する

ことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記ハイレベル電圧は、3.3 Vであることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記ローレベル電圧は、0 Vであることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 9】

前記デジタルデータ信号は、0.6 V～1.5 Vの大きさの電圧レベルを有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記データドライバ集積回路は、

前記タイミングコントローラからの前記クロック信号及びソーススタートパルスを用いてサンプリング信号を発生するシフトレジスタと、

前記サンプリング信号によって前記データ復元部からのデジタルデータ信号をラッチす

10

20

30

40

50

るラッチ部と、

前記ラッチ部によりラッチされた前記デジタルデータ信号をアナログ信号に変換して液晶パネルに供給するデジタルーアナログ変換部と

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 1】

前記データ復元部は、前記データドライバ集積回路に内蔵されたことを特徴とする請求項 1 0 に記載の液晶表示装置。

【請求項 1 2】

前記データドライバ集積回路に基準ガンマ電圧を供給するための基準ガンマ電圧生成部をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 1 3】

前記データドライバ集積回路からのアナログデータ信号を受信して画像を表示する液晶パネルをさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 4】

前記液晶パネルのゲートラインを駆動するための複数のゲートドライバ集積回路をさらに備えることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記ゲートドライバ集積回路が実装されたゲート T C P をさらに備えることを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 6】

20

前記データドライバ集積回路が実装されたデータ T C P をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 7】

前記データ T C P を介して前記液晶パネルに接続された印刷回路基板をさらに備えることを特徴とする請求項 1 6 に記載の液晶表示装置。

【請求項 1 8】

前記タイミングコントローラは、前記印刷回路基板に実装されたことを特徴とする請求項 1 7 に記載の液晶表示装置。

【請求項 1 9】

30

画像を表示するための液晶パネルを有する液晶表示装置の駆動方法において、

画像を表示するためのデジタルデータ信号を出力する段階と、

前記デジタルデータ信号をサンプリングするためのクロック信号を出力する段階と、

前記クロック信号の大きさの中間値を有する基準電圧を生成する段階と、

前記基準電圧と前記デジタルデータ信号の大きさを比較する段階と、

前記比較する段階における比較結果に基づいて前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか 1 つに変調して出力する段階と

を備えることを特徴とする液晶表示装置の駆動方法。

【請求項 2 0】

前記基準電圧は、前記クロック信号の第 1 電圧と第 2 電圧との中間値に対応する電圧値を有することを特徴とする請求項 1 9 に記載の液晶表示装置の駆動方法。

40

【請求項 2 1】

前記クロック信号及びソーススタートパルスを用いてサンプリング信号を発生する段階と、

前記サンプリング信号によって前記デジタルデータ信号をラッチする段階と、

ラッチされた前記デジタルデータ信号をアナログ信号に変換して液晶パネルに供給する段階と

をさらに備えることを特徴とする請求項 1 9 に記載の液晶表示装置の駆動方法。

【請求項 2 2】

前記基準電圧と前記デジタルデータ信号の大きさを比較する段階は、前記デジタルデータ信号をビットごとに受け取り、各ビットの電圧の大きさを前記基準電圧の大きさと比

50

較することを特徴とする請求項 19 に記載の液晶表示装置の駆動方法。

【請求項 23】

前記比較する段階における比較結果に基づいて前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか 1 つに変調して出力する段階は、

前記ビットの電圧が前記基準電圧よりも大きい場合には、前記ビットの電圧をあらかじめ設定されたハイレベル電圧に変調して出力し、

前記ビットの電圧が前記基準電圧よりも小さい場合には、前記ビットの電圧をあらかじめ設定されたローレベル電圧に変調して出力する

ことを特徴とする請求項 22 に記載の液晶表示装置の駆動方法。

【請求項 24】

前記ハイレベル電圧は、3.3Vであることを特徴とする請求項 23 に記載の液晶表示装置の駆動方法。

【請求項 25】

前記ローレベル電圧は、0Vであることを特徴とする請求項 23 に記載の液晶表示装置の駆動方法。

【請求項 26】

前記デジタルデータ信号は、0.6V～1.5Vの大きさの電圧レベルを有することを特徴とする請求項 19 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、比較器の誤動作を防止することができる液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近来、CRT (Cathode Ray Tube) の短所とされる重さと体積を低減できる各種の平板表示装置が台頭してきている。かかる平板表示装置には、液晶表示装置 (Liquid Crystal Display)、電界放出表示装置 (Field Emission Display)、プラズマ表示パネル (Plasma Display Panel) 及び発光表示装置 (Light Emitting Display) などがある。

【0003】

なかでも液晶表示装置は、複数のデータラインと複数のゲートラインとによって定義される領域に複数の液晶セルが配置され、各液晶セルにスイッチング素子である薄膜トランジスタが形成された薄膜トランジスタ基板と、カラーフィルタが形成されたカラーフィルタ基板と、これら両基板間に形成された液晶層とを備える。このような液晶表示装置は、データ信号によって液晶層に電界を形成し、液晶層を通過する光の透過率を調節することによって所望の画像を表示する。

【0004】

図 1 は、従来の液晶表示装置を概略的に示す図である。

従来の液晶表示装置は、図 1 に示すように、 n 個のゲートライン $GL1 \sim GLn$ と m 個のデータライン $DL1 \sim Dm$ とによって定義される液晶セルを含む液晶パネル 110 と、データライン $DL1 \sim Dm$ にアナログデータ信号を供給するデータドライバ 140 と、ゲートライン $GL1 \sim GLn$ にスキャンパルス进行供給するゲートドライバ 150 と、外部から入力されるデジタルデータ信号 $Data$ を、液晶パネル 110 の駆動に合わせて整列してデータドライバ 140 に供給するとともに、データドライバ 140 とゲートドライバ 150 を制御するタイミングコントローラ 130 とを備える。

【0005】

液晶パネル 110 は、 n 個のゲートライン $GL1 \sim GLn$ と m 個のデータライン $DL1 \sim Dm$ とによって定義される領域に形成された薄膜トランジスタ TFT と、薄膜トランジスタ TFT に接続される液晶セルとを備える。薄膜トランジスタ TFT は、ゲートライン $GL1 \sim GLn$ からのスキャンパルスに応答して、データライン $DL1 \sim Dm$ からの

10

20

30

40

50

データ信号を液晶セルに供給する。液晶セルは、液晶を間において対向する共通電極と薄膜トランジスタTFTに接続されたサブピクセル電極とで構成され、等価的に液晶キャパシタC_{lc}で表すことができる。このような液晶セルは、液晶キャパシタC_{lc}に充電されたデータ信号を、次のデータ信号が充電されるまで維持させるために、前段ゲートラインに接続されたストレージキャパシタC_{st}を備える。

【0006】

タイミングコントローラ130は、外部から供給されるデジタルデータ信号Dataを、液晶パネル110の駆動に合わせて整列してデータドライバ140に供給する。また、タイミングコントローラ130は、外部から入力されるメインクロックMCLK、データイネーブル信号DE、水平同期信号Hsync及び垂直同期信号Vsyncを用いて、データ制御信号DCSとゲート制御信号GCSをそれぞれ生成し、データドライバ140とゲートドライバ150のそれぞれの駆動タイミングを制御する。

10

【0007】

ゲートドライバ150は、タイミングコントローラ130からのゲート制御信号GCSにตอบสนองしてスキャンパルス、すなわち、ゲートハイパルスを順次発生するシフトレジスタを含む。このため、ゲートドライバ150は、シフトレジスタを有する複数のゲートドライバ集積回路を備える。

【0008】

データドライバ140は、液晶パネル110のデータラインDLのそれぞれにアナログデータ信号を供給する複数のデータドライバ集積回路を備える。

20

【0009】

各データドライバ集積回路は、タイミングコントローラ130から供給されるデータ制御信号DCSによって、タイミングコントローラ130からの整列されたデジタルデータ信号Dataをアナログデータ信号に変換し、ゲートラインGL1～GL_nにスキャンパルスが供給される1水平周期ごとに1水平ライン分のアナログデータ信号を、データラインDL1～DL_mに供給する。すなわち、各データドライバ集積回路は、データ信号Dataの階調数に対応する相異なる電圧値を持つ複数のガンマ電圧を生成し、デジタルデータ信号Dataの階調値によって1つのガンマ電圧を上記アナログデータ信号として選択して、データラインDL1～DL_mに供給する。

【0010】

このような従来の液晶表示装置の駆動装置は、CMOSインターフェース方式によって、タイミングコントローラ130で外部からのデジタルソースデータDataをTTL/CMOS (Transistor-Transistor Logic/Complementary Metal Oxide Semiconductor) レベルに変換し、変換されたデジタルデータ信号Dataを1ポート対1ポート、または1ポート対2ポート方式でデータドライバ140に並列伝送する。

30

【0011】

一方、タイミングコントローラ130から出力されるデジタルデータ信号Dataの大きさは、約0.6～1.5Vである。このようにタイミングコントローラ130は、デジタルデータ信号Dataの大きさを、通常の3.3Vではなく、それより低い電圧レベルに下げることによって、デジタルデータ信号Dataを100MHz以上の高速で伝送可能である。また、タイミングコントローラ130は、デジタルデータ信号Dataの電圧レベルを下げることによって、デジタルデータ信号Dataがデータ伝送ラインを通る際に発生するEMI (Electromagnetic Interference) の大きさも減らすことができる。

40

【0012】

このようにタイミングコントローラ130から出力されたデジタルデータ信号Dataは、各データドライバ集積回路に供給され、このときに、各データドライバ集積回路は、自分に供給されたデジタルデータ信号Dataの電圧レベルを3.3Vの大きさに復元する。このため、各データドライバ集積回路は、0.6～1.5Vの電圧レベルを持つデジタルデータ信号Dataを元の3.3Vの大きさに復元させるデータ復元部を備える。

【0013】

50

このデータ復元部について、より具体的に説明すると、次の通りである。

【0014】

図2は、図1の各データドライバ集積回路に備えられたデータ復元部を示す図である。

【0015】

データ復元部201は、図2に示すように、基準電圧 V_{ref} を発生する基準電圧発生部201aと、基準電圧発生部201aから提供された基準電圧 V_{ref} の大きさと、タイミングコントローラ130から提供されたデジタルデータ信号 $Data$ の大きさとを比較し、この比較結果によってハイ論理のデジタルデータ信号 $Data$ 及びロー論理のデジタルデータ信号 $Data$ のいずれかを選択して出力する比較器201bとを備える。

【0016】

すなわち、比較器201bは、データ伝送ライン222から供給されるデジタルデータ信号 $Data$ をビットごとに受け取り、この入力された各ビットに該当する電圧を、基準電圧 V_{ref} と比較する。比較の結果、当該ビットの電圧が基準電圧 V_{ref} よりも大きい場合（すなわち、当該ビットがハイ論理のデジタルデータ値を持つ場合）には、当該ビットの電圧をあらかじめ設定されたハイレベル電圧として出力する。また、当該ビットの電圧が基準電圧 V_{ref} よりも小さい場合（すなわち、当該ビットがロー論理のデジタルデータ値を持つ場合）には、当該ビットの電圧をあらかじめ設定されたローレベル電圧として出力する。

【0017】

上述したように、ハイレベル電圧の大きさは、3.3Vである。そして、ローレベル電圧の大きさは0Vである。したがって、デジタルデータ信号 $Data$ は、比較器201bを通過しながら各ビットの大きさが元の電圧レベル3.3Vに復元されたデジタルデータ信号 $Data'$ に変換される。

【発明の開示】

【発明が解決しようとする課題】

【0018】

このような比較器201bが高精度に動作するためには、比較器201bに入力される基準電圧 V_{ref} の大きさが、タイミングコントローラ130から出力されたデジタルデータ信号 $Data$ の中間値に該当する電圧に維持されなければならない。すなわち、基準電圧 V_{ref} は、ハイ論理のデジタルデータ値を持つビットと、ロー論理のデジタルデータ値を持つビットとの中間値を持っているべきである。このように、基準電圧 V_{ref} が上述の大きさに維持されないと、比較器201bは誤動作してしまう。

【0019】

一方、タイミングコントローラ130から出力されたデジタルデータ信号 $Data$ は、データ伝送ライン222を通過しながら該データ伝送ライン222の抵抗及びキャパシタンス成分によって歪んでしまう。したがって、デジタルデータ信号 $Data$ の各ビットの電圧が所望の大きさよりも小さくなるか、または、大きくなる。このように、デジタルデータ信号 $Data$ の大きさが変化すると、前述したように、基準電圧 V_{ref} の大きさは固定されているため、基準電圧 V_{ref} は、デジタルデータ信号 $Data$ の中間値に該当する値を持つことができなくなる。その結果、比較器201bは、誤動作を起こすことになる。

【0020】

本発明は、上記の問題点を解決するためのもので、その目的は、デジタルデータ信号をサンプリングするためのクロック信号に基づいて基準電圧の大きさを継続して変化させることによって、該基準電圧の大きさを常にデジタルデータ信号の中間値に維持することができる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0021】

前記のような目的を達成するために、本発明に係る液晶表示装置は、画像を表示するためのデジタルデータ信号を出力するとともに、前記デジタルデータ信号をサンプリングす

10

20

30

40

50

るためのクロック信号を出力するタイミングコントローラと、前記タイミングコントローラから前記クロック信号を受信して基準電圧を生成し、生成した前記基準電圧と前記タイミングコントローラからの前記デジタルデータ信号の大きさとの比較結果に基づいて、入力された前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか1つに変調してデータドライバ集積回路に供給するデータ復元部とを備えることを特徴とする。

【0022】

また、上記の目的を達成するために、本発明に係る液晶表示装置の駆動方法は、画像を表示するための液晶パネルを有する液晶表示装置の駆動方法において、画像を表示するためのデジタルデータ信号を出力する段階と、前記デジタルデータ信号をサンプリングするためのクロック信号を出力する段階と、前記クロック信号の大きさの中間値を有する基準電圧を生成する段階と、前記基準電圧と前記デジタルデータ信号の大きさを比較する段階と、前記比較する段階における比較結果に基づいて、前記デジタルデータ信号の大きさをあらかじめ設定された電圧のいずれか1つに変調して出力する段階とを備えることを特徴とする。

10

【発明の効果】

【0023】

本発明に係る液晶表示装置に備えられた基準電圧発生部は、クロック信号の大きさを読み取り、この読み取った結果に基づいて基準電圧の大きさを変動させて出力するが、この際、クロック信号の変化は、デジタルデータ信号の変化を反映するので、出力する基準電圧を、デジタルデータ信号の大きさによって流動的に変化させることができ、この結果、デジタルデータ信号の大きさが歪んだ場合にも、基準電圧を常にデジタルデータ信号の中間値に維持することができ、基準電圧が供給される比較器の誤動作を防止することが可能になる。

20

【発明を実施するための最良の形態】

【0024】

以下、添付の図面を参照して、本発明に係る液晶表示装置の好適な実施の形態について詳細に説明する。

【0025】

図3は、本発明の実施の形態による液晶表示装置を示す図である。

【0026】

本発明の実施の形態による液晶表示装置は、図3に示すように、画像を表示する表示部312を有する液晶パネル310と、液晶パネル310にスキャンパルスを供給する複数のゲートドライバ集積回路350と、液晶パネル310にアナログデータ信号を供給する複数のデータドライバ集積回路340と、外部から入力されるデジタルデータ信号Dataを液晶パネル310の駆動に合わせて整列して各データドライバ集積回路340に供給するとともに、各データドライバ集積回路340と各ゲートドライバ集積回路350を制御するタイミングコントローラ330とを備える。

30

【0027】

また、本発明の実施の形態による液晶表示装置は、タイミングコントローラ330及び電源回路（図示せず）が実装された印刷回路基板320と、各データドライバ集積回路340が実装され、印刷回路基板320と液晶パネル310との間に付着される複数のデータTCP（Tape Carrier package）341と、各ゲートドライバ集積回路350が実装され、液晶パネル310に付着される複数のゲートTCP351とをさらに備える。

40

【0028】

液晶パネル310は、マトリクス状に形成された液晶セルLCの光透過率を調節して画像を表示する。各液晶セルLCは、ゲートラインGLとデータラインDLとの交差点に接続されたスイッチング素子である薄膜トランジスタTFTを備える。データラインDLは、各データドライバ集積回路340からアナログデータ信号が供給される。

【0029】

各データTCP341は、TAB（Tape Automated Bonding）方式によって印刷回路基

50

板 3 2 0 と液晶パネル 3 1 0 との間に付着される。ここで、各データ T C P 3 4 1 の入力パッドは、印刷回路基板 3 2 0 に電氣的に接続され、出力パッドは、液晶パネル 3 1 0 のデータパッドに電氣的に接続される。このような各データ T C P 3 4 1 上には、データドライバ集積回路 3 4 0 が実装される。

【0030】

各ゲート T C P 3 5 1 は、T A B 方式で液晶パネル 3 1 0 のゲートパッドに電氣的に接続される。このような各ゲート T C P 3 5 1 上には、ゲートドライバ集積回路 3 5 0 が実装される。

【0031】

印刷回路基板 3 2 0 には、タイミングコントローラ 3 3 0、電源回路、及び各データドライバ集積回路 3 4 0 に基準ガンマ電圧を供給するための基準ガンマ電圧生成部（図示せず）などが実装される。また、印刷回路基板 3 2 0 には、各構成要素間を電氣的に接続する信号配線（図示せず）が形成される。 10

【0032】

タイミングコントローラ 3 3 0 は、ユーザーコネクタ（図示せず）を介して外部から入力されるメインクロック M C L K、データイネーブル信号 D E、水平同期信号 H s y n c 及び垂直同期信号 V s y n c を用いてデータ制御信号 D C S とゲート制御信号 G C S を生成し、これらの制御信号によって各データドライバ集積回路 3 4 0 と各ゲートドライバ集積回路 3 5 0 の駆動タイミングを制御する。

【0033】

次に、タイミングコントローラ 3 3 0 とデータドライバ集積回路 3 4 0 との間の連結関係について、より具体的に説明する。 20

【0034】

図 4 は、図 3 のタイミングコントローラとデータドライバ集積回路との間の結合関係を示す図である。

【0035】

図 4 に示すように、タイミングコントローラ 3 3 0 と各データドライバ集積回路 3 4 0 とは、複数のデータ伝送ライン 4 4 4 及び複数の制御信号伝送ライン 4 2 4 を介して接続される。ここで、複数の制御信号伝送ライン 4 2 4 は、デジタルデータ信号 D a t a をサンプリングする時に必要なクロック信号を伝送するクロック伝送ラインを含む。 30

【0036】

これにより、各データドライバ集積回路 3 4 0 は、複数の制御信号伝送ライン 4 2 4 を介してタイミングコントローラ 3 3 0 から供給されるデータ制御信号 D C S によって、順次駆動される。この際、各データドライバ集積回路 3 4 0 は、複数のデータ伝送ライン 4 4 4 を介してタイミングコントローラ 3 3 0 からデジタルデータ信号 D a t a を受信する。そして、各データドライバ集積回路 3 4 0 は、自分に供給されたデジタルデータ信号 D a t a をアナログ信号に変換して液晶パネル 3 1 0 のデータライン D L に供給する。

【0037】

一方、タイミングコントローラ 3 3 0 から出力されるデジタルデータ信号 D a t a の大きさは、約 0.6 ~ 1.5 V である。このように、タイミングコントローラ 3 3 0 は、デジタルデータ信号 D a t a の大きさを、通常の 3.3 V ではなく、それより低い電圧のレベルに下げることによって、デジタルデータ信号 D a t a を 100 M H z 以上の高速で伝送可能である。また、タイミングコントローラ 3 3 0 は、デジタルデータ信号 D a t a の電圧レベルを下げるることによって、デジタルデータ信号 D a t a がデータ伝送ライン 4 4 4 を通る際に発生する E M I (Electromagnetic Interference) の大きさも減らすことができる。 40

【0038】

このように、タイミングコントローラ 3 3 0 から出力されたデジタルデータ信号 D a t a は、各データドライバ集積回路 3 4 0 に供給されるが、このとき、各データドライバ集積回路 3 4 0 は、自分に供給されたデジタルデータ信号 D a t a の電圧レベルを 3.3 V 50

の大きさに復元する。このため、各データドライバ集積回路 340 は、0.6～1.5 V の電圧レベルを持つデジタルデータ信号 Data を、元の 3.3 V の大きさに復元させるデータ復元部を備える。

【0039】

このデータ復元部について、より具体的に説明すると、次の通りである。

【0040】

図 5 は、図 3 の各データ集積回路に備えられたデータ復元部を示す図である。

【0041】

データ復元部 501 は、図 5 に示すように、基準電圧発生部 501a と、比較器 501b とを備える。基準電圧発生部 501a は、タイミングコントローラ 330 からクロック信号 CLK を受け取り、このクロック信号 CLK のハイ論理電圧とロー論理電圧との中間値を基準電圧 Vref として出力する。そして、比較器 501b は、基準電圧発生部 501a からの基準電圧 Vref と、タイミングコントローラ 330 からのデジタルデータ信号 Data との大きさを比較し、この比較結果によってハイレベルの電圧またはローレベルの電圧のいずれかを選択して出力する。 10

【0042】

すなわち、比較器 501b は、データ伝送ライン 444 から供給されるデジタルデータ信号 Data をビットごとに受信し、この受信した各ビットに該当する電圧を基準電圧 Vref と比較する。比較の結果、当該ビットの電圧が基準電圧 Vref よりも大きい場合（すなわち、当該ビットがハイ論理電圧を有する場合）には、当該ビットの電圧をあらかじめ設定されたハイレベル電圧として出力する。また、当該ビットの電圧が基準電圧 Vref よりも小さい場合（すなわち、当該ビットがロー論理電圧を有する場合）には、当該ビットの電圧をあらかじめ設定されたローレベル電圧として出力する。 20

【0043】

ここで、ハイレベル電圧の大きさは、前述したように、3.3 V である。そして、ローレベル電圧の大きさは 0 V である。したがって、当該デジタルデータ信号 Data は、比較器 501b を通過しながら各ビットの大きさが元の電圧レベル 3.3 V に復元されたデジタルデータ信号 Data' に変換される。

【0044】

一方、上述した如く、タイミングコントローラ 330 から出力されたデジタルデータ信号 Data は、データ伝送ライン 444 を通過しながらデータ伝送ライン 444 の抵抗及びキャパシタンス成分によって歪んでしまう。このため、デジタルデータ信号 Data の各ビットの電圧が、所望の大きさよりも小さくなるか、または、大きくなることがある。 30

【0045】

このようなデジタルデータ信号 Data の歪みによる比較器 501b の誤動作を防止すべく、本発明では、基準電圧 Vref を歪みに応じて変化させる。これを、図 6 に基づいて、具体的に説明する。

【0046】

図 6 は、図 5 の基準電圧発生部から出力される基準電圧の波形を示す図である。

【0047】

まず、当該デジタルデータ信号 Data の大きさと、当該クロック信号 CLK の大きさは同一である。すなわち、当該デジタルデータ信号 Data でハイ論理電圧を表すビットの電圧の大きさと、当該クロック信号 CLK でハイ論理電圧を表すビットの電圧の大きさは同一である。さらに、当該デジタルデータ信号 Data でロー論理電圧を表すビットの電圧の大きさと、当該クロック信号 CLK でロー論理電圧を表すビットの電圧の大きさも同一である。 40

【0048】

一方、各データ伝送ライン 444 と各クロック伝送ライン 555 の長さは、略同一であり、また、互いに隣接するように配列されているため、各データ伝送ライン 444 に沿って伝送されるデジタルデータ信号 Data と、各クロック伝送ライン 555 に沿って伝送 50

されるクロック信号C L Kとは、略同じ抵抗成分及びキャパシタンス成分によって歪む。すなわち、当該デジタルデータ信号D a t aのピーク間電圧の変化と当該クロック信号C L Kのピーク間電圧の変化は、略同一である。したがって、クロック信号C L Kの変化がわかると、デジタルデータ信号D a t aの変化も間接的にわかる。

【0049】

本発明の基準電圧発生部501aは、クロック信号C L Kを受信して周期的にそのクロック信号C L Kの大きさを感知する。すなわち、基準電圧発生部501aは、当該クロック信号C L Kのハイ論理電圧およびロー論理電圧の大きさを読み取り、読み取られた結果によってハイ論理電圧とロー論理電圧との中間値を持つ基準電圧V r e fを発生する。したがって、当該クロック信号C L Kの大きさが変化しても、図6に示すように、基準電圧発生部501aから発生した基準電圧V r e fは、常にクロック信号C L Kのハイ論理電圧とロー論理電圧との中間値を持つようになる。

10

【0050】

上述の如く、クロック信号C L Kの変化は、結果的には、デジタルデータ信号D a t aの変化がそのまま反映されたものであり、基準電圧V r e fは、常にデジタルデータ信号D a t aのハイ論理電圧とロー論理電圧との中間値を表すようになる。

【0051】

一方、各データドライバ集積回路340は、データ復元部501の他に、次のような構成要素をさらに備える。

【0052】

20

図7は、図3の各データ集積回路の詳細構成図である。

【0053】

各データドライバ集積回路340は、図7に示すように、上述したデータ復元部501と、シフトレジスタ700と、第1ラッチ730と、第2ラッチ740と、デジタルアナログ変換器750とを備える。ここで、シフトレジスタ700は、タイミングコントローラ330からのデータ制御信号D C Sの中に含まれているクロック信号C L K及びソーススタートパルスS S Pを用いて、サンプリング信号を生成する。第1ラッチ730は、当該サンプリング信号によってデータ復元部501から供給される1ライン分のデジタルデータ信号D a t aを順次サンプリングする。第2ラッチ740は、データ制御信号D C Sの中に含まれているソース出力イネーブル信号S O Eに従って、第1ラッチ730でサンプリングされた1ライン分のデジタルデータ信号D a t aを同時に出力する。デジタルアナログ変換器750は、第2ラッチ740から供給される1ライン分のデジタルデータ信号D a t aをアナログデータ信号に変換し、液晶パネル310の各データラインD L 1～D L mに供給する。

30

【図面の簡単な説明】

【0054】

【図1】従来の液晶表示装置を概略的に示す図である。

【図2】図1の各データドライバ集積回路に備えられたデータ復元部を示す図である。

【図3】本発明の実施の形態による液晶表示装置を示す図である。

【図4】図3のタイミングコントローラとデータドライバ集積回路との間の結合関係を示す図である。

40

【図5】図3の各データ集積回路に備えられたデータ復元部を示す図である。

【図6】図5の基準電圧発生部から出力される基準電圧の波形を示す図である。

【図7】図3の各データ集積回路の詳細構成図である。

【符号の説明】

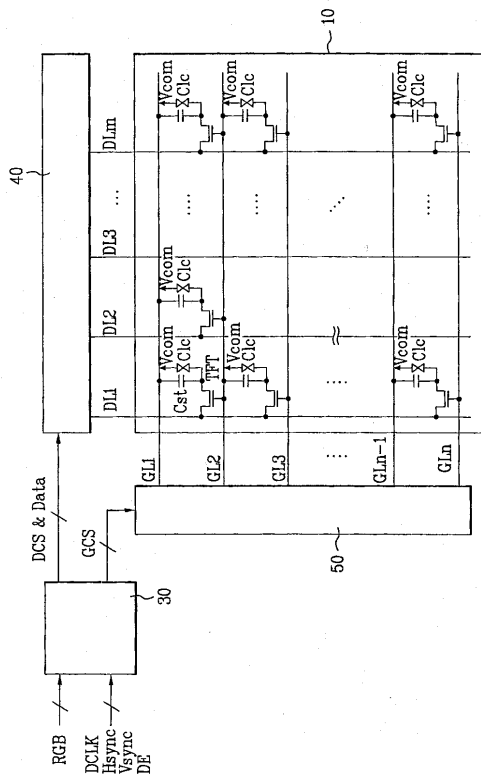
【0055】

310 液晶パネル、312 表示部、320 印刷回路基板、330 タイミングコントローラ、340 データドライバ集積回路、350 ゲートドライバ集積回路、424 制御信号伝送ライン、444 データ伝送ライン、501 データ復元部、501a 基準電圧発生部、501b 比較器、555 クロック伝送ライン、700 シフトレ

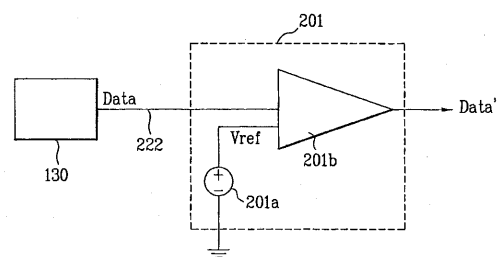
50

ジスタ、730 第1ラッチ、740 第2ラッチ、750 デジタルーアナログ変換器
。

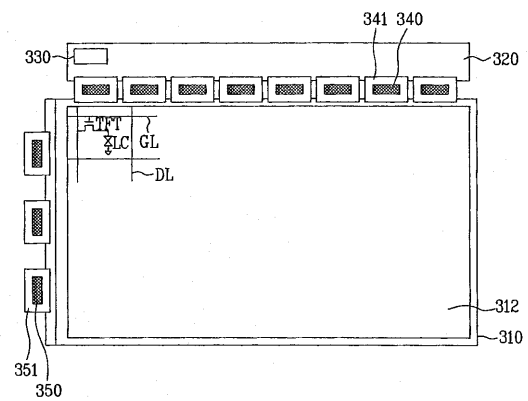
【図1】



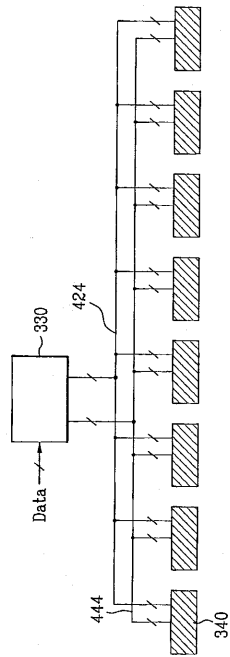
【図2】



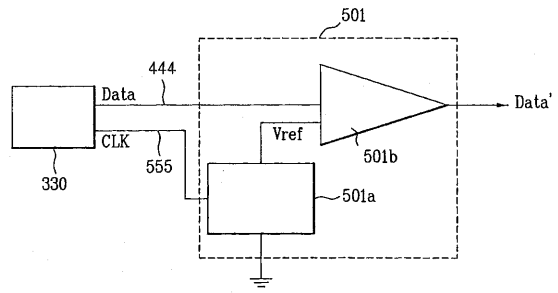
【図3】



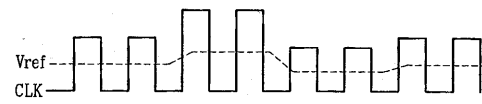
【図 4】



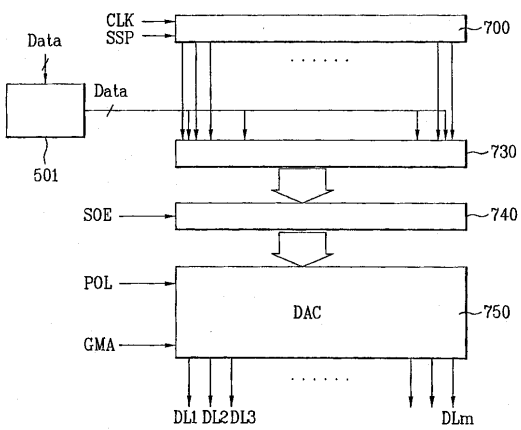
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 3 3 B
G 0 9 G	3/20	6 7 0 E

(72)発明者 金 鐘勳

大韓民国京畿道軍浦市山本洞サンボン・サイバーテル 9 1 0

Fターム(参考) 2H093 NA16 NC10 NC12 NC21 NC25 NC34 NC35 NC90 ND40 ND48
 ND60
 5C006 AC11 AC21 AF43 AF44 AF51 AF71 BB16 BC06 BC12 BC16
 BF14 FA14 FA37 GA02
 5C080 AA10 BB05 DD09 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2007102173A	公开(公告)日	2007-04-19
申请号	JP2006163594	申请日	2006-06-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	金鐘勳		
发明人	金 鐘勳		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2310/027 G09G2320/0223 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.K G09G3/20.612.U G09G3/20.612.F G09G3/20.623.H G09G3/20.623.G G09G3/20.623.F G09G3/20.641.Q G09G3/20.622.A G09G3/20.621.M G09G3/20.680.G G09G3/20.611.J G09G3/20.633.B G09G3/20.670.E		
F-TERM分类号	2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC25 2H093/NC34 2H093/NC35 2H093/NC90 2H093/ND40 2H093/ND48 2H093/ND60 5C006/AC11 5C006/AC21 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BF14 5C006/FA14 5C006/FA37 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD09 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZF22 2H193/ZF36		
代理人(译)	英年古河 Kajinami秩序		
优先权	1020050092260 2005-09-30 KR		
其他公开文献	JP5026744B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止比较器故障的液晶显示装置。解决方案：液晶显示装置包括：定时控制器330，用于输出数字数据信号以显示图像；时钟信号，用于对数字数据信号进行采样；以及数据恢复器501，用于通过从定时接收时钟信号来产生参考电压。控制器330，将从时序控制器330输出的数字数据信号的电压电平与参考电压进行比较，将输入数字数据信号的电压电平调制为预设电压之一，并将转换后的电压电平提供给集成的数据驱动器电路。

