

【特許請求の範囲】**【請求項 1】**

ディスプレイの画素への画素信号であり、フレーム期間中に初期電圧を有する画素信号を制御する方法であって、

前記フレーム期間中に、前記画素信号を初期電圧からその初期電圧よりも高い中間電圧へと昇圧する工程と、

所定期間に亘って前記画素信号を前記中間電圧に維持する工程と、

前記所定期間後の前記フレーム期間中に、前記画素信号を前記中間電圧から前記中間電圧よりも高い目標電圧へと昇圧する工程と、

を備える画素信号の制御方法。

10

【請求項 2】

前記画素には、液晶分子の異常スイッチングを引き起こす電圧昇圧幅を規定する逆行バイアス電圧が定められており、

前記画素信号を初期電圧から中間電圧へと昇圧する工程では、電圧昇圧幅が前記逆行バイアス電圧よりも小さく制限されることを特徴とする請求項 1 の制御方法。

【請求項 3】

前記画素信号を中間電圧から目標電圧へと昇圧する工程は、前記初期電圧よりも前記逆行バイアス電圧だけ高い目標電圧へと画素信号を昇圧する工程を含むことを特徴とする請求項 2 の制御方法。

【請求項 4】

20

前記画素信号を所定期間に亘って中間電圧に維持する工程は、前記所定期間に亘って画素信号を一定の中間電圧に維持する工程を含むことを特徴とする請求項 1 の制御方法。

【請求項 5】

前記フレーム期間中に現画像データを入力する工程と、

その現画像データに基づいて、画素信号を前記中間電圧へと昇圧する補償画像データを生成する工程と、

をさらに備える請求項 1 の制御方法。

【請求項 6】

先のフレーム期間中に先の画像データを入力する工程をさらに備え、

前記補償画像データが、現画像データと先の画像データとの比較に基づいて生成されることを特徴とする請求項 5 の制御方法。

30

【請求項 7】

前記補償画像データは、前記現画像データによって特定される画素のグレースケールが、前記先の画像データによって特定される画素のグレースケールよりも、所定のグレースケール差を超えて大きいときに生成されることを特徴とする請求項 6 の制御方法。

【請求項 8】

前記画素信号を目標電圧へ昇圧する前に前記所定期間に亘って画素信号を中間電圧に維持する工程により、前記画素の液晶分子が異常スイッチングする確率が低減されることを特徴とする請求項 1 の制御方法。

【請求項 9】

40

前記画素信号を中間電圧へと昇圧した時点から前記所定期間後に、前記画素信号を中間電圧から目標電圧よりも高い過駆動電圧へと昇圧する工程と、

前記画素信号を過駆動電圧へと昇圧した時点から第 2 の所定期間後に、前記画素信号を前記過駆動電圧から前記目標電圧へと低下させる工程と、

をさらに備える請求項 1 の制御方法。

【請求項 10】

前記画素信号を中間電圧から目標電圧へと昇圧する工程が続いて行われる、前記画素信号を初期電圧から中間電圧へと昇圧する工程は、前記画素に対する多段駆動技術の一部をなしており、

その多段駆動技術は、前記目標電圧が前記初期電圧よりも所定電圧差を超えて高いとき

50

に実行されることを特徴とする請求項 1 の制御方法。

【請求項 1 1】

後続フレーム期間の初期電圧と後続フレーム期間の目標電圧との差が前記所定電圧差未満であることを検出したときに、後続フレーム期間において画素に過駆動技術を実行する工程をさらに備えており、その過駆動技術を実行する工程は、

後続フレーム期間における画素への画素信号を、後続フレーム期間の前記初期電圧から後続フレーム期間の目標電圧よりも高い過駆動電圧へと昇圧する工程と、

所定期間後の後続フレーム期間中に、画素への画素信号を前記過駆動電圧から前記目標電圧へと低下させる工程と、

を備えることを特徴とする請求項 1 0 の制御方法。

10

【請求項 1 2】

システムであって、

画素列を有する表示パネルと、

補償装置を備え、その補償装置は、

第 1 のフレーム期間中に画像データを入力する処理と、

入力した画像データを先のフレーム期間中に入力した画像データと比較する処理と、

前記画素列の所定の画素について、第 1 のフレーム期間中に入力した画像データと先のフレーム期間中に入力した画像データとの間の差異が所定の閾値を超えているのか否かを判定する処理と、

前記所定の画素に関する前記差異が前記所定の閾値を超えていると判定したときに前記第 1 のフレーム期間中に補償画像データを出力する処理を実行し、

20

前記第 1 のフレーム期間中の前記補償画像データは、前記所定の画素に関して先のフレーム期間中に入力した画像データとの差異を低減したものであることを特徴とするシステム。

【請求項 1 3】

前記補償装置は、前記第 1 のフレーム期間中に前記補償画像データと前記受信画像データの両者を出力し、前記所定の画素への画素信号を多段駆動するものであり、その多段駆動では、

前記第 1 のフレーム期間中に、前記画素信号を初期電圧から中間電圧へと昇圧する工程と、

30

所定期間に亘って前記画素信号を前記中間電圧に維持する工程と、

前記所定期間後の前記第 1 のフレーム期間中に、前記画素信号を前記中間電圧からその中間電圧よりも高い目標電圧へと昇圧する工程と、

が実施されることを特徴とする請求項 1 2 のシステム。

【請求項 1 4】

前記所定の画素には、逆行バイアス電圧が定められており、

前記目標電圧は、逆行バイアス電圧よりも大きな差を持って、前記初期電圧よりも高いことを特徴とする請求項 1 3 のシステム。

【請求項 1 5】

前記所定の画素には、液晶分子の異常スイッチングを引き起こす電圧昇圧幅を規定する逆行バイアス電圧が定められていることを特徴とする請求項 1 4 のシステム。

40

【請求項 1 6】

前記補償装置と前記表示パネルとを有する表示モジュールをさらに備え、

その表示モジュールがさらに前記表示パネルのデータ線路を駆動するデータ駆動器を有しており、

そのデータ駆動器が、前記補償装置が出力する前記補償画像データと前記受信画像データに基づいて、前記多段駆動を実行することを特徴とする請求項 1 3 のシステム。

【請求項 1 7】

前記補償装置を有するシステム回路基板と、

前記表示パネルと前記表示パネルのデータ線路を駆動するデータ駆動器とを有する表示

50

モジュールとをさらに備え、

そのデータ駆動器が、前記補償装置が出力する前記補償画像データと前記受信画像データに基づいて、前記多段駆動を実行することを特徴とする請求項 13 のシステム。

【請求項 18】

出力端に前記補償装置が接続されている M P E G デコーダと、

入力端に前記補償装置が接続されているディスプレイカードと、

前記表示パネルと前記表示パネルのデータ線路を駆動するデータ駆動器を有する表示モジュールとをさらに備え、

そのデータ駆動器が、前記補償装置が出力する前記補償画像データと前記受信画像データに基づいて、前記多段駆動を実行することを特徴とする請求項 13 のシステム。

10

【請求項 19】

前記補償装置は、前記画素列内の第 2 の画素への画素信号を過駆動する信号を出力し、その画素信号の過駆動は、

前記画素信号を第 1 の電圧からその第 1 の電圧よりも高い過駆動電圧へと昇圧する工程と、

前記画素信号を前記過駆動電圧から前記過駆動電圧よりも低い第 2 の電圧へと低下させる工程と、

を備えることを特徴とする請求項 13 のシステム。

【請求項 20】

画素列を有する表示パネルと共に用いる装置であって、

20

先のフレーム期間中に入力した第 1 の画像データを記憶する記憶装置と、

モジュールを備え、そのモジュールは、

現フレーム期間中に第 2 の画像データを入力する処理と、

所定の画素について前記第 2 の画像データに対応する目標グレースケールレベルと前記第 1 の画像データに対応する初期グレースケールレベルとの差異が所定のグレースケール差を超えているのか否かを判定する処理と、

前記目標グレースケールレベルと前記初期グレースケールレベルとの差異が前記所定のグレースケールレベル差を超えていると判定したときに、前記現フレーム期間中に補償画像データを出力する処理を実行し、

前記補償画像データは、前記所定の画素について前記初期グレースケールレベルから前記所定のグレースケール差よりも小さく異なるグレースケールレベル規定するものであることを特徴とする装置。

30

【請求項 21】

前記補償画像データによって、前記所定の画素を現フレーム期間中に前記初期グレースケールレベルから中間グレースケールレベルへと上昇させ、所定期間に亘って前記中間グレースケールレベルに維持し、前記現フレーム期間中に前記中間グレースケールレベルからその中間グレースケールレベルよりも大きい前記目標グレースケールレベルへと上昇させることを特徴とする請求項 20 の装置。

【請求項 22】

前記モジュールはさらに、

40

前記目標グレースケールレベルが前記初期グレースケールレベルに比して前記所定のグレースケール差未満だけ上回るのか否かを判定する処理と、

前記目標グレースケールレベルが前記初期グレースケールレベルに比して前記所定のグレースケール差未満だけ上回ると判定したときに、第 2 の補償画像データを出力して過駆動する処理を実行し、

前記第 2 の補償画像データは、前記所定の画素を前記初期グレースケールレベルから過駆動グレースケールレベルまで上昇させ、所定期間に亘って前記過駆動グレースケールレベルを維持し、過駆動グレースケールレベルから過駆動グレースケールレベルよりも小さい前記目標グレースケールレベルへと低下させるものであることを特徴とする請求項 21 の装置。

50

【請求項 2 3】

前記所定の画素へデータ線路を介して画素信号を出力するデータ駆動器をさらに備え、そのデータ駆動器は、前記補償画像データに応じて、前記画素信号を初期電圧から中間電圧へと昇圧し、所定期間に亘って前記画素信号を一定の前記中間電圧に維持し、前記期間後に前記画素信号を前記中間電圧から前記中間電圧よりも高い目標電圧へと昇圧するものであり、

前記初期電圧が前記初期グレースケールレベルに対応し、前記中間電圧が前記中間グレースケールレベルに対応し、前記目標電圧が前記目標グレースケールレベルに対応することを特徴とする請求項 2 1 の装置。

【請求項 2 4】

10

ディスプレイの画素への画素信号を制御する方法であって、

n - 1 番目のフレームに対する第 1 の画素信号を入力する工程と、

n 番目のフレームに対する第 2 の画素信号を入力する工程と、

前記第 1 の画素信号と前記第 2 の画素信号との間の差異が、逆行バイアス電圧を超えているのか否かを判定する工程と、

前記第 1 の画素信号と前記第 2 の画素信号との間の差異が前記逆行バイアス電圧を超えていると判定したときに、前記 n 番目のフレーム期間中に中間画素信号を出力する工程を備え、

前記第 1 の画素信号と前記中間画素信号との間の差異が、前記逆行バイアス電圧未満であることを特徴とする制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイの画素への画素信号を制御する技術に関する。

【背景技術】

【0002】

液晶ディスプレイ（LCD）では、電圧や熱を加えることによって液晶（LC）分子を初期の配向状態から所定の配向状態へと変化させ、液晶分子の光学的な特性を変化させている。液晶分子の光学的特性の変化には、複屈折や偏光や二色性や光散乱や透過率の変化が含まれる。液晶分子の光学的性質が変化は、液晶ディスプレイ上の輝度の変化となって現れ、液晶ディスプレイを見る人の知覚に変化がもたらされる。

30

【0003】

液晶ディスプレイを駆動するには、個々の画素電極に電圧を印加し、対応する液晶分子を所望の角度に回転させる。動画（絶えず変化する画像）を表示するには、液晶分子の応答時間を減らすことが必要となる。液晶分子の応答時間とは、液晶分子が印加された電圧に応答する速さを示すものである。

【0004】

液晶分子の応答時間を低減する一部の従来技術では、ソース線路や列線路とも呼ばれるデータ線路を介して、画素電極に目標電圧よりも大きな駆動電圧（過駆動電圧）を印加するようにしている。多くの液晶ディスプレイでは、画素電極の初期電圧 v_{g1} が一定である場合、目標電圧 v_{g2} （画素電極を駆動する電圧）が高くなるほど、応答時間は減少する。応答時間は、以下の式（1）から導出される。

40

$$\tau_{on} \propto \gamma d^2 / \Delta \epsilon (v_{g1}^2 - v_{g2}^2) \quad (1)$$

【0005】

しかしながら、（1）式は、すべての液晶ディスプレイに、そのまま適用されるものではない。例えば、パターン化垂直配向（PVA）型の液晶ディスプレイでは、所定の条件下で高電圧を印加したときに、目標電圧の増大に伴って応答時間が増大することがある。また、マルチドメイン垂直配向（MVA）型の液晶ディスプレイも、同様の挙動を示すことがある。

【0006】

50

PVA型の液晶分子は、静止状態において垂直に配向しており、液晶パネルに電界が印加されると、液晶分子の負の誘電異方性によって傾斜する。液晶分子が傾斜する方位角は、突起部とスリットの配列によるフリンジフィールド効果によって定められている。

【0007】

図16Aは、従来のMVA型LCD内の画素領域内の突起部とスリットの配置を示している。図16Bは、図16AのA-A線に沿う断面を示している。図16Aにおいて、走査線路102とデータ線路104によって画定される画素領域100には、走査線路102とデータ線路104に接続されている薄膜トランジスタ(TFT)106と、TFT106に接続されている画素電極108が設けられている。図16A、16Bに示すように、突起部110とスリット112は、カラーフィルタ基板114や薄膜トランジスタ基板116の画素領域100内にそれぞれ配置されている。液晶分子と上部又は下部偏光板(図示せず)との間の角がともに45°となるように突起部110とスリット112を配置した場合、MVA型LCDでは光を透過させたときに最大のグレースケール輝度を表示することができる。上部偏光子と下部偏光子に対して液晶分子が他の角度へと配向する場合、液晶分子は異常に配向していることとなる。

【0008】

図17A~17Eは、零ボルトの状態から電圧を印加したときに、図16Aの領域118内の液晶分子が、突起部やスリットによるフリンジフィールド効果の影響を受けて配向する様子を示している。図17A~図17Eの横軸と縦軸は、それぞれ図16AのA-A'方向とA-B方向に対応している。図17Aと図17Bに示すように、印加する電圧が5Vと5.5Vである場合、領域118内の液晶分子はフリンジフィールド効果の影響を受けて配向し、正常にスイッチングすることが確認される。しかしながら、図17Cから図17Eに示すように、印加する電圧を5.75V、6.0V、6.5V等へと増大させた場合、領域120a、120b内の一部の液晶分子がフリンジフィールド効果に則した方向に正しく配向せず、異常にスイッチングすることが確認できる。液晶分子の異常なスイッチングは、図17Eの領域120a、120bにおいて最も顕著に現れる。

【発明の開示】

【発明が解決しようとする課題】

【0009】

異常にスイッチングした液晶分子は、異常にスイッチングした後に、隣接する液晶分子の影響を受けて正常な角度へと傾斜していく。しかしながら、異常にスイッチングした液晶分子が正常な角度へと傾斜するのを待つ必要があり、その画素の応答時間は増大することになる。また、異常にスイッチングした液晶分子が正常な角度へと傾斜しない場合もあり、灰色や黒色のスポット等の異形が液晶ディスプレイに出現することがある。

【課題を解決するための手段】

【0010】

ディスプレイの画素への画素信号を制御する方法が開示される。この方法では、フレーム期間において、画素への画素信号は初期電圧を有している。フレーム期間中に、画素信号を、初期電圧から初期電圧よりも大きい中間電圧へと昇圧する。次いで、フレーム期間中に、画素信号を、所定時間に亘って中間電圧に維持する。そして、この所定時間後のフレーム期間中に、画素信号を、中間電圧から中間電圧よりも大きい目標電圧へと昇圧する。

【発明を実施するための最良の形態】

【0011】

以下、本発明の理解するために、様々な細部についてする。しかしながら、本発明がこれらの細部を用いることなく実施でき、説明した実施形態から様々な変形や変更が可能であることは、当業者には理解されよう。

【0012】

図1は、ディスプレイモジュール134を示している。ディスプレイモジュール134は、液晶ディスプレイ(LCD)パネル144を駆動するディスプレイ駆動装置130を

備えている。ディスプレイ駆動装置 130 は、LCD パネル 144 のデータ線路（ソース線路や列線路とも称される）を駆動するデータ駆動器 140 を備えている。ディスプレイ駆動装置 130 はまた、LCD パネル 144 の走査線路（行線路とも称される）を駆動する走査駆動器 142 を備えている。

LCD パネル 144 には、垂直配向（VA）型 LCD パネルや、パターン化垂直配向（PVA）型 LCD パネルや、マルチドメイン垂直配向（MVA）型 LCD パネルや、他の種類の LCD パネル等を用いることができる。

【0013】

ディスプレイ駆動装置 130 内のタイミングコントローラ 138 は、画像データを入力し、この画像データにตอบสนองして、画像データに対応する信号をデータ駆動器 140 へ出力する。データ駆動器 140 は、画像データに対応する信号に従って、データ線路に適当な電圧レベルの信号を出力する。データ駆動器 140 と走査駆動器 140 内の駆動装置の動作タイミングは、タイミングコントローラ 138 によって制御される。

10

【0014】

本発明の実施形態では、ディスプレイ駆動装置 130 に入力される画像データに、データ補償装置 132 が生成する補償画像データが含まれる。ディスプレイ駆動装置 130 に入力される補償画像データは、所定の条件下で、LCD パネル 144 内の選択された画素に、フレーム期間内で電圧値が段階的に変化する信号を印加（多段電圧印加、即ち多段駆動技術）する。また、データ補償装置 132 が出力する補償画像データは、所定の条件下で、選択された画素のデータ線路に過駆動電圧を出力（過駆動技術）する。以下に詳述するように、選択された画素にデータ線路を介して出力される電圧が、多段駆動技術と過駆動技術によって制御されることにより、液晶モジュールの応答時間が改善される。

20

【0015】

データ補償装置 132 は、後段において図 12～15 を参照しながら説明するように、システムの様々な部分のいずれにも実装することができる。

【0016】

データ駆動器 140 がデータ線路に出力する電圧は、LCD パネルの薄膜トランジスタ（TFT）を介して、選択された画素毎に伝えられる。TFT は、走査駆動器 142 によって走査線が駆動されることでオンする。データ線路に印加された電圧は、TFT を介して画素へ伝達され、対応する液晶分子が回転することとなる。

30

【0017】

選択された画素へデータ線路を介して入力される画素信号の初期電圧、即ち、初期グレースケール電圧は、選択された画素における基準電位となる。目標電圧、即ち、目標グレースケール電圧は、対応する液晶分子を回転させることによって目標とする輝度を実現する電圧である。図 2A の例に示すように、画素のグレースケール電圧は、初期グレースケール電圧 v_{g1} から目標グレースケール電圧 v_{g2} へと変化し、画素の液晶分子を回転させる。図 2B は、画素の輝度（ユーザが知覚する輝度に対応する）の経時的変化を示している。液晶分子は、応答時間 t_{br} （ t_{bg1} と t_{bg2} との間の期間）中に、初期の配向状態から、異なる配向状態へと変化する。換言すれば、応答時間 t_{br} 中に、画素の輝度は、初期の輝度 b_{g1} から目標輝度 b_{g2} へと変化し、目標とするグレースケールレベルが表示される。

40

【0018】

上記のように、液晶分子が垂直配向状態から水平配向状態に向けて変化するとき、画素に印加される電圧が短時間で急激に変化すると、液晶分子が異常な方向へと回転してしまい、異常なスイッチングが生じることがある。液晶分子の光電子特性によれば、初期電圧 v_{g1} に応じて逆行バイアス電圧 v_{cg1} が定められ、印加電圧の瞬時昇圧幅（バイアス電圧）が逆行バイアス電圧 v_{cg1} よりも大きい場合、画素の液晶分子が異常にスイッチングするおそれが生じる。

【0019】

異常スイッチングの影響が、図 3A と図 3B に例示してある。図 3A に示すように、画

50

素の目標電圧 v_{g3} は、逆行電圧 $V_{reverse}$ よりも大きい。ここで、逆行電圧 $V_{reverse}$ は、初期電圧 v_{g1} に画素の逆行バイアス電圧 v_{cg1} を加えたものである。即ち、初期電圧が異なると、逆行電圧も異なることとなる。「逆行バイアス電圧」は、液晶分子の異常スイッチングが生じるおそれのある電圧昇圧幅を示している。逆行バイアス電圧は、液晶表示パネルに応じて変化する。また、逆行バイアス電圧は、初期電圧に応じて変化する。駆動電圧を初期電圧 v_{g1} から目標電圧 v_{g3} へと直接に上昇させた場合、初期電圧 v_{g1} から目標電圧 v_{g3} までの電圧昇圧幅は、逆行バイアス電圧 v_{cg1} を超えてしまう。この場合、液晶分子が誤った方向へと回転してしまい、異常スイッチングが生じることがある。その結果、図3Bに示すように、画素の輝度（曲線180で表示）が初期の輝度 b_{g1} から目標とする輝度 b_{g2} へと変化するために、より長い応答時間 t_{rb3} を必要とすることになる。液晶分子の異常スイッチングによって画素の応答時間が長くなってしまうと、表示画面に残像が出現することがある。

10

【0020】

図3Bの曲線182は、駆動電圧を初期電圧 v_{g1} から目標電圧 v_{g2} へと変化したときの画素の輝度の変化を示している。ここで、 v_{g1} と v_{g2} との間の差は、逆行バイアス電圧 v_{cg1} よりも小さい。この場合、画素の輝度は t_{rb3} よりも短い応答時間（ $t_{bg1} - t_{bg2}$ ）で、初期の輝度 b_{g1} から目標とする輝度 b_{g2} へと変化する。図3Bからもわかるように、駆動電圧の変動幅が画素の逆行バイアス電圧を超えてしまうと、応答時間が増大してしまうことになる。

20

【0021】

駆動電圧の変動幅が画素の逆行バイアス電圧を超えることによって液晶分子の異常スイッチングが生じるという問題に対処するために、本実施形態では多段電圧印加（多段駆動技術）を用いる。即ち、走査線路によって選択された画素に出力する画素信号を、段階的に変動させる。ここでは、画素信号を初期電圧から中間電圧（初期電圧よりも大きい）へと昇圧し、所定の一定期間後に、中間電圧から目標電圧（中間電圧よりも大きい）へと昇圧する。

【0022】

図4Aに示すように、画素は、現フレーム期間 t_{fo} において、初期電圧 v_{g1} を有している。初期電圧 v_{g1} は、先のフレーム期間 t_{fp} における画素の目標電圧とすることができる。本実施形態における多段駆動技術では、初期電圧 v_{g1} から目標電圧 v_{g3} となるまで複数回に分けてバイアス電圧を付加することによって、電圧昇圧幅が逆行バイアス電圧 v_{cg1} を超えることを禁止する。それにより、図4Aに示すように、初期電圧 v_{g1} から逆行電圧 $V_{reverse}$ を超えて電圧が変動することが禁止される。まず、現フレーム期間 t_{fo} の開始時又はその近くの時刻 t_m において、第1のバイアス電圧 v_{mg1} を付加する。この第1のバイアス電圧 v_{mg1} を印加することによって、画素の電圧は初期電圧 v_{g1} からより高い中間電圧 v_m へと上昇する。ここで、 $v_{mg1} < v_{cg1}$ である。次に、時間 t_m から所定時間だけ遅れた時刻 t_{g3} において、第2のバイアス電圧 v_{gm3} を付加する。それにより、画素の電圧が中間電圧 v_m からより高い目標電圧 v_{g3} へと上昇する。時間 t_m と時間 t_{g3} との間では、画素の電圧が一定の中間電圧 v_m に保たれる。

30

40

【0023】

多段駆動技術において、期間 $t_{g3} - t_m$ （画素電圧が初期電圧から目標電圧ではなく中間電圧へと上昇する期間）は、例えば現フレーム期間（ t_{fo} ）よりも短くすることができる。ここで、「フレーム」とは、一連の画像群における一枚の全体画像を意味している。「フレーム期間」には、アクティブ期間とブランキング期間とが含まれている。ここで、アクティブ期間とはLCDパネルの全画素を駆動するのに要する期間であり、ブランキング期間はCRT（陰極線管）モニタにて行われるブランキング用の期間に整合させるための期間である。

【0024】

先に説明したように、逆行バイアス電圧は、初期電圧に応じて変化する。そのことから

50

、画素の電圧を中間電圧 v_m へと上昇させた後は、逆行バイアス電圧 v_{c_m} (図示せず) が中間電圧に応じて定まることに留意されたい。時間 t_{g_3} に印加する第2のバイアス電圧 v_{g_3m} は、この逆行バイアス電圧 v_{c_m} より小さくしなければならない。一般に、液晶分子の異常スイッチングや画素の応答時間が長くなるという問題は、初期電圧が低いときほど顕著となる。そのことから、第1のバイアス電圧 $v_{m_{g_1}}$ の大きさは、中間電圧へと昇圧した後に付加する第2のバイアス電圧 v_{g_3m} よりも、小さくすることがより有効といえる。

【0025】

図4Bは、図4Aに示す電圧が印加されたときの画素の輝度の経時変化を示すグラフである。時刻 t_m と時刻 t_{g_3} の間において逆行電圧よりも低い中間電圧 v_m へと電圧が上昇するのに対応して、画素の輝度は初期輝度 b_{g_1} から中間輝度 b_m へと上昇する。続いて中間電圧 v_m から目標電圧 v_{g_3} へと印加電圧が上昇するのに対応して、輝度は目標輝度 b_{g_3} へと続いて上昇する。この多段駆動技術によると、付加される第1のバイアス電圧 $v_{m_{g_1}}$ が逆行バイアス電圧 $v_{c_{g_1}}$ 未満となるので、画素内の液晶分子が正常に回転することができ(換言すれば、液晶分子が誤った方向へ回転することがなく)、改善された応答時間で画素の輝度は所定の目標輝度 b_{g_3} へと上昇する。

【0026】

図5は、多段駆動技術と従来の駆動技術を用いた垂直配向型の液晶ディスプレイについて、グレースケール差(横座標)(グレースケール差はゼログレースケールと目標グレースケールとの間の差分である)と応答時間(縦座標)との関係を示している。図6は、液晶ディスプレイのグレースケールと駆動電圧との関係を示している。グレースケールの変化が小さい(初期電圧と目標電圧の間の差が比較的小さい)領域では、応答時間はグレースケールに対して逆比例する。換言すれば、グレースケール差が大きいときほど、駆動電圧はより高くなり(図6参照)、液晶ディスプレイの応答時間はより短くなる。しかしながら、グレースケール差が所定の閾値を超える領域、例えば図5に示すように初期ゼログレースケールから244グレースケールを超えて変化する領域では、従来の駆動技術を用いると液晶分子に異常スイッチングが生じてしまい、グレースケール差が244グレースケールを超えて増大するほど、応答時間はより長くなってしまう(曲線402)。対照的に、本実施形態による多段駆動技術を使用する場合、グレースケール差が大きくなり続けても、応答時間は短くなり続けることから(曲線404)、液晶ディスプレイの品質(応答時間の点で)が維持される。

【0027】

ここでは垂直配向型の液晶ディスプレイを例に挙げて説明したが、本実施形態で説明した技術は別種の液晶ディスプレイ、例えばツイステッド・ネマチック(TN)ディスプレイに適用することができる。TNディスプレイにおいても、逆行バイアス電圧を超えるバイアス電圧が画素に瞬間的に付加されると、液晶分子は誤った方向へ回転することがある。

【0028】

図7は、従来の駆動技術と多段駆動技術について、0から255までグレースケールを変化させるときの輝度と応答時間の間の関係、および駆動電圧と応答時間の間の関係を示すグラフである。図7の曲線170は、従来の電圧駆動技術を示しており、ゼロボルトから6.4ボルトまで昇圧するバイアス電圧を付加するものである。ゼロボルトから6.4ボルトまで昇圧することは、液晶分子の異常スイッチングを引き起こす画素の逆行バイアス電圧を超えて昇圧することに留意されたい。従って、曲線174が示すように、ゼログレースケールから255グレースケールまで上昇させるときの画素の応答時間は $t_{b_{g_3}}$ となる。目標電圧を5.8ボルトに駆動(255グレースケールに対応)することで応答時間を改善できるが、到達する輝度は6.4ボルトでの輝度よりも低くなってしまふ。

【0029】

それに対して、本実施形態における多段駆動技術では、印加電圧に先ず中間電圧(図7の例では5.8ボルトであり、これは247グレースケールに対応する)へと昇圧(曲線

10

20

30

40

50

172参照)するバイアス電圧を付加する。次いで、印加電圧を中間電圧に維持した後、印加電圧を255グレースケール(曲線172参照)に対応する6.4ボルトの目標電圧まで上昇させる。曲線176が示すように、画素の輝度は先ずゼロから247グレースケールまで上昇し、続いて目標とする255グレースケールまで上昇する。画素が目標とするグレースケールに到達するまでの応答時間は t_{bgm} となる。この応答時間 t_{bgm} は、従来の駆動技術による応答時間 t_{bg3} よりも、十分に短いものとなる。さらに、所望する255グレースケールの輝度を、電圧を6.4ボルトまで昇圧することで達成することができる。

【0030】

上記に説明した多段駆動技術は、過駆動技術と適宜選択的に組み合わせて実施することができる。選択された画素のグレースケール差(初期グレースケールと目標グレースケールの間の差分)が比較的小さいときは、選択された画素の駆動に過駆動技術を用いる。一方、そのグレースケール差が逆行バイアス電圧を超える場合には、選択された画素の駆動に多段駆動技術を用いる。さらにまた、ディスプレイ駆動装置130(図1)は、状況に応じて、二つの技術を選択的に切り替えながら用いることができる。

【0031】

図8は、過駆動技術による駆動電圧の一例を経時的に示すグラフである。図8に示すように、画素の目標電圧 v_{g3} は、逆行電圧 $V_{reverse}$ よりも小さい。時刻 t_{go} において、駆動電圧は、目標電圧 v_{g3} よりも大きく逆行電圧 $V_{reverse}$ よりも小さい過駆動電圧 v_{od} まで上昇される。その結果、画素の液晶分子は、目標電圧 v_{g3} に対応する角度へとより短時間の間で回転することができる。液晶分子が時刻 t_{g3} において対応する角度まで回転した後、駆動電圧を目標電圧 v_{g3} へと変化させることによって、液晶分子の正常なスイッチング状態は維持される。

【0032】

図9は、過駆動技術による駆動電圧の他の一例を経時的に示すグラフである。この過駆動技術は、目標電圧 v_{g3} が逆行電圧 $V_{reverse}$ を超える場合に適用することができる。先ず時刻 t_m において、駆動電圧を中間電圧 v_m まで上昇させる。次に、時刻 t_{go} において、駆動電圧を、中間電圧 v_m から目標電圧 v_{g3} を上回る過駆動電圧 v_{od} まで上昇させる。そして、時刻 t_{g3} において、駆動電圧を、過駆動電圧 v_{od} から目標電圧 v_{g3} まで低下させる。図9に例示する駆動技術(「複合駆動技術」)は、液晶分子の正常なスイッチングと、より迅速な応答時間を維持するために、多段駆動技術に過駆動技術を複合したものである。

【0033】

図10は、過駆動技術(図8)と多段駆動技術(図4A)を選択的に実行する手順の一例を示すフローチャートである。先行フレームのフレームデータは、データ補償装置132(図1)が記憶(801)する。フレームデータは、例えばデータ補償装置132のフレームメモリに記憶される。次に、先のフレームの画像データをフレームメモリから取得し、初期グレースケール G_i を取得(802)する。また、現フレームの画像データもデータ補償装置132により受信し、目標グレースケール G_t を取得(804)する。目標グレースケール G_t は、データ補償装置132によって初期グレースケール G_i と比較(806)される。 $|G_t - G_i| > \Delta G_{lim}$ である場合、多段駆動技術が選択(808)される。他方、 $|G_t - G_i| < \Delta G_{lim}$ である場合、過駆動技術が選択(810)される。ここで、初期グレースケール G_i と目標グレースケール G_t は、図4Aの初期電圧 v_{g1} と目標電圧 v_{g3} に対応する所定のグレースケールを示し、 ΔG_{lim} は逆行バイアス電圧 V_{cg1} に対応する所定のグレースケール差を示す。図5の曲線402に示すように、所定のグレースケール差 ΔG_{lim} は、例えば244グレースケールとなる。

【0034】

図11は、従来の駆動技術(曲線902)と多段駆動技術(曲線904)と過駆動技術(曲線906)と複合駆動技術(曲線908)について、グレースケール差と応答時間との間の関係を示している。図11において、横軸はグレースケール差を示しており、縦軸

10

20

30

40

50

は応答時間を示している。曲線 906 が示すように、過駆動技術を単独で用いる場合、グレースケール差が小さな液晶ディスプレイであれば、応答時間を効果的に短縮することができる。しかしながら、グレースケール差が比較的に大きいものでは、液晶分子は依然として誤った方向へと回転することになり、過駆動技術を単独で用いると応答時間が長くなってしまう。曲線 908 に示すように、複合駆動技術は、優れた応答時間性能をもたらす。上記のように、複合駆動技術では、グレースケール差が小さいときには過駆動技術を用い、グレースケール差が大きいときには多段駆動技術を用いる。その結果、グレースケールの範囲全体に亘って液晶ディスプレイの応答速度を向上することができる。

【0035】

図 12 は、データ補償装置 132 の構成の一例を示すブロック図である。データ補償装置 132 は、コントローラ 1321 と、記憶装置 1323（例えば、フレームメモリ）と、下位駆動ルックアップテーブル（LUT）1325 を備えている。 10

【0036】

データ補償装置 132 は、第 1 の期間中に第 1 の画像データ PDD を入力し、それを記憶装置 1323 に記憶させるとともに、第 2 の期間中に第 2 の画像データ CDD を入力する。ここで、第 2 の期間は、少なくとも 1 フレーム期間だけ、第 1 の期間から遅れるものである。第 2 の画像データ CDD は、第 2 の期間内に、記憶装置 1323 に記憶される。下位駆動ルックアップテーブル 1325 は、コントローラ 1321 の制御下で、第 2 の画像データ CDD に対応する目標グレースケールと第 1 の画像データ PDD に対応する初期グレースケールとの間の差分を判定する（図 10 の処理 806）。下位駆動ルックアップ 20
テーブル 1325 は、グレースケール差が所定のグレースケール差 ΔG_{lim} を上回る（画素に関する逆行バイアス電圧を上回る電圧幅に対応する）と判定した場合、初期グレースケールから所定のグレースケール差を超えない範囲で変化させた中間グレースケールに対応する補償データ LDD を出力する。ここで、補償データ LDD は、印加する電圧を上記で説明した多段駆動技術における中間電圧へと昇圧するものである。

【0037】

他の条件（第 2 の画像データに関する目標グレースケールが、第 1 の画像データに関する初期グレースケールに対して、所定のグレースケール差 ΔG_{lim} 未満の分だけ異なる場合等）では、異なる補償データ LDD を出力して過駆動技術を実行することができる。過駆動技術では、補償データ LDD が、画素の駆動電圧を V_{od} まで上昇させる（図 8 又 30
は図 9）。

【0038】

上記において、複数の駆動ルックアップテーブルを（一つの駆動ルックアップテーブルに代えて）用いるようにすることもできる。異なる駆動ルックアップテーブルは、例えば前述した二つの処理手順毎に用意されており、処理手順毎に異なるデータを出力する。即ち、（1）初期グレースケールと目標グレースケールとの差異が ΔG_{lim} 未満の場合と、（2）初期グレースケールと目標グレースケールとの差異が ΔG_{lim} を上回る場合と、において異なる駆動ルックアップテーブルからデータを出力する。

【0039】

コントローラ 1321 は、CLK（クロック）信号と、ライト／リード・イネーブル制御信号を出力し、記憶装置 1323 の入力動作や出力動作を制御する。記憶装置 1323 は、フレーム全体の画素グレースケール値を記憶する。下位駆動ルックアップテーブル 1325 は、記憶装置 1323 に接続されており、第 2 の画像データ CDD をデータ補償装置から入力し、第 1 の画像データ PDD を記憶装置 1323 から入力する。画像データ PDD と CDD に従って、下位駆動ルックアップテーブル 1325 は、補償画像データ LDD を出力する。 40

【0040】

多段駆動技術の実行時では、印加される電圧を、第 1 のステップにおいて初期電圧から中間電圧へ上昇させ、続いて第 2 のステップにおいて中間電圧から目標電圧へと上昇させる。このとき、この複数ステップが、1 フレーム期間内に実行されることに留意されたい 50

。多段駆動技術では、先ずデータ補償装置 132 が出力する補償データ LDD（画素の中間電圧に対応）と、続いてデータ補償装置 132 が出力する第 2 の画像データ CDD によって、駆動制御が行われる。LDD と CDD の両者は 1 フレーム期間内に出力され、1 フレーム期間内で電圧を複数段階に分けて変化させる多段駆動技術が実行される。そのために、データ補償装置 132 は、2 倍のクロックレートで動作する。

【0041】

同様に、過駆動技術においても、LDD と CDD を 1 フレーム期間内に順次出力する。それにより、先ず LDD によって画素信号が過駆動電圧 V_d へと上昇し、続いて CDD によって画素信号が目標電圧へと上昇する。

【0042】

上記した 1 フレーム期間中に LDD と CDD の両者を出力する方式にかえて、所定の画素において第 2 の画素データ CDD が第 1 の画素データ PDD から所定のグレースケール差を超えて変化するとき、そのフレームにおいて補償データ LDD を出力する方式を採用することもできる。例えば、 $n-1$ 番目のフレームに関する第 1 の画像データ PDD 中の画素 X に関するグレースケールレベルが 0 で、 n 番目のフレームに関する第 2 の画像データ CDD 中の画素 X についてのグレースケールレベルが 255 である場合（255 と 0 は、所定のグレースケール差を超えて相違している）、データ補償装置 132 が画素 X に関して 255 未満（例えば、248）のグレースケールを規定する補償データ LDD を n 番目のフレームにおいて出力する。この方式によると、画素 X に関する目標電圧は、LDD が規定するより低いグレースケールレベルが適用されることによって、効果的に低減される。しかしながら、 n 番目のフレームの画素 X に関する目標グレースケールを低減することで、改善された応答時間性能が見込める。より一般的には、所定の画素に関して、 n 番目のフレーム中の CDD（データ補償装置 132 が入力）が、 $n-1$ 番目のフレーム中の PDD に比して所定のグレースケールレベルを超えて相違する場合、データ補償装置 132 は n 番目のフレームにおいて LDD を出力し、 n 番目のフレームにおける所定の画素の目標グレースケールレベルを低減する。補償画像データ LDD は、 n 番目のフレームにおける現画像データ CDD と、 $n-1$ 番目のフレームにおける先の画像データ PDD との比較に基づくものとなる。ここで、補償装置 132 が n 番目のフレームに関する LDD を計算する際に、後続の $n+1$ 番目のフレーム等の画像データを考慮していない点に留意されたい。それにより、データ補償装置 132 は、 n 番目のフレームの画像データを出力する際に、後続の $n+1$ 番目のフレームの画像データを待つ必要がない。

【0043】

各画素において、 n 番目のフレームの CDD（データ補償装置 132 が入力する）が、 $n-1$ 番目のフレームの PDD に対して、所定のグレースケールレベル未満だけ相違している場合、データ補償装置 132 は n 番目のフレームにおいて CDD を（LDD に代えて）出力する。

【0044】

図 13 に示すように、データ補償装置 132 とディスプレイ駆動装置 130 は、液晶表示モジュール 134 に組み込まれている。液晶表示モジュール 134 は、少なくとも、LCD パネル 144 と、ディスプレイ駆動装置 130 を備えている。ディスプレイ駆動装置 130 は、タイミングコントローラ 138 と、データ駆動器 140 と走査駆動器 142 を備えている。データ補償装置 132 は、ディスプレイ駆動装置 130 のタイミングコントローラ 138 に接続されており、下位駆動ルックアップテーブル 1325 から参照した補償画像データ LDD をタイミングコントローラ 138 へと出力する。補償画像データ LDD は、タイミングコントローラ 138 を介して、データ駆動器 140 へと入力される。データ駆動器 140 は、補償画像データ LDD を、液晶表示パネル 144 を駆動する対応グレースケール電圧信号へと変換する。

【0045】

図 14 に示すように、データ補償装置 132 は、計数器 154 と LVDS 送信器 156 とを含む表示システム回路基板 150 内に組み込むことができる。データ補償装置 132

10

20

30

40

50

は、計数器 154 の出力端 152 と L V D S 送信器 156 の入力端 158 との間に接続されている。データ補償装置 132 は、計数器 154 から出力される第 2 の画像データ C D D を受信する。データ補償装置 132 は、補償画像データ L D D 及び／又は第 2 の画像データ C D D を L V D S 送信器 156 へ出力し、L V D S 送信器 156 が液晶表示モジュール（例えば、図 1 の 130）を駆動する。

【0046】

表示システム回路基板 150 には、ビデオデコーダや、マイクロプロセッサや、音声プロセッサや、チューナや、E E P R O M や、デインタレーサや、S D R A M や、O S D や、D V I 受信器（R x）や、A D C ブロック等の他の様々な部品が設けられている。

【0047】

図 15 に示すように、データ補償装置 132 を、制御装置 160、例えば F P G A（使用時点でプログラム可能な論理回路）に実装することもできる。制御装置 160 は、M P E G デコーダ 164 や、ディスプレイカード 166 等を備えている。データ補償装置 132 は、M P E G デコーダ 164 の出力端 162 と、ディスプレイカード 166 の入力端 168 との間に接続されている。データ補償装置 132 は、M P E G デコーダ 164 が出力する第 2 の画像データ C D D を入力し、入力した補償画像データ L D D をディスプレイカード 166 へと出力する。ディスプレイカード 166 は、液晶表示モジュールを駆動する。

【0048】

限られた数の実施形態を挙げながら本発明について開示したが、当業者はそこから様々な改変や変形を理解することができるであろう。特許請求の範囲には、本発明の真の趣旨や技術範囲に含まれるそれらの改変や変形が包含されるものである。

【図面の簡単な説明】

【0049】

【図 1】実施形態の表示モジュールとデータ補償装置を示すブロック図。

【図 2 A】従来の駆動技術による画素への駆動電圧を経時的に示すグラフ。

【図 2 B】図 2 A の駆動電圧を用いたときの画素の輝度の経時的变化を示すグラフ。

【図 3 A】従来の駆動技術による画素への駆動電圧を経時的に示すグラフ。

【図 3 B】図 3 A の駆動電圧を用いたときの画素の輝度の経時的变化を示すグラフ。

【図 4 A】多段駆動技術による画素への駆動電圧を経時的に示すグラフ。

【図 4 B】図 4 A の駆動電圧を用いたときの画素の輝度の経時的变化を示すグラフ。

【図 5】従来の駆動技術と多段駆動技術について、応答時間とグレースケールとの関係を示すグラフ。

【図 6】駆動電圧とグレースケールレベルとの関係を示すグラフ。

【図 7】従来の駆動技術と多段駆動技術による駆動時の画素の応答時間を比較して示すグラフ。

【図 8】過駆動技術による画素への駆動電圧を経時的に示すグラフ。

【図 9】多段駆動技術と過駆動技術とを複合した複合駆動技術による画素への駆動電圧を経時的に示すグラフ。

【図 10】多段駆動技術と過駆動技術を適用する際の処理手順を示すフローチャート。

【図 11】従来の駆動技術、過駆動技術、多段駆動技術、および過駆動技術と多段駆動技術を複合した複合駆動技術による応答時間を比較して示すグラフ。

【図 12】データ補償装置の構成の一例を示すブロック図。

【図 13】一体化したデータ補償装置とディスプレイ駆動装置を示すブロック図。

【図 14】データ補償装置を備える表示システム回路基板を示すブロック図。

【図 15】システム装置に実装されたデータ補償装置を示すブロック図。

【図 16 A】従来の M V A 型 L C D の画素領域内の突起部とスリットの配置を示す図。

【図 16 B】図 16 A の A - A 線による断面図である。

【図 17 A】図 16 A に示す領域の液晶分子が、突起部とスリットの配置パターンによるフリッジフィールド効果の影響を受けてスイッチングする様子を示す図。

10

20

30

40

50

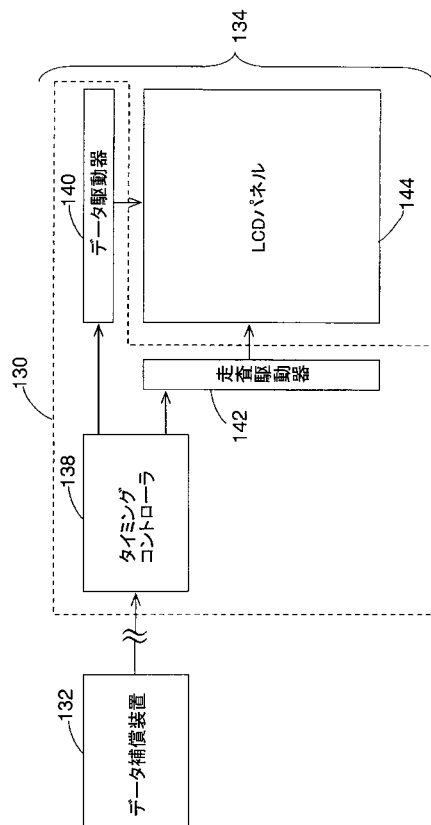
【図 1 7 B】図 1 6 A に示す領域の液晶分子が、突起部とスリットの配置パターンによるフリッジフィールド効果の影響を受けてスイッチングする様子を示す図。

【図 1 7 C】図 1 6 A に示す領域の液晶分子が、突起部とスリットの配置パターンによるフリッジフィールド効果の影響を受けてスイッチングする様子を示す図。

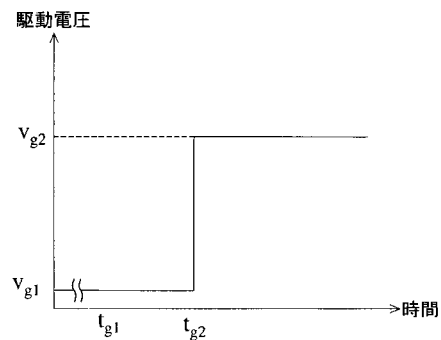
【図 1 7 D】図 1 6 A に示す領域の液晶分子が、突起部とスリットの配置パターンによるフリッジフィールド効果の影響を受けてスイッチングする様子を示す図。

【図 1 7 E】図 1 6 A に示す領域の液晶分子が、突起部とスリットの配置パターンによるフリッジフィールド効果の影響を受けてスイッチングする様子を示す図。

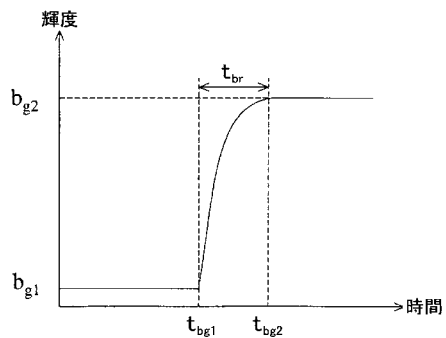
【図 1】



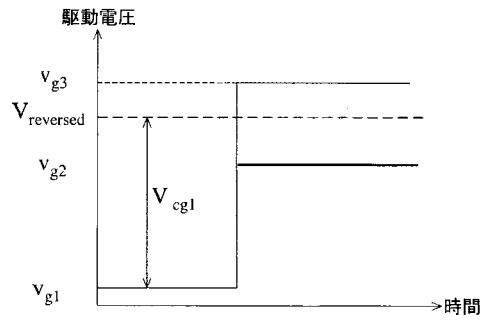
【図 2 A】



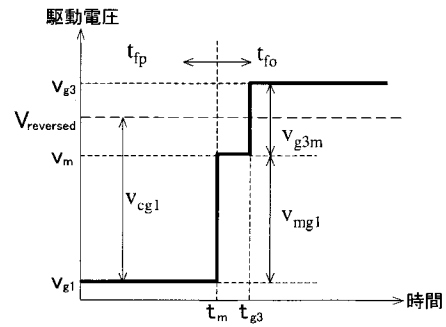
【図 2 B】



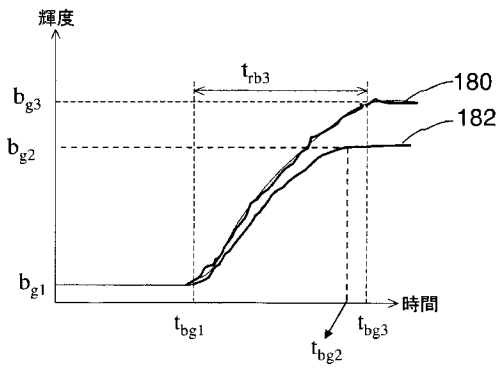
【図 3 A】



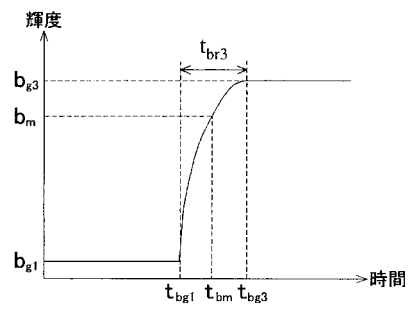
【図 4 A】



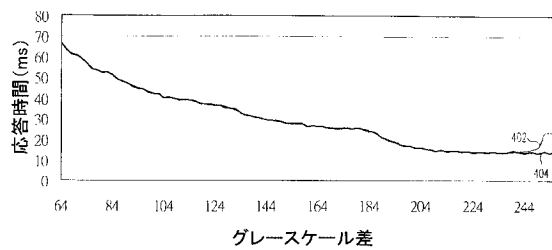
【図 3 B】



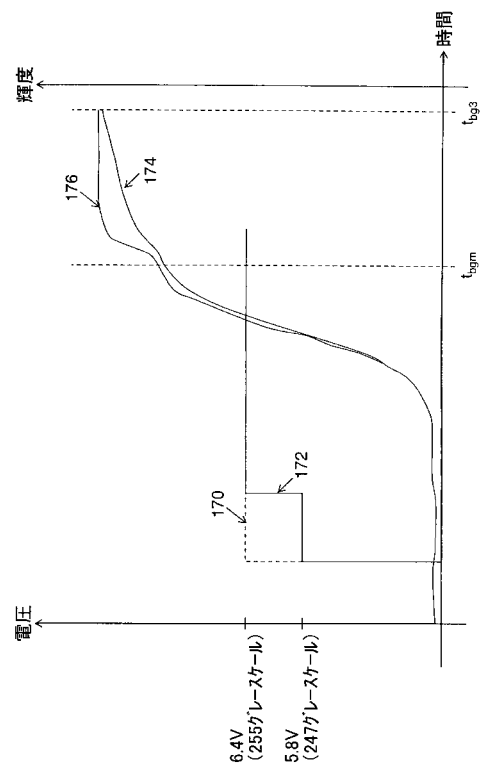
【図 4 B】



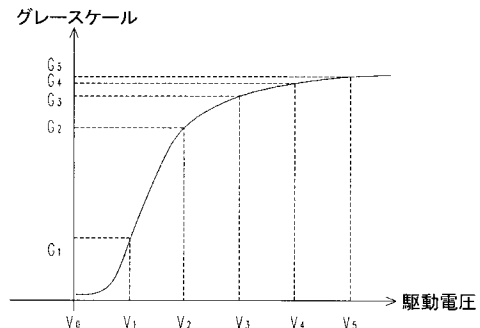
【図 5】



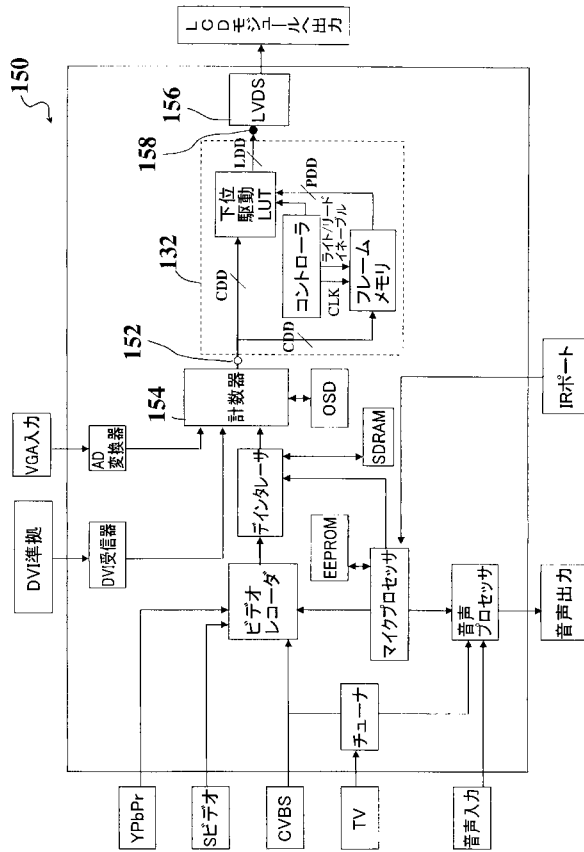
【図 7】



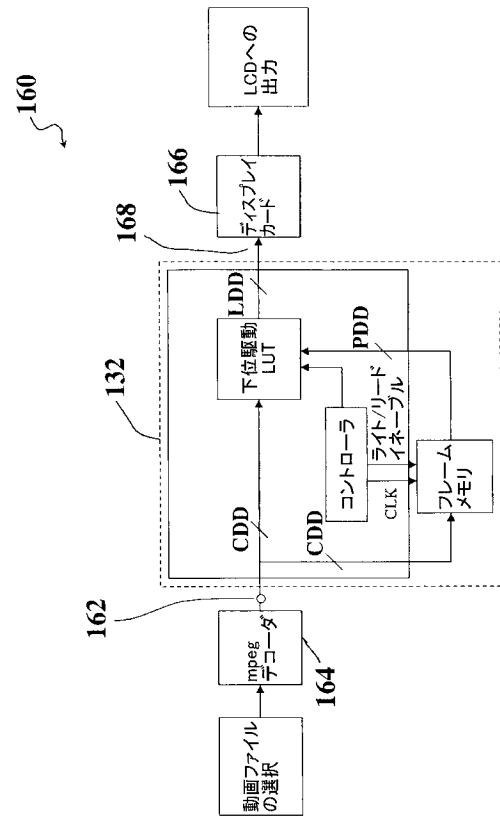
【図 6】



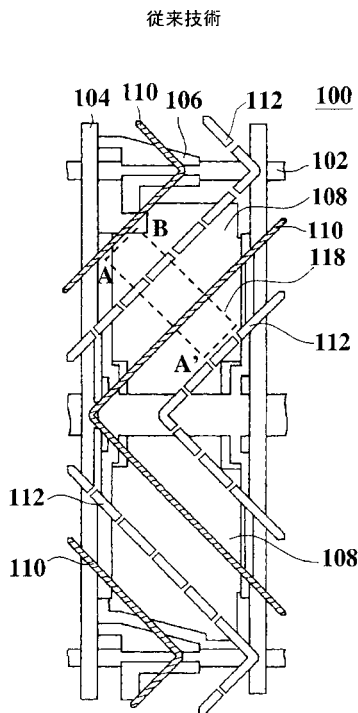
【图 14】



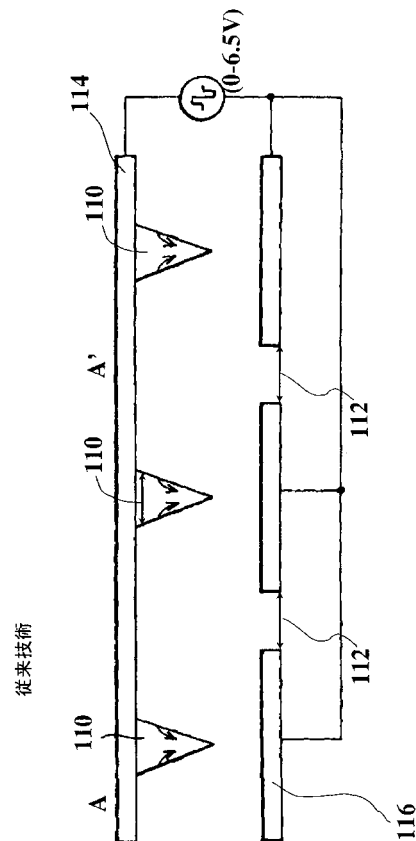
【 図 1 5 】



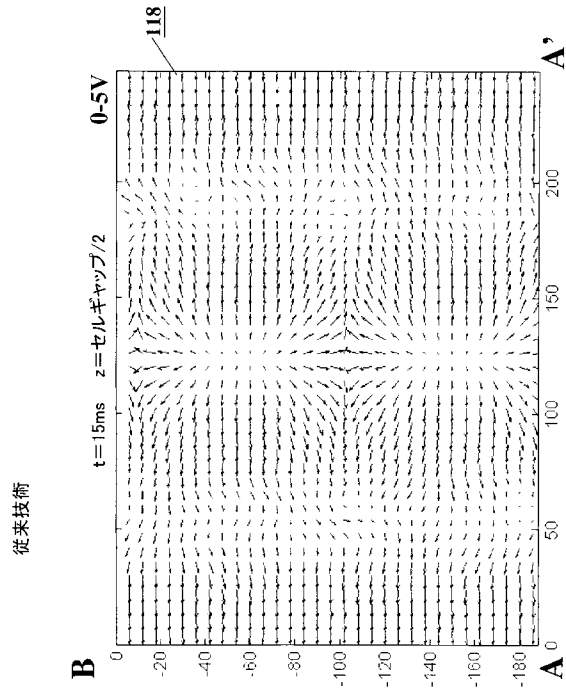
【 図 1 6 A 】



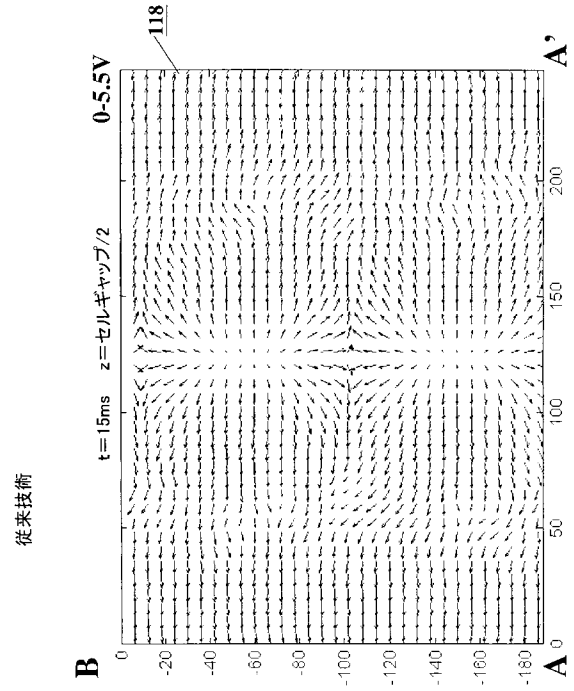
【図 1 6 B】



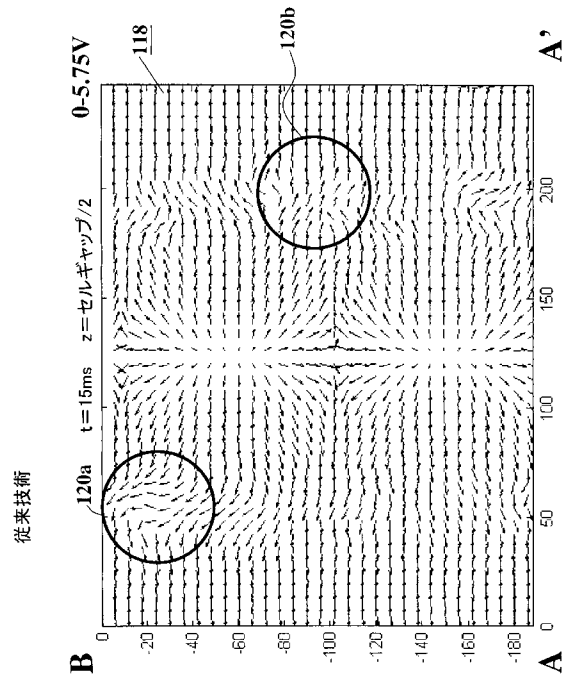
【図 17 A】



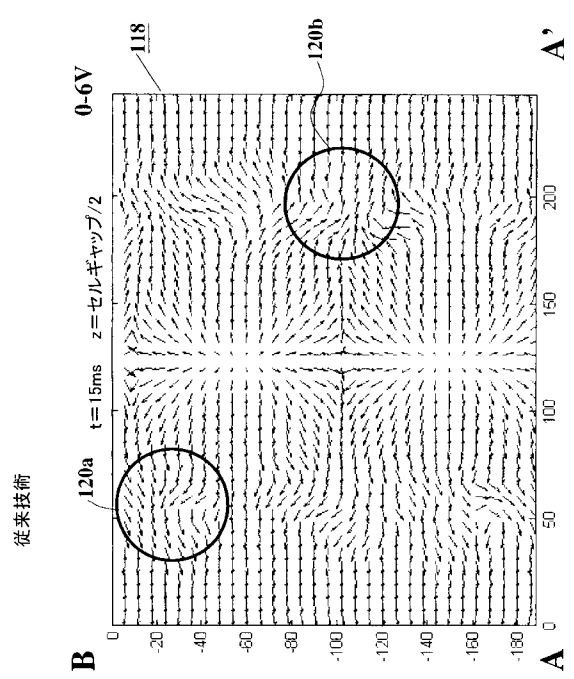
【図 17 B】



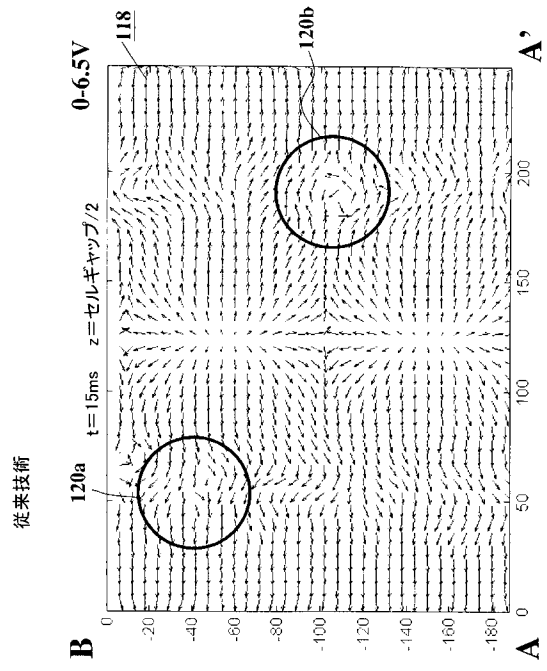
【図 17 C】



【図 17 D】



【図 17 E】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 P
	G 0 2 F 1/133	5 7 0
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 5 0
(74)代理人 110000110		
特許業務法人快友国際特許事務所		
(72)発明者 ス インーハオ		
台湾 7 4 1 4 4 タイナン サイエンスーベースト インダストリアル パーク タイナン カ		
ウンティー チーイーロード ナンバー1 チー メイ オプトエレクトロニクス コーポ		
レーション内		
(72)発明者 リン ハンーユ		
台湾 7 4 1 4 4 タイナン サイエンスーベースト インダストリアル パーク タイナン カ		
ウンティー チーイーロード ナンバー1 チー メイ オプトエレクトロニクス コーポ		
レーション内		
(72)発明者 リー ジアーホアン		
台湾 7 4 1 4 4 タイナン サイエンスーベースト インダストリアル パーク タイナン カ		
ウンティー チーイーロード ナンバー1 チー メイ オプトエレクトロニクス コーポ		
レーション内		
(72)発明者 リ ワンーヤン		
台湾 7 4 1 4 4 タイナン サイエンスーベースト インダストリアル パーク タイナン カ		
ウンティー チーイーロード ナンバー1 チー メイ オプトエレクトロニクス コーポ		
レーション内		
(72)発明者 ス チェーミン		
台湾 7 4 1 4 4 タイナン サイエンスーベースト インダストリアル パーク タイナン カ		
ウンティー チーイーロード ナンバー1 チー メイ オプトエレクトロニクス コーポ		
レーション内		
F ターム(参考) 2H093 NA16 NA53 NB30 NC13 NC29 NC50 NC59 NC65 ND03 ND33		
ND58 NF05 NF09 NH15		
5C006 AA16 AC11 AC21 AF03 AF04 AF11 AF44 AF45 AF46 BB16		
BC16 BF02 FA12 FA14		
5C080 AA10 BB05 DD08 EE19 EE29 FF07 FF11 JJ02 JJ04 JJ05		
JJ06 JJ07		

【外国語明細書】

[20070788600000001.pdf](#)

[20070788600000002.pdf](#)

[20070788600000003.pdf](#)

[20070788600000004.pdf](#)

专利名称(译)	用于控制像素信号的方法和设备		
公开(公告)号	JP2007078860A	公开(公告)日	2007-03-29
申请号	JP2005264200	申请日	2005-09-12
[标]申请(专利权)人(译)	奇美电子 群创光电股份有限公司		
申请(专利权)人(译)	奇美电子		
[标]发明人	スインハオ リンハンユ リージアホアン リワンヤン スチェミン		
发明人	ス イン-ハオ リン ハン-ユ リー ジア-ホアン リ ワン-ヤン ス チェ-ミン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.623.C G09G3/20.612.U G09G3/20.660.V G09G3/20.641.P G02F1/133.570 G02F1/133.575 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NB30 2H093/NC13 2H093/NC29 2H093/NC50 2H093/NC59 2H093/NC65 2H093/ND03 2H093/ND33 2H093/ND58 2H093/NF05 2H093/NF09 2H093/NH15 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF03 5C006/AF04 5C006/AF11 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BC16 5C006/BF02 5C006/FA12 5C006/FA14 5C080/AA10 5C080/BB05 5C080/DD08 5C080/EE19 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07 2H193/ZD23 2H193/ZH40 2H193/ZQ06 2H193/ZQ08		
其他公开文献	JP4883388B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够缩短液晶分子响应时间的像素信号驱动技术。在帧周期中，到达像素的像素信号具有初始电压 V_{g1} 。在该驱动技术中，在帧周期期间，像素信号从初始电压 V_{g1} 升压到高于初始电压的中间电压 V_m 。然后，像素信号在预定时间段内保持在中间电压 V_m 。接下来，在预定时段之后的帧时段期间，像素信号从中间电压 V_m 升压到高于中间电压的目标电压 V_{g3} 。[选择图]图4A

