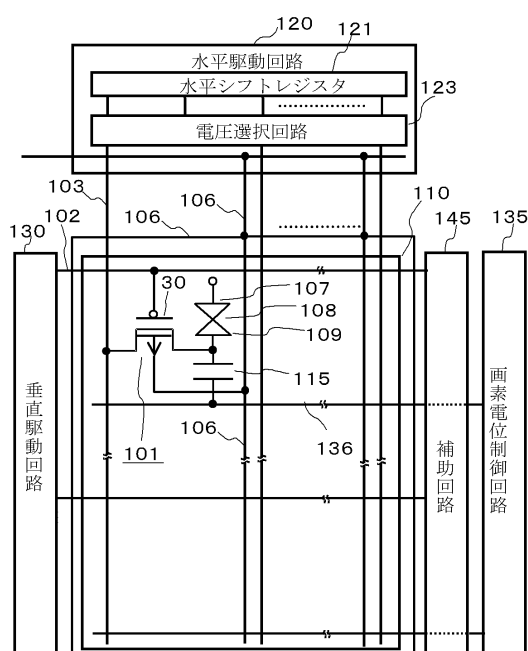




【特許請求の範囲】

【請求項 1】

第1の基板と、第2の基板と、

上記第1の基板と第2の基板とに挟まれた液晶組成物と、

上記第1の基板に設けられた複数の画素部と、

該画素部に設けられた画素電極と、

上記画素部に設けられ上記画素電極に接続したスイッチング素子と、

該スイッチング素子の制御端子に接続する走査信号線と、

該走査信号線に走査信号を供給する走査信号回路と、

上記画素部に映像信号を供給する映像信号回路と、

上記映像信号回路からスイッチング素子の入力端子とを接続する映像信号線とを有し、

上記スイッチング素子は制御端子にオフ信号が印加されない場合に、上記画素電極と上記映像信号線とを導通状態とし、

上記画素部には上記第1の基板に基板電圧を供給するコンタクトホールを有することを特徴とする液晶表示装置。

10

【請求項 2】

上記第1の基板はシリコン基板で、上記コンタクトホールはシリコン基板に不純物を注入した不純物領域の上に形成されたものであることを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

第1の基板と、第2の基板と、

上記第1の基板と第2の基板とに挟まれた液晶組成物と、

上記第1の基板に設けられた表示領域と、

上記表示領域にマトリクス状に設けられた複数の画素領域と、

上記画素領域に設けられた画素電極と、

上記画素電極に映像信号を供給するスイッチング素子と、

上記スイッチング素子に映像信号を供給する映像信号線と、

上記スイッチング素子を制御する走査信号を供給する走査信号線と、

上記映像信号線に映像信号を出力する映像信号回路と、

上記走査信号線に走査信号を出力する走査信号回路と、

上記映像信号線と同層で、上記表示領域の周囲に設けられ、上記第1の基板に基板電圧を供給する第1の基板電圧供給線と、

上記映像信号線と同層で、上記映像信号線と並列に形成され、上記画素領域の上記第1の基板に基板電圧を供給する第2の基板電圧供給線と、

上記スイッチング素子は、上記走査信号回路からの出力信号が停止した場合に、上記画素電極と上記映像信号線とを導通状態とし、

上記映像信号回路と上記映像信号線とを電氣的に接続し、上記第1の基板電圧供給線と交差する接続線を有することを特徴とする液晶表示装置。

30

【請求項 4】

上記第2の基板電圧供給線は上記画素領域に設けられたコンタクトホールを介して上記画素領域の上記第1の基板に基板電圧を供給することを特徴とする請求項3に記載の液晶表示装置。

40

【請求項 5】

上記第1の基板はシリコン基板で、上記基板電圧はシリコン基板に不純物を注入した不純物領域を介して供給されることを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に半導体基板上に駆動回路と反射電極とが設けられる反射型液晶表示装置に適用して有効な技術に関する。

50

【背景技術】

【0002】

近年、液晶表示装置は、小型表示装置から所謂OA機器等の表示端末用に広く普及している。この液晶表示装置は、基本的には少なくとも一方が透明な基板（例えばガラス板やプラスチック基板等）からなる一対の絶縁基板の間に液晶組成物の層（液晶層）を挟持して所謂液晶パネル（液晶表示素子または液晶セルとも言う）を構成する。

【0003】

この液晶パネルは、画素形成用の各種電極に選択的に電圧を印加して所定画素部分の液晶組成物を構成する液晶分子の配向方向を変化させて画像を表示する。液晶パネルの中で画素がマトリックス状に配置され、表示部を形成したものが知られている。画素がマトリックス状に配置された液晶パネルは、単純マトリックス方式とアクティブマトリックス方式との2つの方式に大きく分類されている。単純マトリックス方式は、一対の絶縁基板のそれぞれに形成した交差する2本のストライプ状電極の交差点で画素を形成する。また、アクティブマトリックス方式は画素電極と画素選択用のアクティブ素子（例えば、薄膜トランジスタ）を有し、このアクティブ素子を選択することにより、当該アクティブ素子に接続した画素電極と該画素電極に対向する基準電極とで画素を形成する。

10

【0004】

アクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。一般に、アクティブマトリクス型液晶表示装置は、一方の基板に形成した電極と他方の基板に形成した電極との間に液晶層の配向方向を変えるための電界を印加する、所謂縦電界方式を採用している。また、液晶層に印加する電界の方向を基板面とほぼ平行な方向とする、所謂横電界方式（IPS（In-Plane Switching）方式とも言う）の液晶表示装置が実用化されている。

20

【0005】

一方、液晶表示装置を用いる表示装置として、液晶プロジェクタが実用化されている。液晶プロジェクタは光源からの照明光を液晶パネルに照射し、液晶パネルの画像をスクリーンに投写するものである。液晶プロジェクタに用いられる液晶パネルには反射型と透過型とがあるが、前述したアクティブマトリクス型液晶表示装置を用いた透過型の液晶プロジェクタが普及している。他方、液晶パネルを反射型とした場合には、画素電極を反射面とし、画素電極の下部に配線等の構成を形成することで、表示部のほぼ全域を有効な反射面とすることができ、液晶パネルの小型化、高精細化、高輝度化において、透過型に比較して有利であるため、反射型の液晶プロジェクタ量産化のために開発が進められている。

30

【0006】

また、液晶プロジェクタ用のアクティブマトリクス型液晶表示装置として、小型でかつ、高精細な液晶表示装置を実現できることから、画素電極を形成した基板上に、画素電極を駆動する駆動回路をも形成する所謂駆動回路一体型液晶表示装置が知られている。

【0007】

さらには、駆動回路一体型液晶表示装置において、画素電極及び、画素用スイッチング素子、駆動回路等を絶縁基板ではなく、半導体基板上に形成した反射型液晶表示装置（Liquid Crystal on Silicon、以下LCOSとも呼ぶ）が知られている。

40

【0008】

LCOSを用いた液晶表示装置については、例えば下記「特許文献1」などにより提案されている。また、LCOSの駆動方法については、下記「特許文献2」などにより提案されている。

【0009】

【特許文献1】USP6, 784, 956号

【特許文献2】特開2003-344824号

【発明の開示】

【発明が解決しようとする課題】

【0010】

50

現在、ＬＣＯＳはリアプロジェクションＴＶの表示素子として注目されている。ＬＣＯＳを汎用品であるＴＶ用途に用いる場合には、不測の使用方法に対しても正常な動作が求められている。例えば突然の電源遮断等にも対応可能である事が要求される。

【００１１】

液晶表示装置では、液晶に直流電圧が印加されると劣化が起こるため、動作時は交流駆動が行われ、駆動停止時には画素電極に電荷が残らないように、液晶表示装置を駆動している。そのため、各駆動回路にて電源を落とす順番と時間を厳密に制御し、画素電極に残る電荷（以下残留電荷と呼ぶ）を低減している。

【００１２】

しかしながら、突然の電源遮断時には、電源を停止するシーケンスが実行できず、残留電荷が発生して液晶が劣化することになる。また、残留電荷を低減するために厳密に電源停止シーケンスを制御することは困難であった。

【００１３】

本発明は前記従来技術の問題点を解決するためになされたものであり、本発明は液晶表示装置において、残留電荷を低減する構成を提供し、さらには厳密に電源停止シーケンスを制御することなく、残留電荷の低減を可能とする技術を提供することにある。

【００１４】

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【００１５】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００１６】

液晶表示装置の画素用スイッチング素子に、ディプレッションモードの電界効果トランジスタを用い、電源オフ時に画素電極と信号線との間が電氣的に導通状態となるようにした。

【００１７】

また、基板電圧を画素部に供給するように基板電圧供給線を設け、通常動作時には入力映像信号の振幅範囲で、トランジスタが走査信号により十分にオン・オフするようにした。

【発明の効果】

【００１８】

本発明によれば、駆動回路が異常停止した場合にも画素電極の残留電荷を減少させ、液晶の劣化を防止でき、低電圧駆動可能な液晶表示装置を実現する。

【発明を実施するための最良の形態】

【００１９】

液晶表示装置の画素用スイッチング素子に、ディプレッションモードの電界効果トランジスタを用い、電源オフ時に画素電極と信号線との間が電氣的に導通状態となるようにした。

【００２０】

また、基板電圧を画素部に供給するように基板電圧供給線を設け、通常動作時には入力映像信号の振幅範囲で、トランジスタが走査信号により十分にオン・オフするようにした。

【００２１】

また、基板電圧供給線と映像信号線とを同一層で形成する場合には、表示領域周辺部で基板電圧供給線と映像信号線とが交差するよう配線を設けた。

【実施例１】

【００２２】

以下、本発明の実施例について図面を参照して説明する。なお、発明の実施例を説明す

10

20

30

40

50

るための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

図1は、本発明の実施例である液晶表示装置の概略構成を示すブロック図である。

【0024】

本実施例の液晶表示装置は、液晶パネル（液晶表示素子）100と、表示制御装置111とで構成される。液晶パネル100は、マトリックス状に画素部101が設けられた表示部110（表示領域とも呼ぶ）と、水平駆動回路（映像信号線駆動回路）120と、垂直駆動回路（走査信号線駆動回路）130と、画素電位制御回路135と、補助回路145から構成される。また、表示部110と水平駆動回路120と垂直駆動回路130と画素電位制御回路135と補助回路145とは同一基板上に設けられている。 10

【0025】

表示制御装置111は外部から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の制御信号を基に、水平駆動回路120および、垂直駆動回路130、画素電位制御回路135を制御する。また、表示制御装置111は液晶パネルに表示すべき表示信号を水平駆動回路120に供給する。131は表示制御装置111から出力する制御信号線であり、132は表示信号線である。

【0026】

水平駆動回路120からは垂直方向（図中Y方向）に、複数本の映像信号線（ドレイン信号線または垂直信号線ともいう）103が延びており、また複数本の映像信号線103は水平方向（X方向）に並んで設けられている。垂直駆動回路130からは水平方向（X方向）に複数本の走査信号線（ゲート信号線または水平信号線ともいう）102が延びており、また複数本の走査信号線102は垂直方向（Y方向）に並んで設けられている。画素電位制御回路135からは水平方向（X方向）に複数本の画素電位制御線136が延びており、また複数本の画素電位制御線136は垂直方向（Y方向）に並んで設けられている。さらに、水平駆動回路120からは、垂直方向に複数本の基板電圧供給線106が映像信号線103に並行して設けられている。この基板電圧供給線106により画素部101が設けられた半導体基板に基板電圧が供給される。なお、基板電圧の詳細については後述する。 20

【0027】

画素部101は模式的に正方形で示したが、隣合う2本の走査信号線102と隣合う2本の映像信号線103とに囲まれ、画素電極が設けられた領域を示している。図1は、同一の構成からなる画素部101がマトリクス状に形成され、表示する像の画素を構成することをわかり易く示したものである。画素電極と対向電極と両電極に挟まれて液晶層が設けられており（図示せず）、画素電極と対向電極の間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化することを利用して表示が行われる。 30

【0028】

表示部110の垂直駆動回路130とは反対側の辺部には、補助回路145が設けられている。垂直駆動回路130から出力した走査信号線102は補助回路145にも接続している。 40

【0029】

水平駆動回路120は、水平シフトレジスタ121と、電圧選択回路123とから構成される。表示制御装置111から制御信号線131や表示信号線132が水平シフトレジスタ121と電圧選択回路123とに接続され、制御信号や表示信号が送信されている。なお、表示信号はアナログ信号の場合もデジタル信号の場合も利用可能である。また各回路の電源電圧線については表示を省略したが、必要な電圧が供給されているものとする。

【0030】

表示制御装置111は、外部から垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、制御信号線131を介して垂直駆動回路130にスタートパ 50

ルスを出力する。次に、表示制御装置 111 は水平同期信号に基づいて、1 水平走査時間（以下 1 h と示す）毎に、走査信号線 102 を順次選択するようにシフトクロックを垂直駆動回路 130 に出力する。垂直駆動回路 130 は、シフトクロックに従い走査信号線 102 を選択し、走査信号線 102 に走査信号を出力する。すなわち、垂直駆動回路 130 は図 1 中上から順番に 1 水平走査時間 1 h の間、走査信号線 102 を選択する信号を出力する。

【0031】

また、表示制御装置 111 は、ディスプレイタイミング信号が入力されると、これを表示開始と判断し、表示信号を水平駆動回路 120 に出力する。表示制御装置 111 から表示信号は順次出力されるが、水平シフトレジスタ 121 は表示制御装置 111 から送られてくるシフトクロックに従いタイミング信号を出力する。タイミング信号は、電圧選択回路 123 が各映像信号線 102 に出力すべき表示信号を取り込むタイミングを示している。

10

【0032】

表示信号がアナログ信号である場合は、電圧選択回路 123 はタイミング信号に従いアナログ信号の中から一定の電圧を表示信号（階調電圧）として取り込み、該取り込んだ階調電圧を映像信号として映像信号線 103 に出力する。表示信号がデジタル信号の場合には、電圧選択回路 123 はタイミング信号に従い表示信号を取り込み、表示信号（デジタルデータ）を元に階調電圧を選択（デコード）して映像信号線 103 に出力する。映像信号線 103 に出力された階調電圧は、映像信号として垂直駆動回路 130 からの走査信号

20

【0033】

前述したように、液晶表示装置では液晶組成物の劣化を防止するため、対向電極に対する画素電極の極性が反転するような交流駆動が行われている。そのため、映像信号として出力する電圧は、一定周期で対向電極の電圧に対して反転した信号が供給される。本願明細書では、画素部に書き込まれた信号を画素電位制御信号により極性を反転させて、交流駆動を行う方法を用いた場合を説明する。

【0034】

画素電位制御回路 135 は、表示制御装置 111 からの制御信号にもとづき、画素電極に書き込まれた映像信号の電圧を制御する。映像信号線 103 から画素電極に書き込まれた階調電圧は、対向電極の基準電圧に対してある電位差を有している。画素電位制御回路 135 は画素部 101 に制御信号を供給して画素電極と対向電極との間の電位差を変化させる。なお、画素電位制御回路 135 については後で詳述する。

30

【0035】

補助回路 145 は、その出力が走査信号線 102 に接続しており、走査信号線 102 が特定の電圧となるように動作する。前述したように、走査信号線 102 には垂直駆動回路 130 から走査信号が出力しているが、補助回路 145 は垂直駆動回路 130 の出力を補助し、配線抵抗により走査信号線 102 に生じる、走査信号の差（波形なまり）を解消するよう働く回路である。垂直駆動回路 130 からの出力が高電圧の場合に補助する場合では、プルアップ回路となるが、低電圧の場合に補助する場合では、プルダウン回路となる

40

【0036】

なお、本願発明は低電圧化の目的で画素電位制御回路 135 を用いた液晶表示装置に適用して有効であり、また、波形なまりの低減という目的で補助回路 145 を用いた液晶表示装置に適用して有効であるが、本願発明の実施例は画素電位制御回路 135 及び補助回路 145 を有する液晶表示装置に限られるものではない。

【0037】

次に、残留電荷について説明する。残留電荷防止の方法として、液晶表示装置の駆動を停止する場合には、走査信号線 102 に画素電極と映像信号線 103 とを導通させる走査信号を供給し、画素電極と映像信号 103 とを導通状態とし、画素電極の電荷を映像信号

50

線 103 に移動させた後、各駆動回路の動作を停止させて、画素電極の残留電荷を減少させている。この時、理想的には、映像信号線 103、画素電極、対向電極共に接地電位とすることができれば、残留電荷による液晶の劣化は低減可能である。しかしながら、TV 等の汎用品では、走査信号線 102 に走査信号を供給する機会もなく駆動回路が停止する事態が発生する可能性が増加するため、電源オフ時の制御方法とは異なる新たな対応が要求されている。

【0038】

次に図 2 を用いて、本発明の 1 実施例である液晶パネル 100 の画素部 101 について説明する。図 2 は画素部 101 の等価回路を示す回路図である。画素部 101 は表示部 110 の隣接する 2 本の走査信号線 102 と、隣接する 2 本の映像信号線 103 との交差領域（4 本の信号線で囲まれた領域）に設けられ、表示部 110 内にマトリックス状に配置される。また、映像信号線 103 に並行して基板電圧供給線 106 が設けられている。

10

【0039】

図 2 では図を簡略化するため 1 つの画素部だけを示している。各画素部 101 は、アクティブ素子 30（画素部のスイッチング素子とも呼ぶ）と画素電極 109 を有している。また、画素電極 109 には画素容量 115 が接続されている。画素容量 115 の一方の電極は画素電極 109 に接続され、他方の電極は画素電位制御線 136 に接続されている。さらに画素電位制御線 136 は画素電位制御回路 135 に接続されている。

【0040】

本実施例では、アクティブ素子 30 は制御端子にオフ信号が印加されていない状態では、導通状態（オン）となる素子である。例えば、チャンネル領域に不純物が注入された、ディプレッション（Depletion）モードの電界効果トランジスタ（以下 M I S トランジスタまたは、M I S と呼ぶ）を用いることができる。図 2 においては、アクティブ素子 30 を p 型トランジスタで示しているが、n 型トランジスタとすることも可能である。

20

【0041】

前述したように、走査信号線 102 には垂直駆動回路 130 から走査信号が出力している。この走査信号によりアクティブ素子 30 のオン・オフが制御される。映像信号線 103 には映像信号として階調電圧が供給されており、アクティブ素子 30 がオンになると、映像信号線 103 から画素電極 109 に階調電圧が供給される。画素電極 109 に対向するように対向電極 107（コモン電極）が配置されており、画素電極 109 と対向電極 107 との間には液晶層（図示せず）が設けられており、液晶層に電界が印加される。

30

【0042】

なお、図 2 に示す回路図上では画素電極 109 と対向電極 107 との間は等価的に液晶容量 108 が接続されているように表示した。画素電極 109 と対向電極 107 との間に電圧を印加することにより、液晶分子の配向方向等が変化し、それに伴い液晶層の光に対する性質が変化し、偏光素子と組み合わせることで、各画素の光の透過率（反射率）を変化させることが可能となる。画像に階調を持たせるには、光の透過率に対応して画素電極に電圧（階調電圧）を印加する。

【0043】

前述したように、アクティブ素子 30 にはディプレッションモードの M I S トランジスタを用いるため、ゲート端子にオフ信号が供給されていない場合には、アクティブ素子 30 は導通状態となる。そのため、駆動回路が停止した場合には、画素電極 109 と映像信号線 103 との間が電氣的に導通状態となる。よって、液晶表示装置の電源オフ時には、画素電極 109 の電荷は映像信号線 103 へ移動し、画素電極 109 に残留する電荷の量を低減することができる。

40

【0044】

ただし、アクティブ素子 30 をディプレッションモードの M I S トランジスタとし、M I S トランジスタのしきい値を変動させると、入力映像信号の振幅によっては、走査信号でアクティブ素子 30 を十分にオン状態、オフ状態とすることができないという問題が生じる。

50

【0045】

図3にしきい値を変化させた場合のp型MISトランジスタのオン抵抗値と入力信号電圧との関係を示す。図3(a)は測定に用いた回路図を示し、図3(b)に測定結果を示す。MISトランジスタ280のゲート端子281には、オン信号として0Vを印加する。ドレイン282にはソース283より0.1V高くなるように電圧 V_{ds} が印加されている。入力信号 V_{in} は0Vから8Vの範囲で変動する。なお、基板電圧は $V_{bb}=8V$ を印加している。

【0046】

測定は入力信号電圧を変化させ、ドレイン282に流れ込む電流 I_m を測定し、オン抵抗 R_{on} は、ソースドレイン間の電圧 V_{ds} と電流 I_m から計算してもとめた。

10

【0047】

図3(b)において、波形285は不純物の打ち込みにより、波形286に対してしきい値を低くしたMISトランジスタのオン抵抗 R_{on} を示す。波形285では入力信号が2Vの場合に、オン抵抗は $1 \times 10^5 \Omega$ 以下であるのに対して、波形286では入力信号が2Vの場合に、オン抵抗は $1 \times 10^6 \Omega$ 以上になっており、波形285のMISトランジスタは波形286のMISトランジスタに対して動作範囲が低電圧側に広がっている。

【0048】

なお、図3及び図4に示すMISトランジスタは、ディプレッションモードのトランジスタであり、液晶表示装置に供給される電源が切断された場合には、基板電位も略接地電位となり、制御端子にもオフ電圧が供給されないことから、オン抵抗値は充分低くなり（前述の $1 \times 10^5 \Omega$ 以下）、画素電極と映像信号線は電氣的に導通状態となる。

20

【0049】

次に、図4(a)にオフ抵抗について測定結果を示す。図3に示した、不純物の打ち込みにより、しきい値を低くしたMISトランジスタにおいて、波形287は基板電圧7Vとし、オフ信号として7Vをゲート端子に印加したものである。波形287では入力信号が6.5Vの場合にオフ抵抗 $1 \times 10^6 \Omega$ 以下となっており、入力信号の範囲の高電圧側を6.5Vとするには不適である。

【0050】

対して、波形288は不純物の打ち込みにより、しきい値を低くしたMISトランジスタではあるが、基板電圧を8Vとし、オフ信号として8Vをゲート端子に印加したものである。入力信号6.5Vでオフ抵抗は $1 \times 10^6 \Omega$ 以上であり、基板電圧を7Vから8Vとすることで、高電圧側の動作範囲が広がっている。

30

【0051】

図4(b)に、不純物の打ち込みによるしきい値の制御と、最適な基板電圧を調整した場合の入力信号に対するオン・オフ抵抗値を示す。図4(b)では、基板電圧を8Vとして、オン信号に0V、オフ信号に8Vをゲート電極に印加した。

【0052】

図4(b)によると、入力信号の範囲を2Vから6.5Vとした場合に、入力信号の範囲内でオン抵抗値は $1 \times 10^5 \Omega$ 以下で、オフ抵抗値は $1 \times 10^6 \Omega$ 以上であり2Vから6.5Vは充分有効な入力信号範囲となる。

40

【0053】

さらには、入力信号範囲の振幅を4.5Vとした場合に、振幅の約10%にあたる0.5V程度の余裕をもたせて、入力信号が1.5Vでオン抵抗が $1 \times 10^5 \Omega$ 以下で、7.0Vで、オフ抵抗は $1 \times 10^6 \Omega$ 以上であることが要求される。より望ましくは、振幅の約20%にあたる1.0V程度の余裕をもたせて、入力信号が1.0Vでもオン抵抗が $1 \times 10^5 \Omega$ 以下で、7.5Vでも、オフ抵抗が $1 \times 10^6 \Omega$ 以上であることが望ましい。

【0054】

そのために、余裕ある入力信号振幅範囲内で、充分なオン抵抗値とオフ抵抗値とするために、不純物の打ち込み量の制御と、最適な基板電圧の供給が必要となる。本実施例では、画素部に設けたアクティブ素子にも基板電圧を供給するため、表示領域110内部に基

50

板電圧供給線 106 を設けることとした。

【0055】

図2に示すように、表示領域110の内部にも映像信号線103と並列に基板電圧供給線106が設けられている。表示領域110の内部では、基板電圧供給線106は画素部毎に基板電圧を供給するよう接続されている。また、表示部110の周囲に形成された垂直駆動回路130や画素電位制御回路135にも基板電圧を供給するため、表示領域110の周囲にも基板電圧供給線106が設けられている。画素部の基板電圧を正確な電圧で印加する必要のない場合では、この表示領域周囲の基板電圧供給線106で画素部への基板電圧の供給を行うことが可能である。

【0056】

次に図5を用いて、反射型液晶表示装置の画素部を説明する。図5は本発明の一実施例である反射型液晶表示装置の模式断面図である。図5において、100は液晶パネル、1は第1の基板である駆動回路基板、2は第2の基板である透明基板、3は液晶組成物、4はスペーサである。スペーサ4は駆動回路基板1と透明基板2との間に一定の間隔であるセルギャップ(cell gap)dを形成している。このセルギャップdに液晶組成物3が挟持されている。5は反射電極(画素電極)で駆動回路基板1に形成されている。6は対向電極で反射電極5との間で液晶組成物3に電圧を印加する。7、8は配向膜で液晶分子を一定方向に配向させる。30はMISトランジスタで反射電極5に階調電圧を供給する。

【0057】

符号32はMISトランジスタ30のチャネル領域で、本願明細書ではp型のMISトランジスタを記載している。さらにMISトランジスタ30はディプレッションモードなので、不純物の打ち込みによりnウエルの表面にp型の不純物領域が形成されている。符号290は画素部スルーホールで、画素部までに延伸した基板電圧供給線106から画素部のnウエルに基板電圧を供給している。

【0058】

符号34はMISトランジスタ30のソース領域、35はドレイン領域、36はゲート電極である。38は絶縁膜、31は画素容量を形成する第1の電極で、40は画素容量を形成する第2の電極である。第1の電極31は不純物拡散領域で、絶縁膜38を介し第1の電極31と第2の電極40とはキャパシタを形成する。

【0059】

図5では、第1の電極31と第2の電極40とを画素容量を形成する代表的な電極として示しており、他にも画素電極と電氣的に接続した導体層と画素電位制御信号線と電氣的に接続した導体層とが、誘電体層を挟んで対向していれば画素容量を形成することが可能である。

【0060】

41は第1の層間膜、42は第1の導電膜である。第1の導電膜42はドレイン領域35から第2の電極40とを電氣的に接続している。43は第2の層間膜、44は第1の遮光膜、45は第3の層間膜、46は第2の遮光膜である。第2の層間膜43と第3の層間膜45にはスルーホール(層間接続部)42CHが形成され、第1の導電膜42と第2の遮光膜46が電氣的に接続されている。47は第4の層間膜、48は反射電極5を形成する第2の導電膜である。

【0061】

ソース領域34には映像信号線103が電氣的に接続されており、MISトランジスタ30に映像信号が供給されている。MISトランジスタ30のドレイン領域35から第1の導電膜42、スルーホール42CH、第2の遮光膜46を介して映像信号は反射電極5に伝えられる。

【0062】

MISトランジスタ30に映像信号を供給する映像信号線103は第1の導電膜42と同層で形成されている。また、映像信号線103と並列に基板電圧供給線106が第1の導電膜42と同層で形成されており、n型ウエル領域に基板電圧を供給している。

10

20

30

40

50

【0063】

また、第1の遮光膜44はキャパシタを形成する第1の電極31と電氣的に接続しており、第1の遮光膜44を介して第1の電極31に画素電位制御信号が供給される。

【0064】

本実施例の液晶表示装置は反射型であり、大量の光が液晶パネル100に照射される。遮光膜は駆動回路基板の半導体層に光が入射しないよう遮光している。反射型液晶表示装置において液晶パネル100に照射された光は、透明基板2側（図5中上側）から入射し、液晶組成物3を透過し反射電極5で反射し再度液晶組成物3、透明基板2を透過して液晶パネル100から出射する。しかしながら、液晶パネル100に照射される光の一部は、反射電極5の隙間から駆動回路基板側に漏れ込む。第1の遮光膜44と第2の遮光膜46はアクティブ素子30に光が入射しないように設けられている。本実施例では、この遮光膜を導電層で形成し、第2の遮光膜46を反射電極5に電氣的に接続し、第1の遮光膜44に画素電位制御信号を供給することで、遮光膜を画素容量の一部としても機能するようになっている。

10

【0065】

なお、第1の遮光層44に画素電位制御信号を供給すると、階調電圧が供給される第2の遮光膜46と映像信号線103を形成する第1の導電層42や走査信号線102を形成する導電層（ゲート電極36と同層の導電層）との間に電氣的シールド層として第1の遮光膜44を設けることができる。このため、第1の導電層42やゲート電極36等と第2の遮光膜46や反射電極5との間の寄生容量成分が減少する。前述したように液晶容量C_Lに対して画素容量C_Cは充分大きくする必要があるが、第1の遮光膜44を電氣的シールド層として設けると、液晶容量L_Cと並列に接続される寄生容量も小さくなりより効率的である。さらに信号線からの雑音の飛び込みを減少することも可能となる。

20

【0066】

また、液晶表示素子を反射型とし、駆動回路基板1の液晶組成物3側の面に反射電極5を形成した場合、駆動回路基板1として不透明なシリコン基板等を用いることが可能である。また、アクティブ素子30や配線を反射電極5の下に設けることができ、画素となる反射電極5を広くし、所謂高開口率を実現することができる利点がある。また、液晶パネル100に照射される光による熱を駆動回路基板1（シリコン基板とも呼ぶ）の裏面から放熱できるといった利点もある。

30

【0067】

本実施例では、アクティブ素子30にディプレッションモードのMISトランジスタを用いて、駆動回路が停止した場合には、アクティブ素子30が導通状態となり画素電極の残留電荷を減少させるものとしたが、アクティブ素子30のしきい値電圧を正確に制御し、入力信号振幅内で十分なオン抵抗値とオフ抵抗値とを得るため、画素部にも基板電圧を供給するスルーホール290を設けた。そこで画素部に基板電圧を供給するためには、表示領域110にも基板電圧供給線106を延伸する必要があるが生じる。

【0068】

図6に表示領域110の周辺から表示領域内部に基板電圧供給線106を延伸させる構成を示す。図6(a)は表示領域周辺を示す概略平面図で、図6(b)は図6(a)のA-A線を示す概略断面図である。図6(a)は表示領域周辺を示しているが、表示領域110と周囲には境界線があるわけではない。表示領域110には、画素部101が形成されており、周辺部には水平駆動回路120が設けられている。

40

【0069】

水平駆動回路120には水平駆動回路用の基板電圧供給線として第1基板電圧供給線382と、第1基板電圧供給線382から基板に電圧を供給する水平駆動回路部スルーホール387と、映像信号出力配線381が設けられている。この映像信号出力配線381には映像信号が供給されている。

【0070】

表示領域110には画素部101と映像信号線103と基板電圧供給線106とが設け

50

られており、映像信号線 103 と基板電圧供給線 106 とは、並列で、同層の導電膜から構成されている。

【0071】

表示領域 110 と水平駆動回路 120 との間には、第 2 基板電圧供給線 383 が映像信号線 103 と同層の導電膜で形成され、表示領域 110 の周辺部に周辺部スルーホール 389 を介して、半導体基板の不純物領域に基板電圧を供給している。

【0072】

さらに、表示領域 110 に向けて第 2 基板電圧供給線 383 から画素部用の基板電圧供給線 106 が延伸している。この画素部用の基板電圧供給線 106 は映像信号線 103 と並列に形成され、画素部 101 にて基板電圧を供給している。基板電圧供給線 106 と映像信号線 103 とは表示領域 110 内では並列に設けられるため、交差することがないので同層の導電膜で形成することが可能である。 10

【0073】

しかしながら、周辺部用の第 2 基板電圧供給線 383 は映像信号線 103 と交差するように表示領域 110 の周辺に沿って設けられるので、映像信号線 103 と同層の導電膜で形成した場合に短絡するという問題が生じる。そこで、本実施形態では、映像信号出力端子 381 と映像信号線 103 との間に接続用配線 385 を映像信号線 103 とは異なる層の導電膜で形成している。

【0074】

映像信号出力端子 381 と接続用配線 385 は出力部スルーホール 386 で接続され、映像信号線 103 と異なる層で第 2 基板電圧供給線 383 と交差し、映像信号線用スルーホール 388 で接続用配線 385 と映像信号線 103 とが電氣的に接続される。 20

【0075】

図 6 (b) に示すように、接続用配線 385 を映像信号線 103 の下層に設ける場合には、図 5 のゲート電極 36 と同じ層で形成することが可能である。映像信号線用スルーホール 388 は第 1 の層間絶縁膜 41 に開口を設けたものとなる。

【0076】

次に、低電圧交流駆動について説明する。液晶表示装置の駆動方法としては、前述したように液晶層に直流電流が印加されないように交流駆動が行われる。交流駆動を行うためには、対向電極 107 の電位を基準電位とした場合に、電圧選択回路 123 からは基準電位に対して正極性と負極性の電圧が階調電圧として出力する。しかしながら、電圧選択回路 123 を正極性と負極性の電位差に耐えるような高耐圧な回路とすると、アクティブ素子 30 をはじめとし回路規模が大きくなるという問題や、動作速度が遅くなるといった問題が生じることとなる。 30

【0077】

そこで、電圧選択回路 123 から画素電極 109 に供給する映像信号（階調電圧）は、基準電位に対して同極性の信号を用いながらも交流化駆動を行うことを検討した。例えば、電圧選択回路 123 から出力する階調電圧は、基準電位に対し正極性の電圧を用い、基準電位に対し正極性の電圧を画素電極に書き込んだ後に、画素電位制御回路 135 から画素容量 115 の電極に印加している画素電位制御信号の電圧を引き下げることにより、画素電極 109 の電圧も降下させて、基準電位に対して負極性の電圧を生じることが出来る。このような駆動方法を用いると、電圧選択回路 123 が出力する最大値と最小値との差が小さいため、電圧選択回路 123 は低耐圧の回路とすることが可能となる。なお 1 例として、画素電極 109 に正極性の電圧を書き込んで画素電位制御回路 135 により負極性の電圧を生じさせる場合について説明したが、負極性の電圧を書き込んで正極性の電圧を生じさせるには、画素電位制御信号の電圧を引き上げることにより可能である。 40

【0078】

次に図 7 を用いて、前述した画素電極 109 の電圧を変動させる方法について説明する。図 7 は説明のため液晶容量 108 を第 1 のコンデンサ 53 で表わし、画素容量 115 を第 2 のコンデンサ 54 で表わし、アクティブ素子 30 をスイッチ 104 で示したものであ 50

る。画素容量 115 の画素電極 109 に接続される電極を電極 56 とし、画素容量 115 の画素電位制御線 136 に接続される電極を電極 57 とする。また、画素電極 109 と電極 56 とが接続された点を節点 58 で示す。ここでは説明のため、他の寄生容量は無視できるものとして、第 1 のコンデンサ 53 の容量は C_L で、第 2 のコンデンサ 54 の容量は C_C とする。

【0079】

まず図 7 (a) に示すように、第 2 のコンデンサ 54 の電極 57 には外部から電圧 V_1 を印加する。次に、走査信号によりスイッチ 104 がオンになると、映像信号線 103 から電圧が画素電極 109 及び電極 56 に供給される。ここで、節点 58 に供給された電圧を V_2 とする。

【0080】

次に、図 7 (b) に示すように、スイッチ 104 がオフになった時点で、電極 57 に供給している電圧（画素電位制御信号）を V_1 から V_3 に降下させる。このとき、第 1 のコンデンサ 53 と第 2 のコンデンサ 54 とに充電された電荷の総量は変化しないことから、節点 58 の電圧が変化して、節点 58 の電圧は、 $V_2 - \{C_C / (C_L + C_C)\} \times (V_1 - V_3)$ となる。

【0081】

ここで、第 1 のコンデンサ 53 の容量 C_L が第 2 のコンデンサ 54 の容量 C_C に比べて充分小さい場合 ($C_L \ll C_C$) は、 $C_C / (C_L + C_C) \rightarrow 1$ となり節点 58 の電圧は $V_2 - V_1 + V_3$ となる。ここで $V_2 = 0$ 、 $V_3 = 0$ とすると、節点 58 の電圧を $-V_1$ とすることができる。

【0082】

前述した方法によれば、画素電極 109 に映像信号線 103 から供給する電圧は対向電極 107 の基準電位に対し正極性にして、負極性の信号は電極 57 に印加する電圧（画素電位制御信号）を制御することにより作り出すことができる。このような方法で負極性の信号を作り出すと、電圧選択回路 123 からは負極性の信号を供給する必要がなくなり、周辺回路を低耐圧の素子で形成することが可能となる。

【0083】

次に図 8 を用いて、図 2 に示す画素電位制御回路 135 の動作タイミングについて説明する。 Φ_1 は映像信号線 103 に供給される階調電圧を示す。 Φ_2 は走査信号線 102 に供給される走査信号である。 Φ_3 は画素電位制御信号線 136 に供給される画素電位制御信号（降圧信号）である。 Φ_4 は画素電極 109 の電位を示している。なお、画素電位制御信号 Φ_3 は図 7 で示した電圧 V_3 と V_1 で振幅する信号である。

【0084】

図 8 を説明するあたり、 Φ_1 は正極性用入力信号 $\Phi_1 A$ と、負極性用入力信号 $\Phi_1 B$ を示している。ここで、負極性用とは画素電極に印加された電圧が画素電位制御信号により変動して、基準電位 V_{com} に対して負極性となる場合の信号のことである。本実施例では映像信号 Φ_1 として正極性用入力信号 $\Phi_1 A$ と負極性用入力信号 $\Phi_1 B$ 共に、対向電極 107 に印加された基準電位 V_{com} に対して電位が正極性となるような電圧が供給される場合を説明する。

【0085】

図 8 において期間 t_0 から t_2 の間では、階調電圧 Φ_1 が正極性用入力信号 $\Phi_1 A$ の場合を示している。まず、 t_0 において画素制御信号 Φ_3 として電圧 V_1 を出力する。次に時刻 t_1 において走査信号 Φ_2 が選択されロウレベルとなると、図 2 に示す p 型トランジスタ 30 がオン状態となり、映像信号線 103 に供給されている正極性用入力信号 $\Phi_1 A$ が、画素電極 109 に書き込まれる。画素電極 109 に書き込まれる信号は図 8 では Φ_4 で示している。また、図 8 において t_1 で画素電極 109 に書き込まれた電圧は $V_2 A$ で示している。次に、走査信号 Φ_2 が非選択状態となり、ハイレベルになると、トランジスタ 30 はオフ状態となり、画素電極 109 は電圧を供給する映像信号線 103 から切り離された状態になる。液晶表示装置は画素電極 109 に書き込まれた電圧 $V_2 A$ に従った階

10

20

30

40

50

調を表示する。

【0086】

次に、期間 t_2 から t_4 の間で階調電圧 Φ_1 が負極性用入力信号 $\Phi_1 B$ の場合を説明する。負極性用入力信号 $\Phi_1 B$ の場合、時刻 t_2 において走査信号 Φ_2 が選択され、画素電極 109 には Φ_4 に示すような電圧 V_{2B} が書き込まれる。その後、トランジスタ 30 をオフ状態とし、時刻 t_2 から $2h$ (2 水平走査時間) 後の時刻 t_3 において画素容量 115 に供給している電圧を画素電位制御信号 Φ_3 に示すように V_1 から V_3 に降圧する。画素電位制御信号 Φ_3 を V_1 から V_3 に変動させると画素容量 115 が結合容量の役割を果たし、画素電位制御信号 Φ_3 の振幅に従い、画素電極の電位を下げるができる。これにより基準電位 V_{com} に対して負極性の電圧 V_{2C} を画素内に作り出すことができる。 10

【0087】

前述した方法で、負極性の信号を作り出すと、周辺回路を低耐圧の素子で形成することが可能となる。すなわち、電圧選択回路 123 から出力する信号は正極性側の狭い振幅の信号であるため、電圧選択回路 123 は低耐圧の回路とすることが可能となる。さらに電圧選択回路 123 が低電圧で駆動可能であれば、他の周辺回路である、水平シフトレジスタ 120、表示制御装置 111 等は低耐圧の回路であるため、液晶表示装置全体として低耐圧の回路による構成が可能となる。

【0088】

次に図 9 を用いて、画素電位制御回路 135 の回路構成を示す。SR は双方向シフトレジスタであり、上下双方向に信号をシフトすることが可能である。双方向シフトレジスタ SR はクロックインバータ 61、62、65、66 で構成されている。67 はレベルシフタで、69 は出力回路である。双方向シフトレジスタ SR 等は電源電圧 V_{DD} で動作している。レベルシフタ 67 は双方向シフトレジスタ SR から出力する信号の電圧レベルを変換する。レベルシフタ 67 からは電源電圧 V_{DD} より高電位である電源電圧 V_{BB} と電源電圧 V_{SS} (GND 電位) との間の振幅を有する信号が出力される。出力回路 69 は電源電圧 V_{PP} と V_{SS} が供給されており、レベルシフタ 67 からの信号に従い、電圧 V_{PP} と V_{SS} とを画素電位制御線 136 に出力する。図 8 にて説明した画素電位制御信号 Φ_3 の電圧 V_1 が電源電圧 V_{PP} で、電圧 V_3 が電源電圧 V_{SS} となる。なお、図 9 では出力回路 69 を p 型トランジスタと n 型トランジスタからなるインバータで示している。p 型トランジスタに供給する電源電圧 V_{PP} と n 型トランジスタに供給する電源電圧 V_{SS} の値を選ぶことで、電圧 V_{PP} と V_{SS} とを画素電位制御信号 Φ_3 として出力することが可能である。 20 30

【0089】

ただし、後述するように p 型トランジスタを形成するシリコン基板には基板電圧 V_{BB} が供給されているので、電源電圧 V_{PP} の値は基板電圧 V_{BB} に対して適切な値が設定される。

【0090】

26 はスタート信号入力端子で、制御信号の一つであるスタート信号を画素電位制御回路 135 に供給する。図 9 に示す双方向シフトレジスタ SR1 から SRn は、スタート信号が入力すると外部から供給されるクロック信号のタイミングに従い、順番にタイミング信号を出力する。レベルシフタ 67 はタイミング信号に従い電圧 V_{SS} と電圧 V_{BB} を出力する。出力回路 69 はレベルシフタ 67 の出力に従い電圧 V_{PP} と電圧 V_{SS} を画素電位制御線 136 に出力する。図 8 の画素電位制御信号 Φ_3 に示すタイミングとなるように、スタート信号およびクロック信号を双方向シフトレジスタ SR に供給することで、画素電位制御回路 135 から希望するタイミングで画素電位制御信号 Φ_3 を出力することが可能である。なお 25 はリセット信号入力端子である。 40

【0091】

ここで、画素電位制御回路 135 と垂直駆動回路 130 との位置関係について検討する。図 8 の説明において前述したように、画素電位制御信号は走査信号と連動して駆動される。そのため、画素電位制御線 136 は走査信号線 102 と並列に設けられている。よっ 50

て、画素電位制御回路 135 が設けられる位置は、走査信号線 102 の端部近傍が適当であるが、走査信号線 102 の一方の端には垂直駆動回路 130 が設けられており、画素電位制御回路 135 が設けられるのは、垂直駆動回路 130 とは反対側の走査信号線 102 端部近傍となる。

【0092】

従来、垂直駆動回路 130 は走査信号線 102 の一方の端部に設けられている。しかしながら、水平方向の画素数が増加すると、走査信号の波形なまりによる問題が生じ、その解決方法として、走査信号線 102 の両端に垂直駆動回路 130 を設けることが考えられる。ところが、画素電位制御回路 135 を設けると、その回路規模より垂直駆動回路 130 を走査信号線 102 の両端に設ける面積の余裕がないことがわかった。そこで、垂直駆動回路 130 よりも回路規模が小さい回路を、走査信号の波形なまりによる問題を解決するために、垂直駆動回路 130 の補助回路（プルアップ回路）145 として設けることとした。

10

【0093】

図 9 に示すように、プルアップ回路 145 は走査信号線 102 の画素電位制御回路 135 側端部に接続される。プルアップ回路 145 は制御信号線 143 に制御され基板電圧 V_{BB} の電源線と走査信号線 102 とを接続し、走査信号線 102 の電位が基板電圧 V_{BB} となるように機能する。基板電圧 V_{BB} は画素部のアクティブ素子 30（図 2 参照）がオフ状態となる走査信号のオフ電圧で、プルアップ回路 145 はアクティブ素子 30 がオフ状態となることを補助する。すなわち、プルアップ回路 145 は垂直駆動回路 130 から離れて、配線抵抗による波形なまりの影響が大であるアクティブ素子 30 が、急峻にオフ状態となるように働く。

20

【0094】

波形なまりは、高解像度化に伴う水平方向の画素数の増加により、走査信号線の配線抵抗の増加と、寄生容量の悪化により顕著になって来ている。この波形なまりは、走査信号線を駆動する垂直駆動回路 130 の出力端子から近端側の信号波形に対して、遠端側の信号波形の立ち上がりや立ち下がりにおいて、電圧の変化が急峻でなくなる（なまる）現象で、垂直駆動回路 130 からの距離により差がある。この波形なまりの差により、飛び込み電位に差が生じフリッカ、横スミア等の表示品質の低下が生じることとなる。飛び込み電位は、アクティブ素子 30 のゲート端子と画素電極との寄生容量により、走査信号線が非選択状態になる際に画素電極の電位が変動する現象である。

30

【0095】

一般に、飛び込み電位により対向電極の電圧（コモン電圧）に対して画素電極に直流成分が残る。残留直流成分を解消するため、コモン電位を最適の電圧となるよう（直流成分が解消するよう）に調整する。しかしながら、飛び込み電位が画面左右で異なると、コモン電位の調整では、画面左右での直流成分の差を解消することができない。そこで、図 9 に示す回路では、補助回路 145（プルアップ回路）を設け、飛び込み電位による問題を解決するために、アクティブ素子 30 のオフスイッチング時に走査信号線を両端から駆動する構成としている。

【0096】

図 9 に示す補助回路 145 では、画面左右での波形なまりの差を減少させ、飛び込み電位を走査信号線の両端で同程度とすることで、表示品質を水平方向に一樣としている。また、補助回路 145 をプルアップ回路とすることで、走査信号線 1 本あたりスイッチング素子 1 個で構成することができ、狭い領域内に補助回路を形成することが可能である。なお、スイッチング素子を p 型のトランジスタで示したが、アクティブ素子 30 を n 型のトランジスタとし、低電圧でオフ状態となるスイッチング素子とする場合には補助回路 145 をプルダウン回路とし n 型のスイッチング素子を用いることが可能である。

40

【0097】

次に、図 10（a）（b）を用いて、双方向シフトレジスタ S R に用いられるクロックドインバータ 61、62 を説明する。図中符号 U D 1 は第 1 方向設定線、U D 2 は第 2 方

50

向設定線である。

【0098】

図10に示す第1方向設定線UD1は、図9では下から上に走査する場合Hレベルで、第2方向設定線UD2は、図9では上から下に走査する場合Hレベルである。図9では図を見やすくするために結線を省略してあるが、第1方向設定線UD1、第2方向設定線UD2は共に双方向シフトレジスタSRを構成するクロックドインバータ61、62に接続されている。

【0099】

クロックドインバータ61は図10(a)に示すように、p型トランジスタ71、72とN型トランジスタ73、74からなる。p型トランジスタ71は第2方向設定線UD2に接続されており、n型トランジスタ74は第1方向設定線UD1に接続されている。そのため第1方向設定線UD1がHレベルで第2方向設定線UD2がLレベルの場合、クロックドインバータ61はインバータとして働き、第2方向設定線UD2がHレベルで第1方向設定線UD1がLレベルの場合ハイインピーダンスとなる。

【0100】

逆にクロックドインバータ62は図10(b)に示すように、p型トランジスタ71は第1方向設定線UD1に接続されており、n型トランジスタ74は第2方向設定線UD2に接続されている。そのため第2方向設定線UD2がHレベルの場合インバータとして働き、第1方向設定線UD1がHレベルの場合ハイインピーダンスとなる。

【0101】

次にクロックドインバータ65は図10(c)に示す回路構成であり、CLK1がHレベルで、CLK2がLレベルの場合に、入力を反転出力し、CLK1がLレベルで、CLK2がHレベルの場合に、ハイインピーダンスとなる。

【0102】

また、クロックドインバータ66は、図10(d)に示す回路構成であり、CLK2がHレベルで、CLK1がLレベルの場合に、入力を反転出力し、CLK2がLレベルで、CLK1がHレベルの場合に、ハイインピーダンスとなる。図10では、クロック信号線の結線を省略してあるが図10のクロックドインバータ65、66にはクロック信号線CLK1、CLK2が接続されている。

【0103】

以上説明したように、双方向シフトレジスタSRをクロックドインバータ61、62、65、66で構成することで、タイミング信号を順番に出力することが可能である。また画素電位制御回路135を双方向シフトレジスタSRで構成することで、画素電位制御信号Φ3を双方向に走査することが可能である。すなわち、垂直駆動回路130も同様の双方向シフトレジスタにより構成されており、本発明による液晶表示装置は上下双方向の走査が可能である。そのため、表示する像を上下逆転する場合などに、走査方向を反転して図中下から上に走査する。そこで垂直駆動回路130が下から上に走査する場合には、画素電位制御回路135も第1方向設定線UD1と第2方向設定線UD2の設定を変更することにより、下から上に走査するよう対応する。なお、水平シフトレジスタ121も同様の双方向シフトレジスタにより構成されている。

【0104】

次に図11、図12を用いて、垂直駆動回路130について説明する。図11は垂直駆動回路130の概略回路図で、図12は図11に示す回路のタイミングチャートである。図11に示す垂直駆動回路130も双方向シフトレジスタVSRで構成され、双方向に走査可能である。垂直駆動回路130も前述した画素電位制御回路135と同様の構成をしているが、符号144で示す垂直走査制御回路が加わっている。垂直走査制御回路144は、垂直走査制御線CNT1とCNT2により、双方向シフトレジスタVSRの出力GSを制御する。垂直走査制御線CNT1とCNT2の信号により、垂直駆動回路130は順次走査駆動、2ライン同時駆動、1ライン飛び越し走査駆動等の各種駆動が可能である。なお、垂直走査制御線CNT1とCNT2は、図1等 to 示す制御信号線131の一つであ

10

20

30

40

50

る

図 1 2 は図 1 1 の垂直駆動回路 1 3 0 において図中上から下の順方向に、順次走査駆動する場合の駆動タイミングを示している。映像信号として 1 H (1 水平走査期間) の間、水平駆動回路 1 2 0 から階調電圧として任意の電圧が出力している。垂直駆動回路 1 3 0 は階調電圧を画素電極に取り込むため、1 H の間、画素部のアクティブ素子をオン状態にする走査信号 (G 1 ~ G n) を出力する。

【 0 1 0 5 】

符号 V C L K はクロックドインバータ 6 5、6 6 に入力するクロックで、図 1 0 に示すクロック C L K に相当する。符号 V D i n は走査開始信号で、端子 2 6 から入力する。符号 U D は、順方向、逆方向走査を定める信号で、図 1 2 の場合ハイレベルで順方向となる。符号 V D o u t は走査終了信号で走査終了後に端子 2 7 から出力する。符号 C N T 1 と C N T 2 は、前述した垂直走査制御線の信号 (垂直走査制御信号) を示す。

10

【 0 1 0 6 】

双方向シフトレジスタ V S R 1 はクロック V C L K の立ち下がりエッジで、入力信号を保持し出力し、次のクロック V C L K の立ち下がりエッジまで値を保持する。そのため、双方向シフトレジスタ V S R 1 からの出力は G S 1 に示す波形となる。また、双方向シフトレジスタ V S R 2 はクロック V C L K の立ち上がりエッジで、入力信号を保持し出力し、次のクロック V C L K の立ち上がりエッジまで値を保持する。そのため、双方向シフトレジスタ V S R 2 からの出力は G S 2 に示す波形となる。そこで、垂直走査制御信号 C N T 1 と C N T 2 を図 1 2 に示すように出力し、垂直走査制御回路 1 4 4 の A N D 回路で演算して、出力バッファ 6 9 から走査信号 G 1 ~ G n として走査信号線 1 0 2 に出力する。

20

【 0 1 0 7 】

次に図 1 3、図 1 4 を用いて、プルアップ回路 1 4 5 の動作について説明する。なお、図 1 3 では図が複雑になることを避けるため、表示部 1 1 0 の左右周辺の回路を示している。プルアップ回路 1 4 5 は前述した垂直走査制御線 C N T 1 と C N T 2 の信号により制御される。垂直走査制御線 C N T 1 と C N T 2 から制御信号線 1 4 3 が出力し、プルアップ回路 1 4 5 に入力している。なお、レベルシフタ 6 7 では電圧を変換し、プルアップ回路 1 4 5 のスイッチング素子が駆動可能な電圧としている。

【 0 1 0 8 】

図 1 4 においても、図 1 2 と同様に垂直走査制御線 C N T 1 と C N T 2 の信号が出力しており、垂直走査制御信号 C N T 1 と C N T 2 の値を N O R 演算することで、制御信号線 1 4 3 に出力される制御信号 V P を形成することができる。制御信号 V P は走査信号 G 1 ~ G n がハイレベルになるタイミングで、プルアップ回路 1 4 5 のスイッチング素子をオン状態にする。

30

【 0 1 0 9 】

プルアップ回路 1 4 5 を設けることで、画素部のアクティブ素子 3 0 がオン状態からオフ状態に変化するオフスイッチング時に、走査信号線 1 0 3 を両端から駆動して、電圧 V B B となるようにすることが可能になる。なお、画素部のアクティブ素子 3 0 は制御端子にハイレベルが供給されてないとオン状態となるディプレッションモードの p 型 M I S トランジスタの場合で説明したが、アクティブ素子 3 0 は p 型 M I S トランジスタ、n 型 M I S トランジスタのどちらも用いることが可能である。

40

【 0 1 1 0 】

次に図 1 5、図 1 6 を用いて、水平駆動回路 1 2 0 においてゴーストと呼ぶ水平方向の映像のぼけを防止する回路について説明する。図 1 5 において、符号 H S R は水平駆動回路 1 2 0 の水平シフトレジスタ 1 2 1 を構成する双方向シフトレジスタを示している。符号 1 2 5 は遅延回路で双方向シフトレジスタ H S R からの出力信号を一定期間遅延させて、ゴーストを防止している。この遅延回路 1 2 5 は、双方向シフトレジスタ H S R からの出力信号を 2 系統の信号線で受け、一方の信号線に 2 個インバータを設けることで、インバータを通過する時間分アンド回路への入力を遅らせている。そして、この遅延した時間分アンド回路からの出力信号の立ち上がりが遅れることとなる。

50

【0111】

アンド回路の出力はゲート回路89に入力している。符号IMG1、IMG2は映像信号供給線で映像信号が供給されている。ゲート回路89がオン状態となることで、映像信号供給線IMG1、IMG2と映像信号線103が導通状態となり、映像信号が映像信号線103に出力される。ゲート回路89は双方向シフトレジスタHSRから出力するサンプリングパルスで一定期間選択されることで、オン状態となる。なお、図15の回路では、映像信号を2相に分けて供給する場合を示している。そのため、映像信号供給線IMG1とIMG2の2本の信号線が交互にゲート回路89に接続している。

【0112】

ゴーストの原因の一つにサンプリングパルス幅の広がりが挙げられる。図15の水平シフトレジスタ121からは、図16の符号DSのようにサンプリングパルスが出力しているが、サンプリングパルスDSになまりが生じると、サンプリングパルス幅が広がってしまい、同時に2本の映像信号線に映像信号を供給したり、異なる映像信号線に出力すべき映像信号を書き込んでしまうことで、映像にぼやけが生じてゴーストとなってしまう。

【0113】

図15に示す回路の映像信号線103(1)と103(3)とを例にとって説明すると、図16のパルスDS1とDS3のように信号の開始と終了で出力が重なった場合には、映像信号線103(1)への映像信号の出力終了と、映像信号線103(3)への出力開始において、ゲート回路89(1)が完全にオフしていない状態で、ゲート回路89(3)がオン状態となり、映像信号線103(1)のデータの一部が映像信号線103(3)に漏れ込んでしまう。そのため、隣り合う信号線の表示が重なって観察される所謂ゴースト現象が生じてしまうという問題が発生する。

【0114】

そこで、図15に示す回路では、水平シフトレジスタ121の出力と、ゲート回路89との間に遅延回路を設け、サンプリングパルスの立ち上がりを遅らせることとした。図16に示すように、サンプリングパルスD1の立下りに対して、サンプリングパルスD3は遅れて立ち上がっており、サンプリングパルスD3によりオン状態とされたゲート回路89(3)により、映像信号線103(1)に書き込まれる映像信号が異なる映像信号線103(3)に書き込まれることが防止できる。

【0115】

映像信号を複数に相展開して伝送する場合には、誤って書き込まれる映像信号が数ライン離れた映像信号となるため、サンプリングパルスのなまりにより生ずるゴーストが顕著になる。例えば、双方向シフトレジスタHSRが制御するゲート回路89の数が6個の場合などでは、6列間隔においてゴースト現象が生じてしまい、著しく表示品質を低下させるという問題が生じる。なお、図15に記載した遅延回路の他に、双方向シフトレジスタHSRとゲート回路89との間に設ける回路(例えばレベルシフト回路67)のオン時の立ち上がりの速度を遅くし、オフ時の立ち下りの速度を速くする構成としても良い。

【0116】

次に、図17に第1の遮光膜44を画素電位制御線136として利用する構成について示す。図5に示すように、第1の遮光膜44と第2の遮光膜46とは第3の層間膜45を介して対向しており、画素容量の一部を形成している。49は画素電位制御線136の一部を形成する導電層である。導電層49により第1の電極31と第1の遮光膜44とは電氣的に接続されている。また、導電層49を用いて画素電位制御回路135から画素容量までの配線を形成することが可能である。ただし、本実施例では第1の遮光膜44を画素電位制御用配線として利用した。

【0117】

図17は第1の遮光膜44の配置を示す平面図である。46は第2の遮光膜であるが、位置を示すために点線で示している。42CHはスルーホールで、第1の導電膜42と第2の遮光膜46とを接続している。なお、図17では第1の遮光膜44を解り易く示すために、他の構成は省略している。第1の遮光膜44は、画素電位制御線136の機能を有

10

20

30

40

50

しており図中X方向に連続して形成されている。第1の遮光膜44は遮光膜として機能するために表示領域全面を覆うように形成されているが、画素電位制御線136の機能も持たせるために、X方向に延在し（走査信号線102と並列の方向）、Y方向に並んでライン状に形成され、画素電位制御回路135に接続される。また、画素容量の電極としても働くために、第2の遮光膜46となるべく広い面積で重なるように形成されている。さらに、遮光膜として漏れる光が少なくなるように、隣接する第1の遮光膜44の間隔はなるべく狭くなるよう形成されている。

【0118】

ただし、図17に示すように隣接する第1の遮光膜44の間隔を狭く形成すると、遮光膜44の一部が隣接する第2の遮光膜46と重なり合うことになる。前述したように、本
10
液晶表示装置は双方向に走査可能である。そこで、双方向に画素電位制御信号を走査した場合に、次段の第2の遮光膜46と重なり合う場合と重なり合わない場合とが生じる。図17の場合では、図中上から下に走査する場合に第1の遮光膜44と次段の第2の遮光膜46とが重なり合っている。

【0119】

図18を用いて遮光膜44の一部が次段の第2の遮光膜46と重なり合うことによる問題点と解決方法を説明する。図18(a)は問題点を説明するタイミング図である。Φ2Aは任意の行の走査信号でありA行目の走査信号とする。Φ2Bは次段の行の走査信号でありB行目の走査信号とする。なお、問題が発生する期間t2からt3の間について説明し、その他の期間については省略する。
20

【0120】

図18(a)において、A行目において時刻t2から2h（2水平走査時間）後の時刻t3に画素電位制御信号Φ3Aを変化させている。時刻t2から1h後には走査信号Φ2Aの出力は終了しており、走査信号Φ2Aで駆動されるA行目のアクティブ素子30はオフ状態となり、A行目の画素電極109は映像信号線103から切り離されている。時刻t2から2h後の時刻t3であれば、信号の切り換わりによる遅延等を考慮しても、A行目のアクティブ素子30は十分にオフ状態となっている。しかしながら、時刻t3はB行目の走査信号Φ2Bが切り換わる時である。

【0121】

A行目の第1の遮光膜44とB行目の第2の遮光膜46とが重なり合っているため、B
30
行目の画素電極とA行目の画素電位制御信号線との間で容量が生じていることになる。時刻t3はB行目のアクティブ素子30がオフ状態へと切り換わる時であるため、B行目の画素電極109は映像信号線103から十分に切り離されていない。この時にB行目の画素電極109との間で容量成分を有するA行目の画素電位制御信号Φ3Aが切り換わると、画素電極109と映像信号線103との間が十分に切り離されていないため、映像信号線103と画素電極109との間で電荷が移動する。すなわち、A行目の画素電位制御信号Φ3Aの切り換わりが、B行目の画素電極109に書き込まれる電圧Φ4Bに影響を与えることとなる。

【0122】

この画素電位制御信号Φ3Aによる影響は、液晶表示装置の走査方向が一定であるならば均一な影響となり、あまり目立つことはない。しかしながら、赤、緑、青等の色毎に液晶表示装置を備え、各液晶表示装置の出力を重ねてカラー表示する場合に、液晶表示装置の光学的配置による理由で、例えば1つの液晶表示装置だけ下から上に走査し、他の液晶表示装置は上から下に走査することがある。このように複数の液晶表示装置のうちで走査方向が異なるものがある場合には、表示品質が不均一となり美観を損ねることとなる。
40

【0123】

次に、図18(b)を用いて解決方法を説明する。A行目の画素電位制御信号Φ3AをA行目の走査信号Φ2Aの開始より3h遅れて出力するようにする。この場合、B行目の走査信号Φ2Bも切り換わった後であり、B行目のアクティブ素子30は十分にオフ状態であるためA行目の画素電位制御信号Φ3AによるB行目の画素電極109に書き込まれ
50

る電圧 $\Phi 4 B$ に与える影響が減少する。

【0124】

なお、この場合、負極性用入力信号が書き込まれる時間が、正極性用入力信号に対して 3 h もの間短くなるが、例えば走査信号線 102 の数が 100 を超えるような場合では 3 % 以下の値となる。そのため、負極性用入力信号と正極性用入力信号の実効値の違いは基準電位 V_{com} の値等により調整することが可能である。

【0125】

次に図 19 を用いて画素容量に供給される電圧 V_{PP} と基板電位 V_{BB} との関係について説明する。図 19 (a) は出力回路 69 を構成するインバータ回路を示している。

【0126】

図 19 (a) において 32 は p 型トランジスタのチャンネル領域でありシリコン基板 1 にイオン打ち込み等の方法により n 型ウエルが形成されている。シリコン基板 1 には基板電圧 V_{BB} が供給されており、n 型ウエル 32 の電位は V_{BB} となっている。ソース領域 34 とドレイン領域 35 は p 型半導体層であり、シリコン基板 1 にイオン打ち込み等の方法により形成される。p 型トランジスタ 30 のゲート電極 36 に基板電圧 V_{BB} より低電位の電圧が印加されるとソース領域 34 とドレイン領域 35 とが導通状態となる。

【0127】

一般に絶縁部を設ける等の必要がないため構造が簡単になることから、同じシリコン基板のトランジスタには共通の基板電位 V_{BB} が印加されている。本発明の液晶表示装置は同じシリコン基板 1 上に駆動回路部のトランジスタと、画素部のトランジスタが形成されている。画素部のディプレッションモードの p 型 MIS トランジスタには前述したように、しきい値を調整する理由で、同じ電位の基板電位 V_{BB} が印加されている。

【0128】

図 19 (a) に示すインバータ回路では、ソース領域 34 には画素容量に供給される電圧 V_{PP} が印加されている。ソース領域 34 は p 型半導体層であり n 型ウエル 32 との間は p n 接合となっている。n 型ウエル 32 の電位よりもソース領域 34 の電位が高くなると、ソース領域 34 から n 型ウエル 32 に電流が流れるという不具合が生じる。そのため、基板電圧 V_{BB} に対して電圧 V_{PP} は低電位になるように設定される。

【0129】

前述したように画素電極の電圧は、画素電極に書き込まれた電圧を V_2 、液晶容量を C_L 、画素容量を C_C 、画素電圧制御信号の振幅が V_{PP} と V_{SS} とすると、電圧降下後の画素電極の電圧は、 $V_2 - \{C_C / (C_L + C_C)\} \times (V_{PP} - V_{SS})$ で表わされる。ここで、 V_{SS} に GND 電位を選ぶと、画素電極の電圧変動の大きさは電圧 V_{PP} と液晶容量 C_L と画素容量 C_C で決まることになる。

【0130】

図 19 (b) を用いて $C_C / (C_L + C_C)$ と電圧 V_{PP} との関係を示す。なお説明を簡単にするために基準電圧 V_{com} を GND 電位としている。また、電圧を印加しないと白表示（ノーマリーホワイト）となる方式の場合で、黒表示（階調最小）となるよう階調電圧が画素電極に印加される場合を説明する。図 19 (b) の $\Phi 1$ は電圧選択回路 123 から画素電極に書き込まれる階調電圧を示している。 $\Phi 1 A$ は正極性の場合で、 $\Phi 2 A$ は負極性の場合の階調電圧である。黒表示なので基準電圧 V_{com} と画素電極に書き込まれる階調電圧の電位差が最大になるように $\Phi 1 A$ 、 $\Phi 1 B$ とともに設定される。図 19 (b) において $\Phi 1 A$ は正極性用信号なので、従来通り基準電圧 V_{com} との電位差が最大となるように $+V_{max}$ とし、 $\Phi 1 B$ は V_{com} (GND) として、画素電極に書き込んだ後で画素容量を用いて引き下げる。

【0131】

$\Phi 4 A$ 、 $\Phi 4 B$ 共に画素電極の電圧を示しており、 $\Phi 4 A$ は $C_C / (C_L + C_C)$ が 1 の理想的な場合を示し、 $\Phi 4 B$ は $C_C / (C_L + C_C)$ が 1 以下となる場合を示す。 $\Phi 4 A$ の負極性の場合、 $\Phi 1 B$ は V_{com} (GND) が書き込まれているので、画素電圧制御信号の振幅 V_{PP} に従い引き下げられた $-V_{max}$ は、 $C_C / (C_L + C_C) = 1$ より、

10

20

30

40

50

$-V_{max} = -V_{PP}$ となる。

【0132】

対して $\Phi 4B$ は $CC / (CL + CC)$ が1以下のため、 $+V_{max} < V_{PP2}$ となるような画素電圧制御信号を供給する必要がある。前述したように $V_{PP} < V_{BB}$ である必要があるため、 $+V_{max} < V_{PP} < V_{BB}$ といった関係になる。ここで、低耐圧回路とするために、画素電圧を引き下げる方法を用いているが、画素電圧制御信号の電圧 V_{PP} が高電圧になってしまうと、基板電圧 V_{BB} が高電圧となってしまう結局高耐圧回路となってしまうという不具合が生じる。そのため、 $CC / (CL + CC)$ がなるべく1となるように、すなわち $CL \ll CC$ となるように、 CL と CC の値を定める必要がある。

【0133】

なお、従来のガラス基板に薄膜トランジスタを形成する液晶表示装置では、画素電極をなるべく広く（所謂高開口率化）する必要があるため、せいぜい $CL = CC$ とすることが実現可能な程度である。また、本発明の液晶表示装置は駆動回路部と画素部とが同一シリコン基板上に形成されるものであるため、基板電位 V_{BB} を高電圧としては低耐圧化できないという問題点を有している。

【0134】

図19に示すように、画素電圧制御信号はインバータ回路の電源電圧で設定できることから、電圧 V_{PP} は内部の回路で最適な電圧を形成することも、また外部から供給して、最適な電圧となるように調整することも可能である。

【0135】

本実施例では、交流駆動を低電圧で行うために、画素電極に基準電圧に対して同一極性の映像信号を書き込み、画素電位制御信号を用いて逆極性の映像信号を生じるようにしたものであるが、単一極性の映像信号で済むことから、外部から液晶表示装置に映像信号を供給する回路も単一極性で動作する安価な回路とすることが可能である。

【0136】

しかしながら、図19を用いて説明したように、画素電圧制御信号の振幅 V_{PP} が大きくなると、基板電圧 V_{BB} も高電圧となってしまう低電圧化が困難になってしまう。そこで、画素電圧制御信号の振幅 V_{PP} を小さくするために液晶容量 CL に対して画素容量 CC を充分大きくし、 $CC / (CL + CC)$ を1に近くした場合に、画素電圧制御信号の振幅 V_{PP} は水平駆動回路120から出力する映像信号の振幅に近づくこととなり、さらには、基板電圧 V_{BB} も低電圧化可能となる。

【0137】

ここで、再度図4(b)に戻って水平駆動回路120から出力する映像信号と基板電圧 V_{BB} との関係について検討する。半導体基板に印加される電圧の最大値を基板電圧 V_{BB} とし、最小値を基準電圧 V_{SS} （単一極性で駆動するためには最小値は0Vとなる）とすると、水平駆動回路120から出力する映像信号の信号振幅の最大幅は理想的には V_{SS} と V_{BB} との間となる。

【0138】

しかしながら、画素部のMISトランジスタ30のオン抵抗値とオフ抵抗値は図4(b)に示すような特性があるため、水平駆動回路120から出力する映像信号の振幅は、MISトランジスタ30が充分なオン抵抗値とオフ抵抗値となる最大幅に一定のマージンをもって決定される。

【0139】

本実施例では、MISトランジスタ30のしきい値と基板電圧 V_{BB} とを調整して、走査信号を V_{SS} と V_{BB} との間で振幅させた場合に、入力信号の振幅範囲内でMISトランジスタ30のオン抵抗値は $1 \times 10^5 \Omega$ 以下で、オフ抵抗値は $1 \times 10^6 \Omega$ 以上となるように調整して、図4(b)に示す特性となるようにした。

【0140】

前述した、画素電位制御信号を用い液晶表示装置を単一極性で低電圧駆動とする場合には、外部から液晶表示装置に映像信号を供給する回路についても低電圧駆動の安価な回路

10

20

30

40

50

を用いることが可能となる。例えば、液晶表示装置の定格電源電圧を V_{SS} が0 Vで、 V_{BB} が8 Vとした場合には、外部回路に低電圧駆動の安価な回路を用いることができる。

【0141】

しかしながら、走査信号を V_{SS} (0 V)と V_{BB} (8 V)との間で振幅させたとしても、しきい値の絶対値を1.5 Vとし、マージンを低電圧側と高電圧側、それぞれ1 V取り、合計2 Vとすると、 $8\text{ V} - 1.5\text{ V} - 2\text{ V} = 4.5\text{ V}$ となり、水平駆動回路120から出力可能な映像信号の振幅は4.5 Vとなる。この振幅は、液晶層の印加電圧に対する透過率の特性から求められる希望の信号振幅に対して限界の値である。

【0142】

そのため、MISトランジスタ30のしきい値と基板電圧 V_{BB} とを調整して、図4 (b)に示すように、入力信号の振幅範囲内でMISトランジスタ30のオン抵抗値が $1 \times 10^5 \Omega$ 以下で、オフ抵抗値が $1 \times 10^6 \Omega$ 以上となるように調整しているが、さらに、しきい値を調整する不純物の濃度や、基板電圧 V_{BB} の電圧値を精度良く制御することが必要となる。

【0143】

本実施例では、基板電圧 V_{BB} を精度良く画素部のMISトランジスタ30に供給するために、表示領域110内に基板電圧供給線106を延伸し、画素部にスルーホール290を形成してMISトランジスタ30の近傍に基板電圧を供給している。

【0144】

次に図20を用いて画素電位制御信号を用いドット反転駆動する場合の実施例を説明する。図20に示す液晶表示装置100は奇数列用画素電位制御回路135 (1)と偶数列用画素電位制御回路135 (2)を有している。ドット反転駆動では例えば1行の画素電極に正極性の階調電圧が書き込まれる場合に、奇数列の画素電極は正極性のままで、偶数列の画素電極は画素電位制御信号を用いて交流化駆動するものである。図20に示すように奇数列用と偶数列用の画素電位制御信号回路を設けて、画素電位制御信号を交互に出力してドット反転駆動が可能となる。

【0145】

次に反射型液晶表示装置について説明する。液晶表示素子の動作原理の一つとして電界制御複屈折モード (ELECTRICALLY CONTROLLED BIRIEFRINGENCE MODE) が知られている。電界制御複屈折モードでは、液晶層を通過する光の常光と異常光との位相差により生じる複屈折効果を利用している。液晶層を挟む2つの電極の間に電圧を印加することで、液晶組成物の分子配列 (光学軸の方向) が変化し、液晶パネル中の複屈折率が変化する。電界制御複屈折モードは、この複屈折率の変化を光透過率の変化として利用し像を形成するものである。

【0146】

さらに図21を用いて、電界制御複屈折モードの1つである単偏光板ツイストネマティックモード (SPTN) について説明する。9は偏光ビームスプリッタで光源 (図示せず) からの入射光L1を2つの偏光に分割し、直線偏光となった光L2を出射する。図21では、液晶パネル100に入射させる光に、偏光ビームスプリッタ9を透過した光 (P波) を用いる場合を示しているが、偏光ビームスプリッタ9で反射した光 (S波) を用いることも可能である。液晶組成物3は液晶分子長軸が駆動回路基板1と透明基板2に対して平行に配列し (homogeneous alignment)、誘電異方性が正のネマティック液晶を用いる。また、液晶分子は配向膜7、8により約90度ねじれた状態で配向している。

【0147】

まず図21 (a) に電圧が印加されていない場合を示す。液晶パネル100に入射した光は液晶組成物3の複屈折性により楕円偏光となり反射電極5面では円偏光となる。反射電極5で反射した光は再度液晶組成物3中を通過し再び楕円偏光となり出射時には直線偏光に戻り、入射光L2に対して90度位相が回転した光L3 (S波) として出射する。出射光L3は再び偏光ビームスプリッタ9に入射するが、偏光面で反射され出射光L4となる。この出射光L4をスクリーン等に照射して表示を行う。この場合、電圧を印加してい

ない場合に光が出射する所謂ノーマリーホワイ（ノーマリオープン）と呼ばれる表示方式となる。

【0148】

対して図21(b)に液晶組成物3に電圧が印加されている場合を示す。液晶組成物3に電圧が印加されると、液晶分子が電界方向に配列するため、液晶内で複屈折が起きる率が減少する。そのため、直線偏光で液晶パネル100に入射した光L2はそのまま反射電極5で反射され入射光L2と同じ偏光方向の光L5として出射する。出射光L5は偏光ビームスプリッタ9を透過し光源に戻る。そのため、スクリーン等に光が照射されないため、黒表示となる。

【0149】

単偏光板ツイストネマティックモードでは、液晶の配向方向が基板と平行であるため、一般的な配向方法を用いることができ、プロセス安定性が良い。またノーマリーホワイで使用するため、低電圧側でおこる表示不良に対して裕度を持たせることができる。すなわち、ノーマリーホワイ方式では、暗レベル（黒表示）が高電圧を印加した状態で得られる。この高電圧の場合には液晶分子のほとんどが基板面に垂直な電界方向に揃っているため、暗レベルの表示は、低電圧時の初期配向状態にあまり依存しない。さらに、人間の目は、輝度ムラを輝度の相対的な比率として認識し、かつ、輝度に対し対数スケールに近い反応を有する。そのため、人間の目は暗レベルの変動には敏感である。こうした理由から、ノーマリーホワイ方式は、初期配向状態による輝度ムラに対して有利な表示方式である。

【0150】

上述した電界制御複屈折モードでは高いセルギャップの精度が求められる。すなわち、電界制御複屈折モードでは、光が液晶中を通過する間に生じる異常光と常光との間の位相差を利用しているため、透過光強度は異常光と常光との間のリタデーション $\Delta n \cdot d$ に依存する。ここで、 Δn は屈折率異方性で、 d はスペーサ4によって形成される透明基板2と駆動回路基板1との間のセルギャップである。

【0151】

このため、本実施例の場合、表示ムラを考慮しセルギャップ精度は、 $\pm 0.05 \mu\text{m}$ 以下とした。また、反射型では液晶に入射した光は反射電極で反射し再度液晶を通過するため、同じ屈折率異方性 Δn の液晶を用いる場合、透過型に対してセルギャップ d は半分になる。一般の透過型液晶表示素子の場合セルギャップ d は $5 \sim 6 \mu\text{m}$ 程度であるのに対し、本実施例では約 $2 \mu\text{m}$ である。

【0152】

本実施例では高いセルギャップ精度と、より狭いセルギャップに対応するため、従来からあるビーズ分散法に代わり柱状のスペーサを駆動回路基板1上に形成する方法を用いた。

【0153】

図22に駆動回路基板1上に設けられた反射電極5とスペーサ4との配置を説明する模式平面図を示す。一定の間隔を保つように多数のスペーサ4が駆動回路基板全面にマトリックス状に形成されている。反射電極5は液晶表示素子が形成する像の最小の画素である。図22では簡略化のため、符号5A、5Bで示す縦4画素、横5画素で示した。

【0154】

図22では縦4画素、横5画素の画素が、表示領域を形成している。液晶表示素子で表示する像はこの表示領域に形成される。表示領域の外側にはダミー画素113が設けられている。このダミー画素113の周辺にスペーサ4と同じ材料で周辺枠11が設けられている。さらに、周辺枠11の外側にはシール材12が塗布される。13は外部接続端子で液晶パネル100に外部からの信号を供給するのに用いられる。

【0155】

スペーサ4と周辺枠11の材料には、樹脂材料を用いた。反射電極5が形成された駆動回路基板1上にスピコート法等でレジスト材を塗布し、マスクを用いてレジストをス

10

20

30

40

50

ーサ 4 と周辺枠 1 1 のパターンに露光する。その後除去剤を用いレジストを現像してスペーサ 4 と周辺枠 1 1 とを形成する。

【0156】

スペーサ 4 と周辺枠 1 1 とをレジスト材等を原料として形成すると、塗布する材料の膜厚でスペーサ 4 と周辺枠 1 1 の高さを制御でき、高い精度でスペーサ 4 と周辺枠 1 1 を形成することが可能である。また、スペーサ 4 の位置はマスクパターンで決めることができ、希望する位置に正確にスペーサ 4 を設けることが可能である。液晶プロジェクタでは画素上にスペーサ 4 が存在すると、拡大投映された像にスペーサによる影が見えてしまう問題がある。スペーサ 4 をマスクパターンによる露光、現像で形成することで、映像表示した際に、問題とならない位置にスペーサ 4 を設けることができる。

10

【0157】

また、スペーサ 4 と同時に周辺枠 1 1 を形成しているので、液晶組成物 3 を駆動回路基板 1 と透明基板 2 との間に封入する方法として、液晶組成物 3 を駆動回路基板 1 に滴下しその後透明基板 2 を駆動回路基板 1 に貼り合わせる方法を用いることができる。

【0158】

液晶組成物 3 を駆動回路基板 1 と透明基板 2 の間に配置し、液晶パネル 1 0 0 を組立てた後は、周辺枠 1 1 により囲まれた領域内に液晶組成物 3 が保持される。また、周辺枠 1 1 の外側にはシール材 1 2 が塗布され、液晶組成物 3 を液晶パネル 1 0 0 内に封入する。前述したように、周辺枠 1 1 はマスクパターンを用いて形成されるので、高い位置精度で駆動回路基板 1 上に形成することができる。そのため、液晶組成物 3 の境界を高い精度で定めることが可能である。また、周辺枠 1 1 はシール材 1 2 の形成領域の境界も高い精度で定めることが可能である。

20

【0159】

シール材 1 2 は駆動回路基板 1 と透明基板 2 とを固定する役目と、液晶組成物 3 にとって有害な物質が進入することを阻止する役目がある。流動性があるシール材 1 2 を塗布した場合に、周辺枠 1 1 はシール材 1 2 のストッパとなる。シール材 1 2 のストッパとして、周辺枠 1 1 を設けることで、液晶組成物 3 の境界やシール材 1 2 の境界での設計裕度を広くすることができ、液晶パネル 1 0 0 の端辺から表示領域までの間を狭く（挟額縁化）することが可能である。

【0160】

周辺枠 1 1 と表示領域との間にはダミー画素 1 1 3 が設けられている。表示領域を囲むように周辺枠 1 1 が形成されていることから、駆動回路基板 1 をラビング処理する際に、周辺枠 1 1 により周辺枠 1 1 の近傍がうまくラビングできない問題がある。液晶組成物 3 を一定の方向に配向するため、配向膜を形成しラビング処理が行われる。本実施例では、駆動回路基板 1 にスペーサ 4、周辺枠 1 1 が形成された後に、配向膜 7 が塗布される。その後、液晶組成物 3 が一定方向に配向するよう、配向膜 7 を布等を用いて擦ることでラビング処理が行われる。

30

【0161】

ラビング処理において、周辺枠 1 1 が駆動回路基板 1 より突出しているため、周辺枠 1 1 の近傍の配向膜 7 は、周辺枠 1 1 による段差により十分に擦られない。そのため、周辺枠 1 1 の近傍には液晶組成物 3 の配向が不均一な部分が生じやすい。液晶組成物 3 の配向不良による表示ムラを目立たなくするため、周辺枠 1 1 の内側数画素をダミー画素 1 1 3 とすることで、表示に寄与しない画素としている。

40

【0162】

ところが、ダミー画素 1 1 3 を設け、画素 5 A、5 B と同じように信号を供給すると、ダミー画素 1 1 3 と透明基板 2 との間には液晶組成物 3 が存在するため、ダミー画素 1 1 3 による表示も観察されてしまうという問題が生じる。ノーマリホワイトで使用する場合は、液晶組成物 3 に電圧を印加しないと、ダミー画素 1 1 3 が白く表示される。そのため、表示領域の境が明確でなくなり、表示品質をそこなう。ダミー画素 1 1 3 を遮光することも考えられるが、画素と画素の間隔は数 μm のため、表示領域の境に精度良く遮光枠を形

50

成することは困難である。そこで、ダミー画素 1 1 3 には黒表示となるような電圧を供給し、表示領域を囲む黒枠として観察されるようにした。

【0 1 6 3】

図 2 3 にダミー画素 1 1 3 の駆動方法について説明する。ダミー画素 1 1 3 には黒表示となるような電圧を供給するために、ダミー画素が設けられた領域は一面黒表示となる。一面黒表示となるならば、表示領域に設けた画素と同じように個別に形成する必要がなく、複数のダミー画素を電氣的に接続して、一体の画素として設けることができる。また、駆動に必要な時間を考えると、ダミー画素のために書き込み時間を設けことは無駄である。そこで、複数のダミー画素の電極を連続して設けて、1 つのダミー画素電極とすることが可能である。しかしながら、複数のダミー画素を接続して 1 つのダミー画素とすると画素電極の面積が増加することから、液晶容量が大きくなってしまう。前述したように液晶容量が大きくなると画素容量を用いて画素電圧を引き下げる効率が低下する。

10

【0 1 6 4】

そこで、ダミー画素も表示領域の画素と同様に個別に設けることとした。しかしながら、有効画素と同様に 1 ライン毎の書き込みを行った場合、新たに設けた複数行のダミー行を駆動する時間が長くなる。そして、その分有効画素に書き込みを行う時間が短くなってしまふという問題が生じる。対して高精細表示を行う場合には、高速の映像信号（ドットクロックの高い信号）が入力するため、ますます画素の書き込み時間に対する制限が生じてくる。

【0 1 6 5】

20

そこで 1 画面の書き込み期間中に数ライン分の書き込み時間を節約するために、図 2 3 に示すようにダミー画素については垂直駆動回路 1 3 0 の垂直双方向シフトレジスタ V S R から複数行分のタイミング信号を出力させて、複数のレベルシフタ 6 7 と出力回路 6 9 に入力させ走査信号を出力するようにした。また、同じく画素電圧制御回路 1 3 5 についても双方向シフトレジスタ S R から複数行分のタイミング信号を出力させて、複数のレベルシフタ 6 7 と出力回路 6 9 に入力させ画素電圧制御信号を出力するようにした。

【0 1 6 6】

次に、図 2 4、図 2 5 を用いて駆動回路基板 1 上に設けられるアクティブ素子 3 0 とその周辺の構成を説明する。図 2 4、図 2 5 において図 5 と同じ符号は同じ構成を示す。なお、図 2 4 はアクティブ素子 3 0 周辺を示す概略平面図で、図 2 5 は図 2 4 の B - B 線における断面図であるが、図 2 4 と図 2 5 との各構成間の距離は一致していない。また図 2 5 は走査信号線 1 0 2 とゲート電極 3 6、映像信号線 1 0 3 とソース領域 3 5、ドレイン領域 3 4、画素容量を形成する第 1 の電極 3 1、と第 1 の導電層 4 2 と、コンタクトホール 3 5 C H、3 4 C H、4 0 C H、4 2 C H、4 9 C H、2 9 0 の位置関係を示すもので、その他の構成は省略した。

30

【0 1 6 7】

図 2 4 において 1 0 2 は走査信号線である。走査信号線 1 0 2 は、図 2 4 中、X 方向に延在し Y 方向に並設されていて、アクティブ素子 3 0 をオン・オフする走査信号が供給される。図 2 5 に示すように、走査信号線 1 0 2 はゲート電極と同じ 2 層膜からなっており、例えばポリシリコンとタングステンシリサイドを積層した 2 層膜を用いることができる。図 2 4 中、映像信号線 1 0 3 は Y 方向に延在し X 方向に並設されていて、反射電極 5 に書き込まれる映像信号が供給される。映像信号線 1 0 3 は第 1 の導電膜 4 2 と同じ多層金属膜からなっており、例えばチタンタングステンとアルミの多層金属膜を用いることができる。

40

【0 1 6 8】

映像信号は絶縁膜 3 8 と第 1 の層間膜 4 1 に空けられたコンタクトホール 3 5 C H を通り第 1 の導電膜 4 2 によりドレイン領域 3 5 に伝わる。走査信号線 1 0 2 に走査信号が供給されると、アクティブ素子 3 0 はオンになり、映像信号は半導体領域（p 型ウェル）3 2 からソース領域 3 4 に伝わり、コンタクトホール 3 4 C H を通り第 1 の導電膜 4 2 に伝わる。第 1 の導電膜 4 2 に伝わった映像信号は、コンタクトホール 4 0 C H を通り画素容

50

量の第2の電極40に伝わる。

【0169】

図25において、1は駆動回路基板であるシリコン基板、32はシリコン基板1の表面にイオン打ち込みで形成した不純物領域、前述したように30はディプレッションモードのp型MISトランジスタである。33はチャンネルストッパ、34はp型ウェル32にイオン打ち込みで導電化し形成したドレイン領域、35はp型ウェル32にイオン打ち込みで形成したソース領域、31はp型ウェル32にイオン打ち込みで導電化し形成した画素容量の第1の電極である。第1の電極31もボロン(B)等をイオン打ち込みした、p型の不純物領域であり、ディプレッションモードのキャパシタを形成している。なお、本実施例ではアクティブ素子30をp型トランジスタで示したが、n型トランジスタとすることも可能である。

10

【0170】

36はゲート電極、37はゲート電極端部の電界強度を緩和するオフセット領域、38は絶縁膜、39はトランジスタ間を電氣的に分離するフィールド酸化膜、40は画素容量を形成する第2の電極で絶縁膜38を介しシリコン基板1に設けた第1の電極21との間で容量を形成する。ゲート電極36と第2の電極40は、絶縁膜38上にアクティブ素子30のしきい値を低くするための導電層と低抵抗の導電層とを積層した2層膜からなっている。2層膜としては例えばポリシリコンとタングステンシリサイドの膜を用いることができる。41は第1の層間膜、42は第1の導電膜である。第1の導電膜42は接触不良を防止するバリアメタルと低抵抗の導電膜の多層膜からなっている。第1の導電膜として

20

【0171】

また、図24に示すように映像信号は層間接続部42CHを通り反射電極5へと伝わっていく。層間接続部42CHはフィールド酸化膜39の上に形成されている。フィールド酸化膜39は膜厚が厚いため、フィールド酸化膜の上は他の構成に比較して高い位置となっている。層間接続部42CHはフィールド酸化膜39上に設けられることで、上層の導電膜により近い位置とすることができ、接続部の長さを短くしている。なお、図24では層間接続部42CHをプラグで形成する場合を示している、図5と同様にコンタクトホールとすることも可能である。

30

【0172】

第2の層間膜43は、第1の導電膜42と第2の導電膜44とを絶縁している。第2の層間膜43は、各構成物により生じている凹凸を埋める平坦化膜43Aとその上を覆う絶縁膜43Bとの2層で形成されている。平坦化膜43AはSOG (spin on glass) を塗布して形成している。絶縁膜43BはTEOS膜であり、反応ガスとしてTEOS (Tetraethylorthosilicate) を用いSiO₂膜をCVDにより形成したものである。

【0173】

第2の層間膜43の形成後、CMP (ケミカル・メカニカル・ポリッシング) により第2の層間膜43は研磨される。第2の層間膜43はCMPにより研磨することで平坦化する。平坦化された第2の層間膜の上に第1の遮光膜44が形成される。第1の遮光膜44は第1の導電膜42と同じタングステンとアルミの多層金属膜で形成している。

40

【0174】

第1の遮光膜44は駆動回路基板1の略全面を被っており、開口は図25に示す層間接続部42CHの部分だけある。第1の遮光膜44の上に第3の層間膜45がTEOS膜で形成されている。さらに第3の層間膜45の上に第2の遮光膜46が形成されている。第2の遮光膜46は第1の導電膜42と同じタングステンとアルミの多層金属膜で形成している。第2の遮光膜46は層間接続部42CHで第1の導電膜42と接続されている。層間接続部42CHでは、接続をとるために第1の遮光膜44を形成する金属膜と第2の遮光膜46を形成する金属膜とが積層されている。

【0175】

50

第1の遮光膜44と第2の遮光膜46を導電膜で形成し、間に第3の層間膜45を絶縁膜（誘電膜）で形成し、第1の遮光膜44に画素電位制御信号を供給し、第2の遮光膜46に階調電圧を供給すると、第1の遮光膜44と第2の遮光膜46とで画素容量を形成することができる。また、階調電圧に対する第3の層間膜45の耐圧と、膜厚を薄くして容量を大きくすることを考慮すると、第3の層間膜45は150nmから450nmが好ましく、より好ましくは、約300nmである。

【0176】

第2の遮光膜46と第2の導電膜48との接続には、プラグPGを用いている。プラグPGは第4の層間膜47にスルーホールを形成し、タングステン等を用いてスルーホールを充填して形成する。そのため、プラグPGではコンタクトホール等に比較して、その上部に形成される膜（反射電極5）の凹凸が減少し、反射電極5を平坦の膜で形成することが可能である。反射電極5の凹凸は液晶パネル100の反射率を減少させることから、従来、反射電極5（第2の導電膜48）とその下の層との接続に用いられていたコンタクトホールは、各画素1個形成していた。対してプラグPGで第2の遮光膜46と第2の導電膜48（反射電極5）と接続すると、プラグPG上の反射電極5が比較的平坦であるため、各画素に複数のプラグPGを設けることが可能となっている。

10

【0177】

次に、図26に駆動回路基板1に透明基板2を重ね合わせた図を示す。駆動回路基板1の周辺部には、周辺枠11が形成されており、液晶組成物3は周辺枠11と駆動回路基板1と透明基板2とに囲まれた中に保持される。重ね合わされた駆動回路基板1と透明基板2との間で周辺枠11の外側には、シール材12が塗布される。シール材12により駆動回路基板1と透明基板2とが接着固定され液晶パネル100が形成される。13は外部接続端子である。

20

【0178】

次に図27に外部接続端子13を拡大した概略図を示す。図27(a)は平面図で、図27(b)は図27(a)C-Cで示す線の断面図である。図中13Bは接続時の位置合わせを容易にするために、他の端子よりも長く形成した外部接続端子である。また、14は外部接続端子13の周辺に形成したダミーパターンである。駆動回路基板1内において、外部接続端子13と外部接続端子13の間は端子接続時のショートを防止するため、外部接続端子13以外の構成を設けない。そのため、駆動回路基板1内の他の領域に比較してパターン密度が粗になっている。パターン密度が粗の部分は、他の領域に比較して層間膜の研磨量が多くなるという問題が生じる。そのため、外部接続端子13の周辺にはダミーパターンが設けられており、パターン密度を均一にすることができ、薄い均一な膜が研磨可能となった。

30

【0179】

端子を構成する導電膜は、図27(b)に示すように、第1の導電膜42と第1の遮光膜44と第2の遮光膜46及び、第2の導電膜48（反射電極5を形成する金属膜）を積み重ねて形成している。接続部の第2の遮光膜46と第2の導電膜48との接続は、画素部と同様にプラグPGを用いている。プラグPGを用いることで外部接続端子13を比較的平坦に形成することが可能になっている。また、プラグPGをタングステン等の金属を用いて密に形成することで、第2の導電膜48が薄い膜のため、異方性導電膜の導電粒子が第2の導電膜48を突き破っても、導電粒子がプラグPGに埋め込むように接触して、接続信頼性が保たれる。

40

【0180】

次に図28にフレキシブルプリント配線板80が接続される様子を示す。フレキシブルプリント配線板80は液晶パネル100に外部からの信号を供給するために用いられる。前述したように、フレキシブルプリント配線板80は異方性導電膜（図示せず）を用い外部接続端子13に接続される。フレキシブルプリント配線板80の両外側の端子は他の端子に比較して長く形成され、透明基板2に形成された対向電極5に接続され、対向電極用端子81を形成している。すなわち、フレキシブルプリント配線板80は、駆動回路基板

50

1と透明基板2の両方に接続されている。

【0181】

従来の対向電極5への配線は駆動回路基板1に設けられた外部接続端子にフレキシブルプリント配線板が接続され、駆動回路基板1を経由して対向電極5に接続されるものであった。本実施例の透明基板2にはフレキシブルプリント配線板80との接続部82が設けられ、フレキシブルプリント配線板80と対向電極5とが直接接続される。すなわち、液晶パネル100は透明基板2と駆動回路基板1とが重ね合わされて形成されるが、透明基板2の一部は駆動回路基板1より外側に出て接続部82を形成しており、この透明基板2の外側に出た部分でフレキシブルプリント配線板80と接続されている。

【0182】

図29、図30に液晶表示装置200の構成を示す。図29は液晶表示装置200を構成する各構成物の分解組立て図である。また図30は液晶表示装置200の平面図である。

【0183】

図29に示すように、フレキシブルプリント配線板80が接続された液晶パネル100は、クッション材71を間に挟んで、放熱板72に配置される。クッション材71は高熱伝導性であり、放熱板72と液晶パネル100との隙間を埋めて、液晶パネル100の熱が放熱板72に伝わり易くする役目を持つ。73はモールドで、放熱板72に接着固定されている。76は遮光枠で液晶表示装置200の表示領域の外枠を表示する。

【0184】

また図30に示すように、フレキシブルプリント配線板80はモールド73と放熱板72との間を通りをモールド73の外側に取り出されている。75は遮光板で、光源からの光が液晶表示装置200を構成する他の部材にあたることを防いでいる。

【0185】

以上、本発明者によってなされた発明を、前記発明の実施例に基づき具体的に説明したが、本発明は、前記発明の実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0186】

【図1】本発明の実施例である液晶表示装置の概略構成を示すブロック図である。

【図2】本発明の実施例である液晶パネルの一例を示すブロック図である。

【図3】入力信号とオン抵抗値との関係を示す図である。

【図4】入力信号とオフ抵抗値、入力信号とオン抵抗値との関係を示す図である。

【図5】本発明の実施例である液晶表示装置の画素部を示す概略断面図である。

【図6】表示回路周辺部に設けられた基板電位供給線を示す概略平面図である。

【図7】画素電位を制御する方法を説明する概略回路図である。

【図8】図2に示す液晶パネルの駆動方法を示すタイミング図である。

【図9】本発明の実施例である液晶表示装置の画素電位制御回路の構成を示す概略回路図である。

【図10】画素電位制御回路に用いられるクロックインバータを示す概略回路図である。

【図11】本発明の実施例である液晶表示装置の垂直駆動回路の構成を示す概略回路図である。

【図12】図11に示す垂直駆動回路の動作を示すタイミング図である。

【図13】本発明の実施例である液晶表示装置のプルアップ回路の構成を示す概略回路図である。

【図14】図13に示すプルアップ回路の動作を示すタイミング図である。

【図15】本発明の実施例である液晶表示装置の水平駆動回路の構成を示す概略回路図である。

【図16】図15に示す水平駆動回路の動作を示すタイミング図である。

- 【図 1 7】 遮光膜を用いて画素電位制御線を形成する構成を示す概略平面図である。
- 【図 1 8】 本発明の実施例である液晶表示装置の駆動方法を示すタイミング図である
- 【図 1 9】 本発明の実施例である液晶表示装置の画素電位制御回路に用いられるインバータ回路の概略断面図と動作を示すタイミング図である
- 【図 2 0】 本発明の実施例である液晶表示装置を示す概略平面図である。
- 【図 2 1】 本発明の実施例である液晶表示装置を示す概略図である。
- 【図 2 2】 本発明の実施例である液晶表示装置の液晶パネルを示す概略平面図である。
- 【図 2 3】 本発明の実施例である液晶表示装置を示す概略回路図である。
- 【図 2 4】 本発明による液晶表示装置のアクティブ素子周辺の概略平面図である。
- 【図 2 5】 本発明による液晶表示装置のアクティブ素子周辺の概略断面図である。 10
- 【図 2 6】 本発明の実施例である液晶表示装置の液晶パネルを示す概略図である。
- 【図 2 7】 本発明の実施例である液晶表示装置の端子部分を示す概略図である。
- 【図 2 8】 本発明の実施例である液晶表示素子の液晶パネルにフレキシブル基板を接続したようすを示す概略図である。
- 【図 2 9】 本発明の実施例である液晶表示装置を示す概略組み立て図である。
- 【図 3 0】 本発明の実施例である液晶表示装置を示す概略平面図である。
- 【符号の説明】

【 0 1 8 7 】

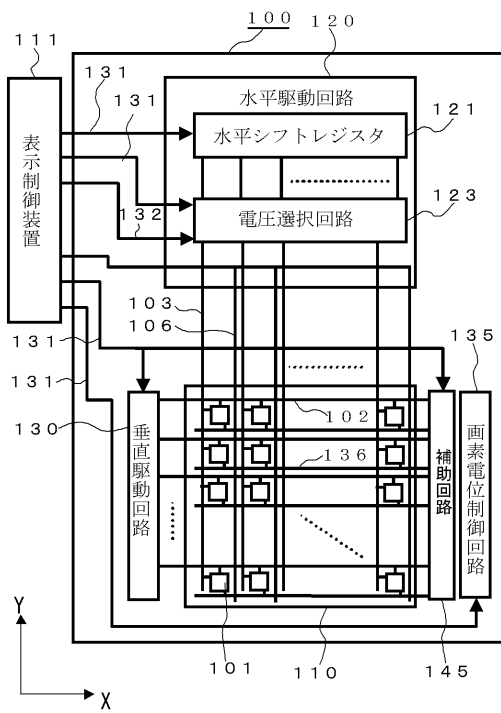
1 … 半導体基板、 2 … 透明基板、 3 … 液晶組成物、 4 … スペース、 5 … 反射電極、 6 … 対向電極、 7、 8 … 配向膜、 9 … 偏光ビームスプリッタ、 1 1 … 周辺枠、 1 2 … シール材 20

、 1 4 … 外部接続端子、 2 5 … 走査リセット信号入力端子、 2 6 … 走査スタート信号入力端子、 2 7 … 走査終了信号出力端子、 2 8 … リセット用トランジスタ、 3 0 … アクティブ素子、 3 4 … ソース領域、 3 5 … ドレイン領域、 3 6 … ゲート領域、 3 8 … 絶縁膜、 3 9 … フィールド酸化膜、 4 1 … 第 1 の層間膜、 4 2 … 第 1 の導電膜、 4 3 … 第 2 の層間膜、 4 4 … 第 1 の遮光膜、 4 5 … 第 3 の層間膜、 4 6 … 第 2 の遮光膜、 4 7 … 第 4 の層間膜、 4 8 … 第 2 の導電膜、 6 1 ～ 6 2 … クロックドインバータ、 6 5 ～ 6 6 … クロックドインバータ、 7 1 … クッション材、 7 2 … 放熱板、 7 3 … モールド、 7 4 … 保護用接着材、 7 5 … 遮光板、 7 6 … 遮光枠、 8 0 … フレキシブル配線板、 1 0 0 … 液晶パネル、 1 0 1 … 画素部、 1 0 2 … 走査信号線、 1 0 3 … 映像信号線、 1 0 4 … スイッチング素子、 1 0 7 30

… 対向電極、 1 0 8 … 液晶容量、 1 0 9 … 画素電極、 1 1 0 … 表示部、 1 1 1 … 表示制御装置、 1 1 3 … ダミー画素、 1 1 5 … 画素容量、 1 2 0 … 水平駆動回路、 1 2 1 … 水平シフトレジスタ、 1 2 2 … 表示データ保持回路、 1 2 3 … 電圧選択回路、 1 3 0 … 垂直駆動回路、 1 3 1 … 制御信号線、 1 3 2 … 表示データ線。

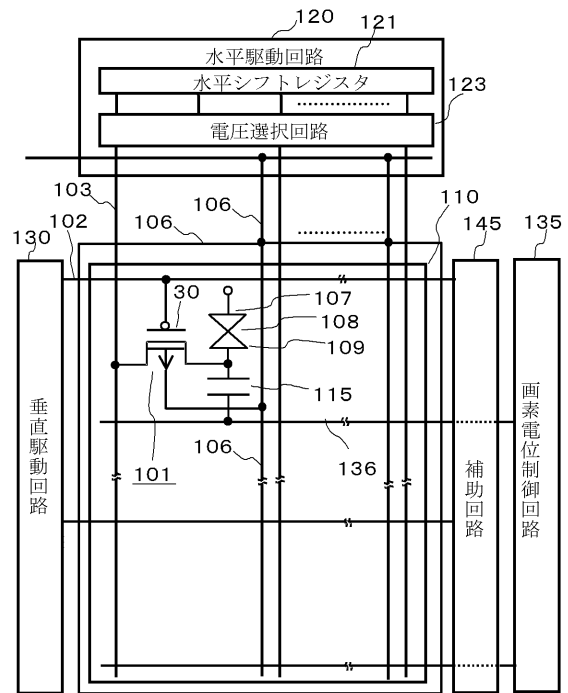
【図 1】

図 1



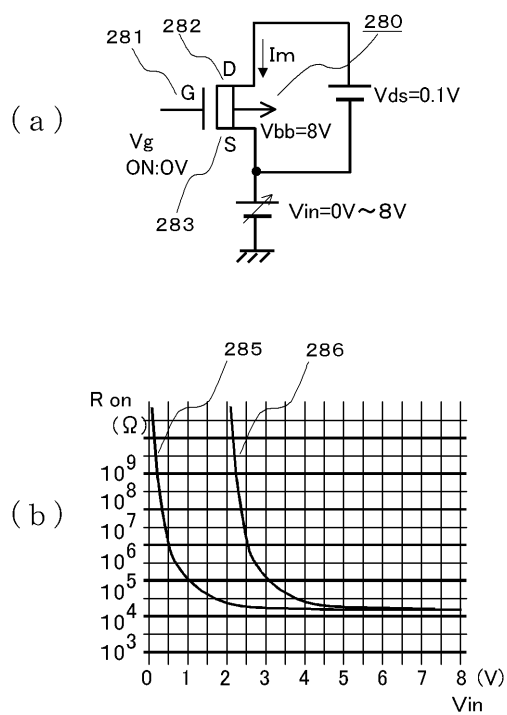
【図 2】

図 2



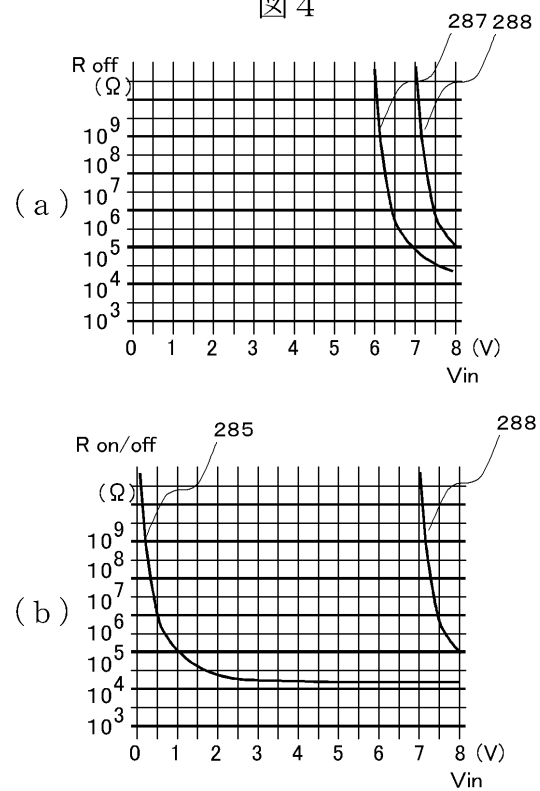
【図 3】

図 3

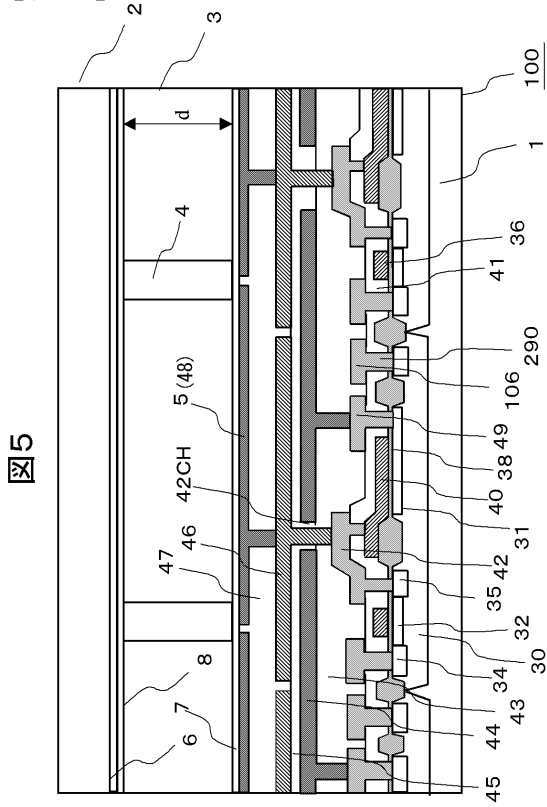


【図 4】

図 4



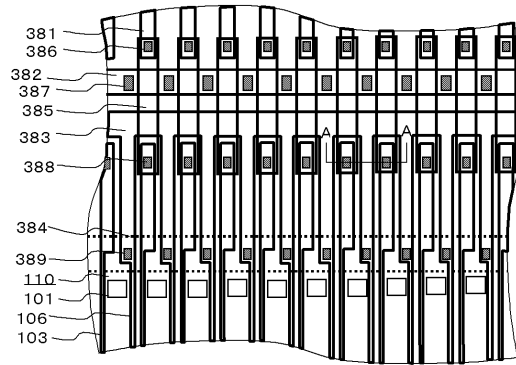
【図 5】



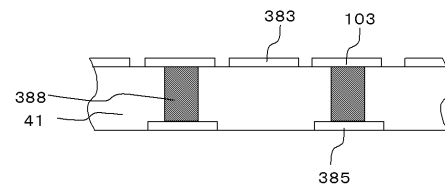
【図 6】

図 6

(a)



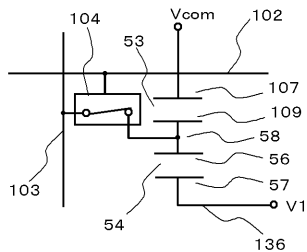
(b)



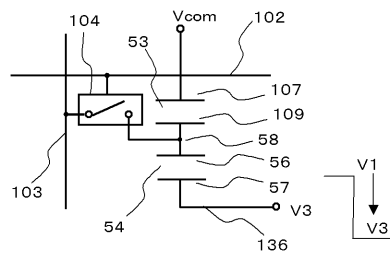
【図 7】

図 7

(a)

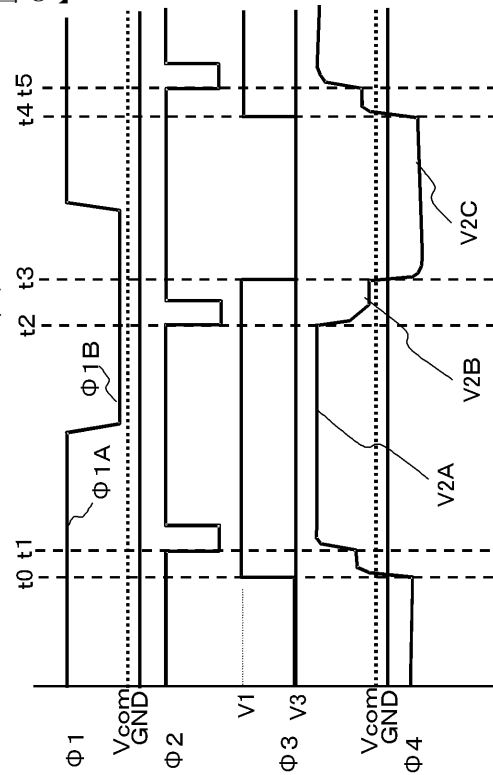


(b)



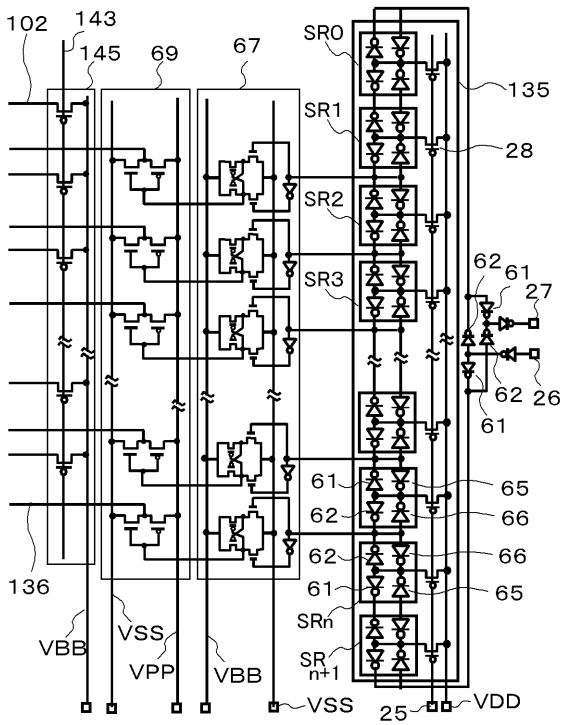
【図 8】

図 8



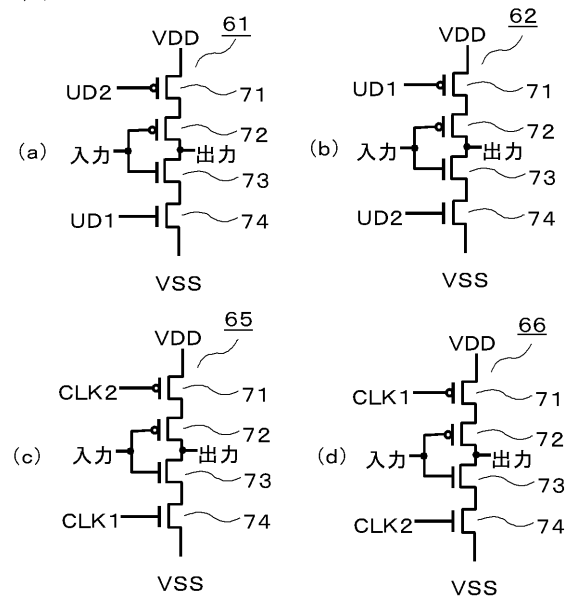
【図 9】

図 9



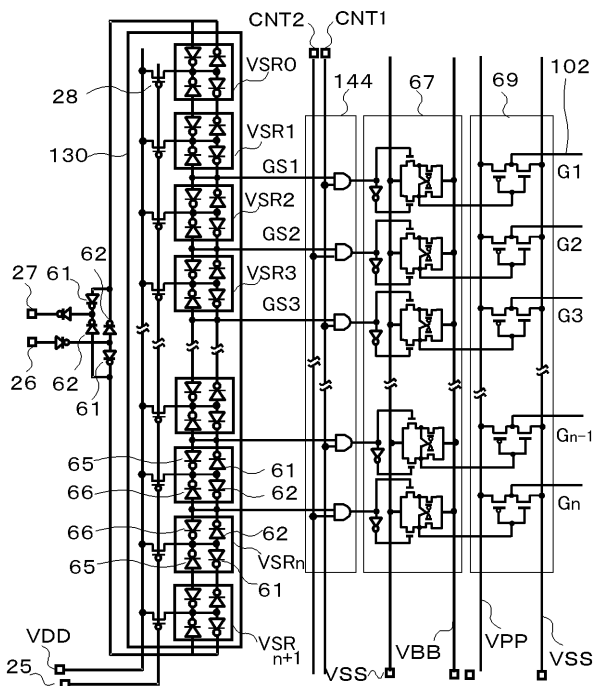
【図 10】

図 10



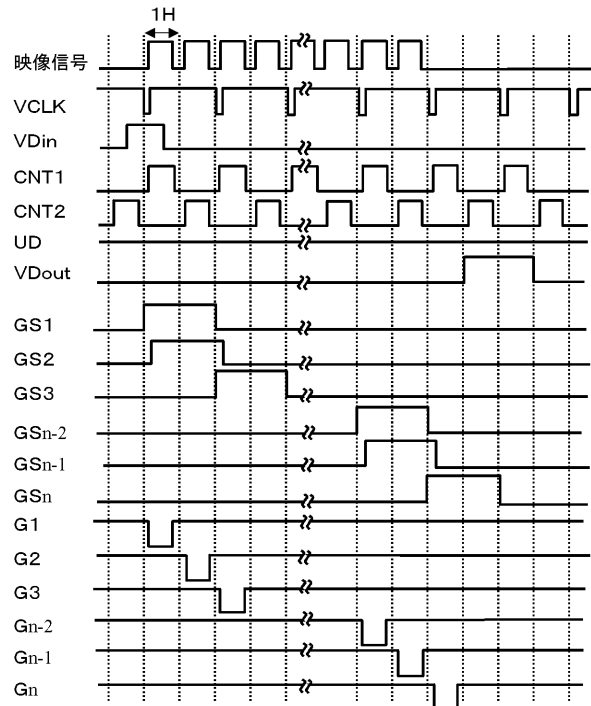
【図 11】

図 11

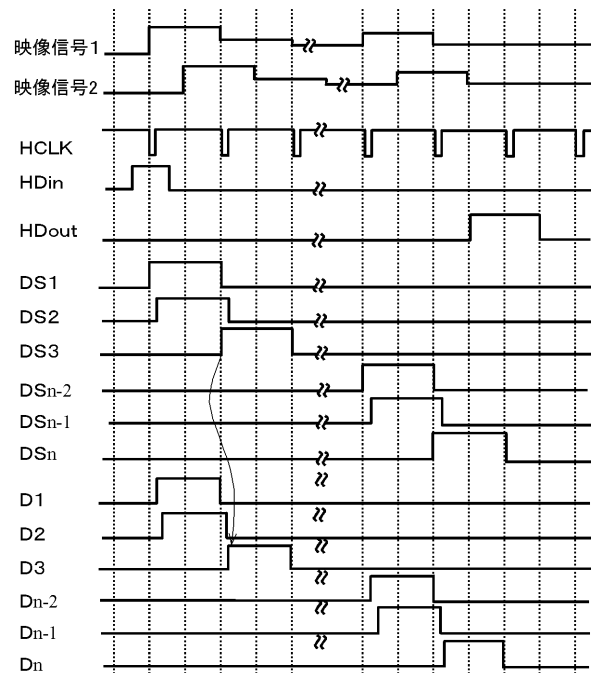
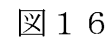
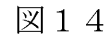


【図 12】

図 12

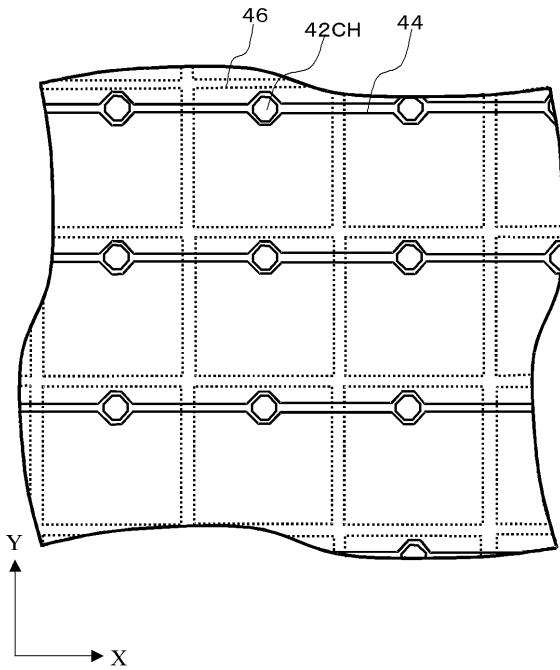


13



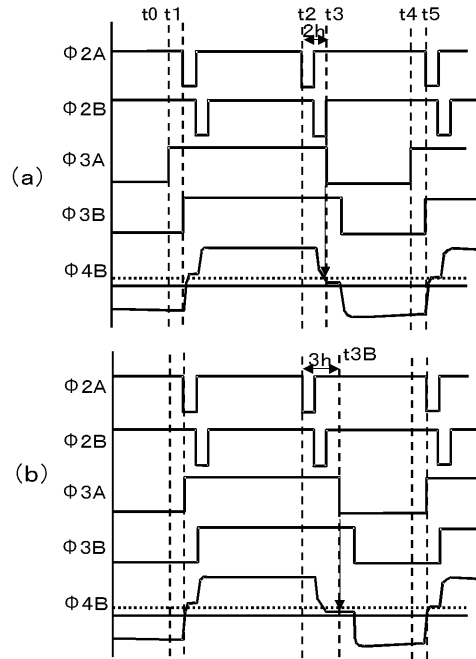
【図 17】

図 17



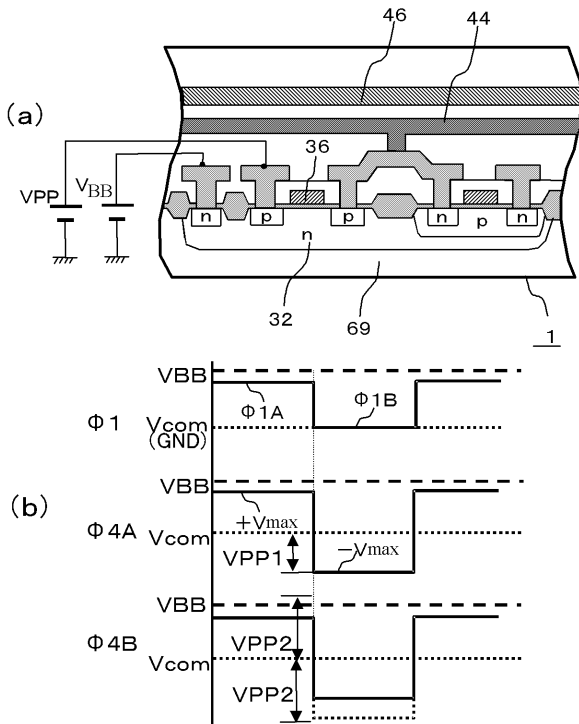
【図 18】

図 18



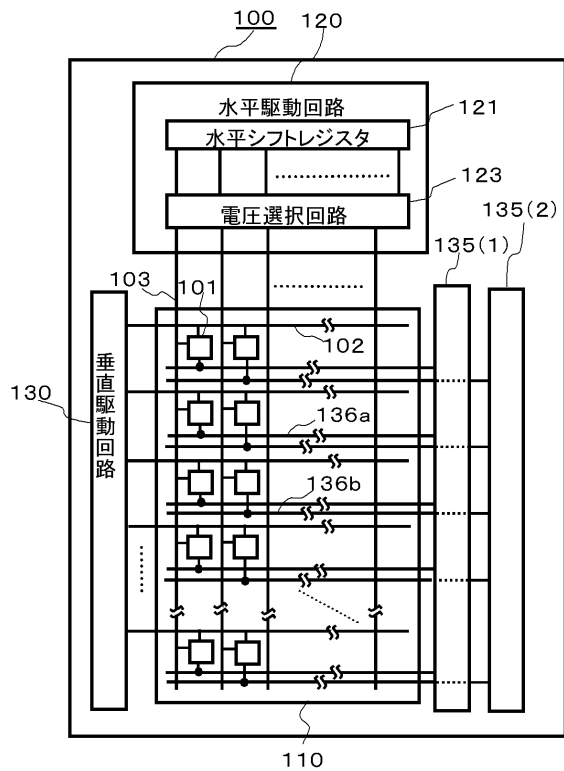
【図 19】

図 19

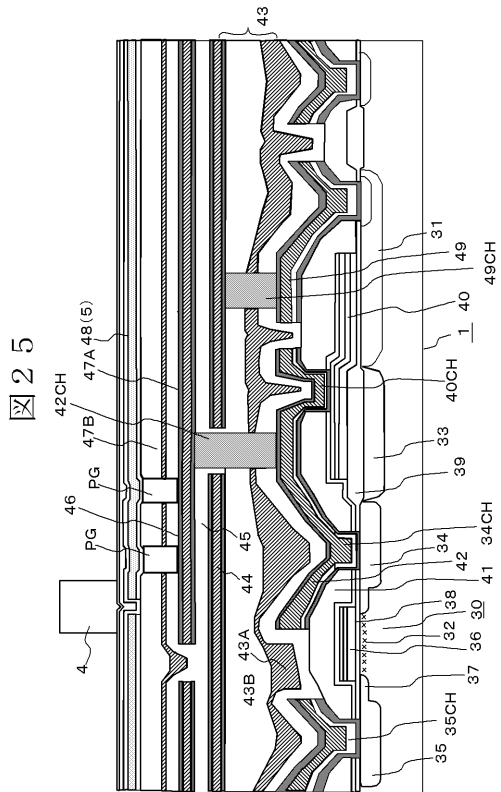


【図 20】

図 20

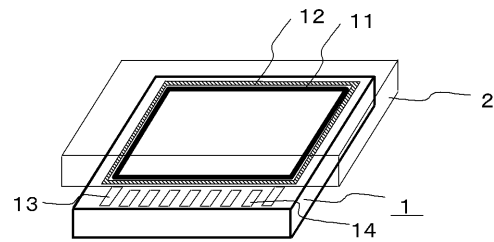


【図 2 5】



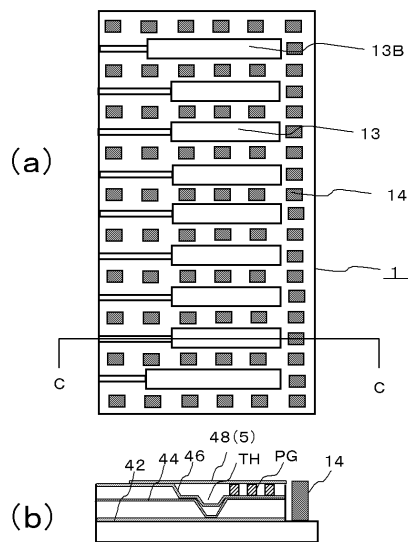
【図 2 6】

図 2 6



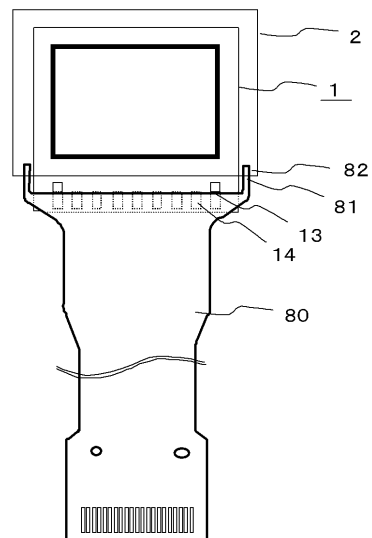
【図 2 7】

図 27



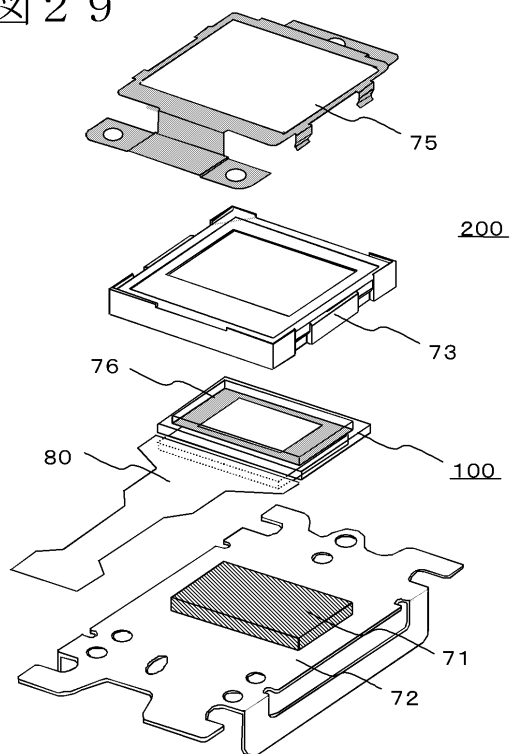
【図 2 8】

図 2 8



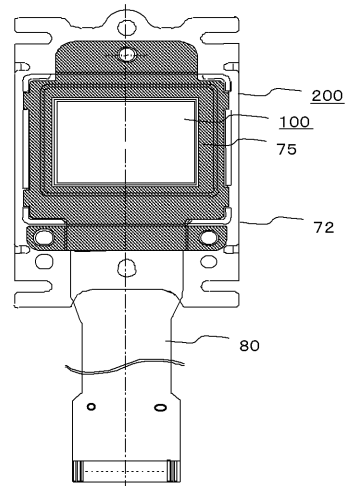
【図 29】

図 29



【図 30】

図 30



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 8 0 H

G 0 9 G 3/36

Fターム(参考) 2H090 JB04 KA05 LA01 LA04 LA09 LA20 MA02
2H092 GA12 GA29 GA32 GA59 HA05 JA23 JA28 JA34 JA41 JA46
JB07 JB22 JB31 JB51 JB61 KA03 KA16 KA18 MA01 MA12
NA17 NA25 QA07
2H093 NA16 NA31 NA51 NA80 NB01 NB07 NB11 NC03 NC10 NC12
NC13 NC16 NC21 NC22 NC34 ND35 ND47 ND48 ND60 NE01
NE03 NF05
5C006 AF67 BB16 BB28 BC06 BC08 BC11 BC20 EC11 FA33
5C080 AA10 BB05 DD18 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007011095A	公开(公告)日	2007-01-18
申请号	JP2005193306	申请日	2005-07-01
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	足立重雄 松本克己 小倉明		
发明人	足立 重雄 松本 克己 小倉 明		
IPC分类号	G02F1/133 G02F1/1333 G02F1/1368 G09G3/20 G09G3/36		
CPC分类号	G02F1/136277 G02F2001/13456		
FI分类号	G02F1/133.550 G02F1/1333.500 G02F1/1368 G09G3/20.624.B G09G3/20.670.D G09G3/20.680.H G09G3/36		
F-TERM分类号	2H090/JB04 2H090/KA05 2H090/LA01 2H090/LA04 2H090/LA09 2H090/LA20 2H090/MA02 2H092/GA12 2H092/GA29 2H092/GA32 2H092/GA59 2H092/HA05 2H092/JA23 2H092/JA28 2H092/JA34 2H092/JA41 2H092/JA46 2H092/JB07 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB61 2H092/KA03 2H092/KA16 2H092/KA18 2H092/MA01 2H092/MA12 2H092/NA17 2H092/NA25 2H092/QA07 2H093/NA16 2H093/NA31 2H093/NA51 2H093/NA80 2H093/NB01 2H093/NB07 2H093/NB11 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC34 2H093/ND35 2H093/ND47 2H093/ND48 2H093/ND60 2H093/NE01 2H093/NE03 2H093/NF05 5C006/AF67 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BC08 5C006/BC11 5C006/BC20 5C006/EC11 5C006/FA33 5C080/AA10 5C080/BB05 5C080/DD18 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H190/JB04 2H190/KA05 2H190/LA01 2H190/LA04 2H190/LA09 2H190/LA20 2H190/LA23 2H192/AA24 2H192/BC35 2H192/BC42 2H192/BC72 2H192/CB02 2H192/DA12 2H192/DA43 2H192/DA44 2H192/EA04 2H192/EA13 2H192/EA67 2H192/FB02 2H192/GA03 2H192/GD03 2H192/GD61 2H192/HA88 2H192/JA05 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZD21 2H193/ZE31 2H193/ZE38 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZJ14 2H193/ZP01 2H193/ZP03 2H193/ZQ06		
代理人(译)	井上 学		
外部链接	Espacenet		

摘要(译)

提供一种即使在驱动电路异常停止的情况下也能够减少像素电极的残留电荷，防止液晶的劣化，并且能够以低电压驱动的液晶显示装置。设置耗尽模式，其中，当未将截止信号施加到栅极端子时，设置在像素中的场效应晶体管导通。此外，提供了用于向像素部分提供基板电压的基板电压供应线，并且基板电压通过设置在像素部分中的通孔被提供，以控制输入信号的最佳阈值。在显示区域的周围设有配线，以使视频信号线和基板电压供给线交叉。[选择图]图2

図 2

