

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-308803

(P2006-308803A)

(43) 公開日 平成18年11月9日(2006.11.9)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 10 O L (全 10 頁)

(21) 出願番号	特願2005-130254 (P2005-130254)	(71) 出願人	303018827
(22) 出願日	平成17年4月27日 (2005. 4. 27)		NEC液晶テクノロジー株式会社
			神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100109313
			弁理士 机 昌彦
		(74) 代理人	100136814
			弁理士 工藤 雅司
		(74) 代理人	100111637
			弁理士 谷澤 靖久
		(72) 発明者	浅井 卓也
			神奈川県川崎市中原区下沼部1753番地
			NEC液晶テクノロジー株式会社内

最終頁に続く

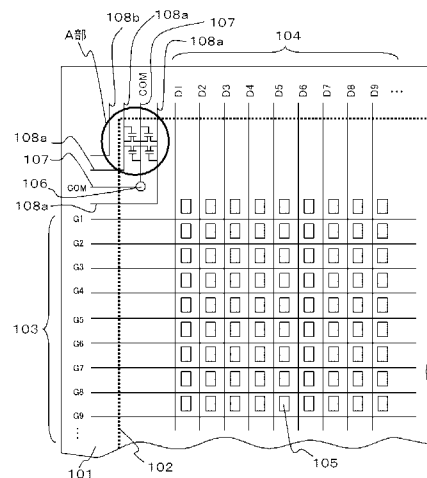
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 アクティブマトリクス基板の周辺領域に配置された、駆動用信号や動作電圧を供給する配線パターン
の静電破壊による断線を抑制する。

【解決手段】 アクティブマトリクス基板101の周辺領域には、実装される駆動用ICのための制御用信号配線や電源配線の配線パターンが配置されている。この配線パターンは複数の配線108a及び108bを含む。さらに、対向基板102の対向電極へ共通電位を与えるトランスファパッド106が配置されている。さらに、トランスファパッド106に接続された共通配線107が配置されている。さらに、複数の配線108aと共通配線107との間には、複数の保護トランジスタ109が接続されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の画素電極が形成されたアクティブマトリクス基板と対向電極が形成された対向基板との間に液晶層を挟持した液晶表示装置において、前記アクティブマトリクス基板には、前記複数の画素電極が形成された表示領域とその周囲の周辺領域とが形成されており、周辺領域には前記対向基板の前記対向電極へ共通電位を与えるトランスファパッドと、前記トランスファパッドに接続された共通配線と、前記共通配線の近傍に配置された配線パターンと、前記共通配線と前記配線パターンとの間に接続された静電保護手段とが形成されていることを特徴とする液晶表示装置。

【請求項 2】

10

前記静電保護手段は、保護トランジスタであることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記保護トランジスタは、ゲート・ソース間が共通接続された薄膜トランジスタであることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

前記静電保護手段は、高抵抗素子であることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】

前記高抵抗素子は、半導体膜からなることを特徴とする請求項 4 記載の液晶表示装置。

【請求項 6】

20

前記配線パターンは、前記共通配線の片側に、お互いに実質的に平行に配列された複数の配線を含み、前記共通配線と前記複数の配線との間にそれぞれ静電保護手段が設けられていることを特徴とする請求項 1 乃至請求項 5 のいずれか一つに記載の液晶表示装置。

【請求項 7】

前記配線パターンは、前記共通配線の両側に、お互いに実質的に平行に配列された複数の配線を含み、前記共通配線と前記複数の配線との間にそれぞれ静電保護手段が設けられていることを特徴とする請求項 1 乃至請求項 5 のいずれか一つに記載の液晶表示装置。

【請求項 8】

前記配線パターンは、お互いに実質的に平行に配列された第一及び第二の配線であって、前記対向基板の前記対向電極と対向している第一の配線と前記対向基板と対向していない第二の配線とを含み、前記第一の配線と前記共通配線の間には静電保護手段が設けられており、前記第二の配線と前記共通配線の間には静電保護手段が設けられていないことを特徴とする請求項 1 乃至請求項 7 のいずれか一つに記載の液晶表示装置。

30

【請求項 9】

前記配線パターンは、前記アクティブマトリクス基板の前記周辺領域に C O G 形式で搭載される駆動用 I C のための制御用信号配線及び／又は電源配線であることを特徴とする請求項 1 乃至 8 のいずれか一つに記載の液晶表示装置。

【請求項 10】

前記配線パターンは、前記アクティブマトリクス基板の前記周辺領域に C O F 形式で搭載される駆動用 I C のための制御用信号配線及び／又は電源配線であることを特徴とする請求項 1 乃至 8 のいずれか一つに記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に駆動用 I C がアクティブマトリクス基板上に搭載された液晶表示装置に関する。

【背景技術】

【0002】

C O G (chip on glass) 技術を用いた液晶表示装置が知られている。アクティブマトリクス基板の駆動用 I C を、アクティブマトリクス基板自体に実装する。こ

50

のような構造とすると、アクティブマトリクス基板の周りの部品点数を減らすことができ、小型薄型の液晶表示装置や狭額縁の液晶表示装置を実現できる。

【0003】

また、COF (chip on film) 技術を用いた液晶表示装置が知られている。これはアクティブマトリクス基板の駆動用ICが搭載された絶縁性フィルム部材をアクティブマトリクス基板に実装する。このような構造によっても、アクティブマトリクス基板の周りの部品点数を減らすことができ、小型薄型の液晶表示装置や狭額縁の液晶表示装置を実現できる。

【0004】

アクティブマトリクス基板の製造においては、大面積のマザー基板に数千の配線パターンを配置するので、製造工程での静電気への対策が重要である。このような静電気対策としては、製造工程中では複数の外部接続端子を短絡するアウターガードリングを設けたものや、複数の走査線や複数のデータ線と静電保護素子をそれぞれ介して接続されるインナーガードリングを設けたものが知られている。これらのアウターガードリングやインナーガードリングにより、走査線やデータ線の静電破壊を防止している。 10

【0005】

例えば、COG技術を用いた液晶表示装置の場合には、通常の液晶表示装置の構造に加えて、複数の駆動用ICがアクティブマトリクス基板の周辺部に配列され、これらに駆動用信号や動作電圧を供給する配線パターンがアクティブマトリクス基板上に形成されている。よって、アウターガードリングやインナーガードリングによる静電保護とは別の静電気対策が必要となる。 20

【0006】

例えば、COG実装工程において静電気が発生した場合でも、素子破壊を防止しようとする提案がなされている（特許文献1参照）。

【0007】

【特許文献1】特開2003-084304号公報（図1）

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、このような背景技術の液晶表示装置では、液晶表示装置の製造工程中に、駆動用ICのための制御用信号や動作電圧を供給する配線パターンがフローティングとなっている。このため、摩擦などにより帯電し電荷が蓄積されて、対向基板の対向電極との間で放電を生じ、配線パターンが静電破壊による断線を生じる可能性がある。また、対向基板の対向電極との間の放電により近傍の絶縁膜にクラックが生じ、露出した配線が長期間のうちに腐食する可能性がある。 30

【0009】

したがって、本発明の目的は、アクティブマトリクス基板の周辺領域に配置された、制御用信号や動作電圧を供給する配線パターンの静電破壊による断線や腐食を抑制できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0010】

上述した目的を達成するために、本発明の液晶表示装置は、次の新規な特徴を備える。

【0011】

すなわち、本発明の液晶表示装置は、複数の画素電極が形成されたアクティブマトリクス基板と対向電極が形成された対向基板との間に液晶層を挟持した液晶表示装置において、上記アクティブマトリクス基板には、上記複数の画素電極が形成された表示領域とその周囲の周辺領域とが形成されており、周辺領域には上記対向基板の上記対向電極へ共通電位を与えるトランスファパッドと、上記トランスファパッドに接続された共通配線と、上記共通配線の近傍に配置された配線パターンと、上記共通配線と上記配線パターンとの間に接続された静電保護手段とが形成されていることを特徴とする。 50

【0012】

好ましくは、上記静電保護手段は、保護トランジスタであることを特徴とする。

【0013】

好ましくは、上記保護トランジスタは、ゲート・ソース間が共通接続された薄膜トランジスタであることを特徴とする。

【0014】

好ましくは、上記静電保護手段は、高抵抗素子であることを特徴とする。

【0015】

好ましくは、上記高抵抗素子は、半導体膜からなることを特徴とする。

【0016】

好ましくは、上記配線パターンは、上記共通配線の片側に、お互いに実質的に平行に配列された複数の配線を含み、上記共通配線と上記複数の配線との間にそれぞれ静電保護手段が設けられていることを特徴とする。

10

【0017】

好ましくは、上記配線パターンは、上記共通配線の両側に、お互いに実質的に平行に配列された複数の配線を含み、上記共通配線と上記複数の配線との間にそれぞれ静電保護手段が設けられていることを特徴とする。

【0018】

好ましくは、上記配線パターンは、お互いに実質的に平行に配列された第一及び第二の配線であって、上記対向基板の上記対向電極と対向している第一の配線と上記対向基板と対向していない第二の配線とを含み、上記第一の配線と上記共通配線との間には静電保護手段が設けられており、上記第二の配線と上記共通配線との間には静電保護手段が設けられていないことを特徴とする。

20

【0019】

好ましくは、上記配線パターンは、上記アクティブマトリクス基板の上記周辺領域にCOG形式で搭載される駆動用ICのための制御用信号配線及び／又は電源配線であることを特徴とする。

【0020】

好ましくは、上記配線パターンは、上記アクティブマトリクス基板の上記周辺領域にCOF形式で搭載される駆動用ICのための制御用信号配線及び／又は電源配線であることを特徴とする。

30

[効果をもたらす手段の働き]

共通配線は、対向基板の上記対向電極へ共通電位を与えるトランスファパッドに接続されている。共通配線の近傍に配置された配線パターンに電荷が蓄積されていっても、この電荷は静電保護手段を介して共通配線へと流される。

【発明の効果】

【0021】

本発明によれば、共通配線の近傍に配置された配線パターンに電荷が蓄積され帯電しても、この電荷は静電保護手段を介して共通配線へと流されるので、アクティブマトリクス基板の周辺領域に配置された配線パターンの静電破壊を抑制することができる。また、対向基板の対向電極との間で放電が起きる前に、電荷は静電保護手段を介して共通配線へと流されるので、アクティブマトリクス基板の周辺領域に配置された配線パターンの静電破壊を抑制することができる。

40

【発明を実施するための最良の形態】

【0022】

次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の一実施形態の液晶表示装置の部分平面図である。図2(a)及び図2(b)は、図1の周辺領域に配置された静電保護手段の構造を説明するための平面図である。本実施形態は、静電保護手段として、保護トランジスタ、特に薄膜トランジスタを用いた場合で説明する。

【0023】

50

本実施の形態の液晶表示装置 100 は、複数の画素電極 105 が形成されたアクティブマトリクス基板 101 と対向電極が形成された対向基板 102 との間に液晶層を挟持した液晶表示装置である。このアクティブマトリクス基板 101 には、複数の走査線 103 (G1 乃至 G9、…) と複数のデータ線 104 (D1 乃至 D9、…) とがお互いに交差するように配置され、複数の走査線 103 と複数のデータ線 104 とで囲まれる領域に複数の画素電極 105 が配列されている。走査線 103 とデータ線 104 とはスイッチングトランジスタを介して画素電極 105 に接続される。

【0024】

さらに、アクティブマトリクス基板 101 の周辺領域の A 部には、COG 形式又は COF 形式で実装される駆動用 IC のための配線パターンが配置されている。この配線パターンは、駆動用 IC のための制御用信号配線及び／又は電源配線である。配線パターンは、複数の配線 108a 及び 108b を含む。さらに、周辺領域には、対向基板 102 の対向電極へ共通電位を与えるトランスファパッド 106 が配置されている。さらに、トランスファパッド 106 に接続された共通配線 107 が配置されている。複数の配線 108a、配線 108b 及び共通配線 107 はお互いに平行に配置されている。さらに、複数の配線 108a と共通配線 107 との間には静電保護手段の一例としての保護トランジスタが接続されている。この保護トランジスタは、ゲート・ソース間が共通接続された構成のもので、順方向と逆方向にそれぞれ接続されている。

【0025】

次に、図 1 の A 部の保護トランジスタ周辺のレイアウトについて、図 2 を参照しながら説明する。図 2 (a) の平面図は、保護すべき配線パターンが、共通配線 107 の片側に、お互いに実質的に平行に配列された複数の配線 108a を含み、共通配線 107 と複数の配線 108a との間にそれぞれ保護トランジスタを設けた場合である。ここでは、共通配線 107 と配線 108a との間には、ゲート・ソース間が共通接続された保護トランジスタ 109 が順方向と逆方向に複数設けられている。共通配線 107 と配線 108b との間の直線は、対向基板の外形を表している。この直線から図面の右側は、対向基板と対向する領域であり、共通配線 107 や配線 108a は対向基板の対向電極と対向している。このように、対向基板の対向電極と対向している配線 108a に対しては、保護トランジスタ 109 を共通配線 107 との間に接続している。一方、この直線から図面の左側は、対向基板が存在しない領域である。この領域に配置されている配線 108b に対しては、

【0026】

図 2 (b) の平面図は、保護すべき配線パターンが、共通配線 107 の両側に、お互いに実質的に平行に配列された複数の配線を含み、共通配線と複数の配線との間にそれぞれ保護トランジスタを設けた場合である。ここでも、共通配線 107 と配線 108a との間には、ゲート・ソース間が共通接続された保護トランジスタ 109 が順方向と逆方向に複数設けられている。配線 108a と配線 108b との間の直線は、対向基板の外形を表している。この直線から図面の右側は、対向基板と対向する領域であり、共通配線 107 や配線 108a は対向基板の対向電極と対向している。このように、対向基板の対向電極と対向している配線 108a に対しては、保護トランジスタ 109 を共通配線 107 との間に接続している。一方、この直線から図面の左側は、対向基板が存在しない領域である。この領域に配置されている配線 108b に対しては、保護トランジスタを接続していない。

【0027】

次に、本実施の形態の保護トランジスタの働きについて説明する。製造工程中に、保護すべき配線パターンに電荷が蓄積されていった場合、共通配線 107 と配線 108a との間の電位差が保護トランジスタ 109 の順方向電圧 V_T よりも大きくなると、保護トランジスタ 109 がオンして保護トランジスタ 109 を介して蓄積された電荷が放流される。保護トランジスタ 109 は、共通配線 107 と配線 108a との間に順方向と逆方向にそれぞれ接続しているので、保護すべき配線 108a の電位が共通配線 107 より高くなっ

10

20

30

40

50

た場合でも低くなった場合でも、どちらかの保護トランジスタ109の働きにより蓄積された電荷が放流される。

【0028】

さらに、静電保護手段の一例としての保護トランジスタは、アクティブマトリクス基板の表示領域のスイッチングトランジスタを形成すると同時に形成することができる。すなわち、表示領域のスイッチングトランジスタのゲート電極を形成すると同時に、保護トランジスタのゲート電極111を形成する。さらに、表示領域のスイッチングトランジスタの半導体膜をゲート絶縁膜上に形成すると同時に、保護トランジスタの半導体膜111を形成する。さらに、ゲート絶縁膜に走査線へのコンタクトホールを設けるのと同時に、共通配線107や配線108aへのコンタクトホール112を形成する。さらに、スイッチングトランジスタのソース電極やドレイン電極を形成すると同時に、保護トランジスタのソース電極やドレイン電極、これらと共通配線107や配線108aとを接続する配線を形成する。このようにして、別の製造工程を必要としないで、配線パターンのための保護トランジスタ109をアクティブマトリクス基板上に形成することができる。

〔発明の他の実施の形態〕

【0029】

次に、本発明の他の実施の形態として、第二の実施形態について、図面を参照しながら説明する。図3は本発明の第二の実施形態の液晶表示装置の部分平面図である。図4(a)及び図4(b)は、図3の周辺領域に配置された静電保護手段の構造を説明するための平面図である。本実施形態は、静電保護手段として、高抵抗素子を用いた場合で説明する。

【0030】

本実施の形態の液晶表示装置200は、複数の画素電極205が形成されたアクティブマトリクス基板201と対向電極が形成された対向基板202との間に液晶層を挟持した液晶表示装置である。このアクティブマトリクス基板201には、複数の走査線203(G1乃至G9、…)と複数のデータ線204(D1乃至D9、…)とがお互いに交差するように配置され、複数の走査線203と複数のデータ線204とで囲まれる領域に複数の画素電極205が配列されている。走査線203とデータ線204とはスイッチングトランジスタを介して画素電極205に接続される。

【0031】

さらに、アクティブマトリクス基板201の周辺領域のB部には、COG形式又はCOF形式で実装される駆動用ICのための配線パターンが配置されている。この配線パターンは、駆動用ICのための制御用信号配線及び／又は電源配線である。配線パターンは、複数の配線208a及び208bを含む。さらに、周辺領域には、対向基板202の対向電極へ共通電位を与えるトランスファパッド206が配置されている。さらに、トランスファパッド206に接続された共通配線207が配置されている。複数の配線208a、配線208b及び共通配線207はお互いに平行に配置されている。さらに、複数の配線208aと共通配線107との間には静電保護手段の一例としての高抵抗素子が接続されている。この高抵抗素子は、高抵抗の半導体膜から構成されている。

【0032】

次に、図3のB部の高抵抗素子周辺のレイアウトについて、図4を参照しながら説明する。図4(a)の平面図は、保護すべき配線パターンが、共通配線207の片側に、お互いに実質的に平行に配列された複数の配線208aを含み、共通配線207と複数の配線208aとの間にそれぞれ高抵抗素子を設けた場合である。共通配線207と配線208bとの間の直線は、対向基板の外形を表している。この直線から図面の右側は、対向基板と対向する領域であり、共通配線207や配線208aは対向基板の対向電極と対向している。このように、対向基板の対向電極と対向している配線208aに対しては、高抵抗素子209を共通配線207との間に接続している。一方、この直線から図面の左側は、対向基板が存在しない領域である。この領域に配置されている配線208bに対しては、保護トランジスタを接続していない。

10

20

30

40

50

【0033】

図4(b)の平面図は、保護すべき配線パターンが、共通配線207の両側に、お互いに実質的に平行に配列された複数の配線を含み、共通配線と複数の配線との間にそれぞれ保護トランジスタを設けた場合である。ここでも、共通配線207と配線208aとの間には、高抵抗素子209が設けられている。配線208aと配線208bとの間の直線は、対向基板の外形を表している。この直線から図面の右側は、対向基板と対向する領域であり、共通配線207や配線208aは対向基板の対向電極と対向している。このように、対向基板の対向電極と対向している配線208aに対しては、高抵抗素子209を共通配線207との間に接続している。一方、この直線から図面の左側は、対向基板が存在しない領域である。この領域に配置されている配線208bに対しては、高抵抗素子を接続していない。

【0034】

本実施の形態によれば、第一の実施の形態の保護トランジスタと比較して、簡単な構成で静電破壊を抑制することができる。構成が簡単なので、複数の配線が多数配置されるような領域へもレイアウトが容易である。また、保護トランジスタのようなゲート電極が不要なので、共通配線に隣接する領域に限定されずに配置できるから、設計の自由度が大きいメリットもある。

【0035】

さらに、静電保護手段の一例としての高抵抗素子は、アクティブマトリクス基板の表示領域のスイッチングトランジスタを形成すると同時に形成することができる。すなわち、表示領域のスイッチングトランジスタの半導体膜をゲート絶縁膜上に形成すると同時に、高抵抗素子の半導体膜を形成する。さらに、ゲート絶縁膜に走査線へのコンタクトホールを設けると同時に、共通配線207や配線208aへのコンタクトホール212を形成する。さらに、スイッチングトランジスタのソース電極やドレイン電極を形成すると同時に、高抵抗素子のそれぞれの端部と共通配線207や配線208aとを接続する配線を形成する。このようにして、別の製造工程を必要としないで、配線パターンのための高抵抗素子209をアクティブマトリクス基板上に形成することができる。

【0036】

アクティブマトリクス基板と対向基板とを液晶材を挟持した状態で貼り合わせた後で、この表面に偏光板を貼り付ける場合、或いはアクティブマトリクス基板と対向基板とを液晶材を挟持した状態で貼り合わせた状態で保管している場合に作業者がこれを持ち上げた場合、このような場面では静電気が発生しやすい。これに対し、本発明の液晶表示装置では、上述した構成の周辺領域に配置された静電保護手段により、COG形式又はCOF形式で搭載される駆動用ICのための制御用信号配線及び／又は電源配線の静電破壊を抑制することができる。

【0037】

以上好ましい実施形態について説明したが、本発明はこれに限定されるものではなく、様々な変更や適用が可能であろう。静電保護手段としては、上述した実施形態の構造の薄膜トランジスタだけでなく、異なる構造の薄膜トランジスタを用いることもできる。

〔産業上の利用可能性〕

本発明の活用例として、小型薄型の液晶表示装置や狭額縁の液晶表示装置への適用が考えられる。

【図面の簡単な説明】

【0038】

【図1】本発明の第一の実施形態の液晶表示装置の部分平面図である。

【図2】図1のA部に配置された静電保護手段を説明するための平面図である。

【図3】本発明の第二の実施形態の液晶表示装置の部分平面図である。

【図4】図3のB部に配置された静電保護手段を説明するための平面図である。

【符号の説明】

【0039】

10

20

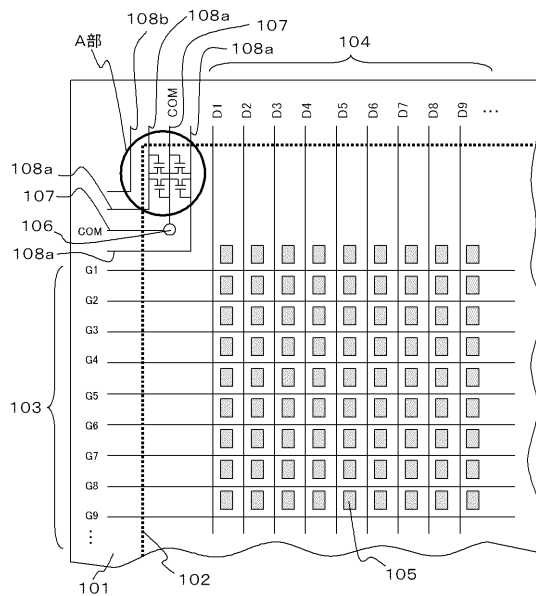
30

40

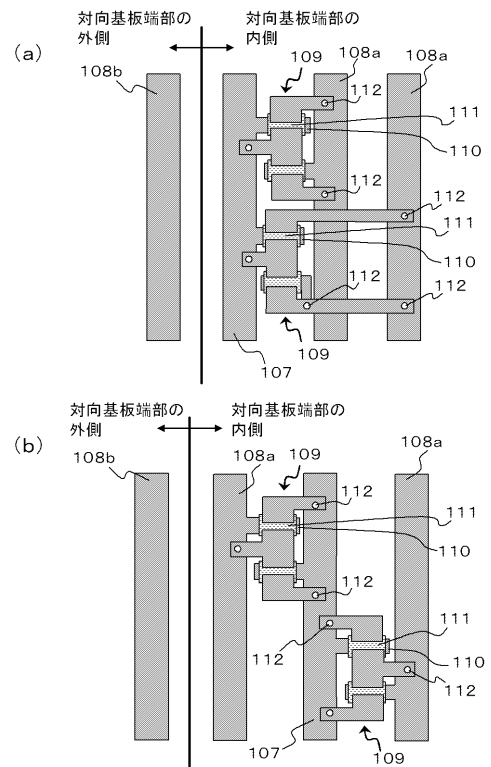
50

- 101、201 アクティブマトリクス基板
 102、202 対向基板
 103、203 走査線
 104、204 データ線
 105、205 画素電極
 106、206 トランスファパッド
 107、207 共通配線
 108a、108b、208a、208b 配線
 109 保護トランジスタ
 209 高抵抗素子

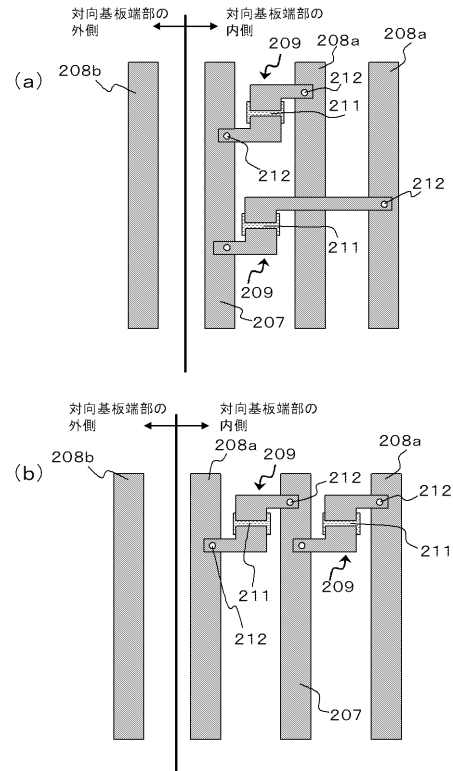
【図 1】



【図 2】



【图 4】



フロントページの続き

(72)発明者 渡邊 貴彦

神奈川県川崎市中原区下沼部1753番地

社内

NEC液晶テクノロジー株式会

Fターム(参考) 2H092 GA36 GA40 GA51 GA60 GA64 JA24 JB79 NA14 NA15

专利名称(译)	液晶表示装置		
公开(公告)号	JP2006308803A	公开(公告)日	2006-11-09
申请号	JP2005130254	申请日	2005-04-27
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	浅井卓也 渡邊貴彦		
发明人	浅井 卓也 渡邊 貴彦		
IPC分类号	G02F1/1345 G02F1/1368		
CPC分类号	G02F1/1345 G02F1/136204		
FI分类号	G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA36 2H092/GA40 2H092/GA51 2H092/GA60 2H092/GA64 2H092/JA24 2H092/JB79 2H092/NA14 2H092/NA15 2H192/AA24 2H192/FA81 2H192/FB13 2H192/FB22 2H192/FB46 2H192/GA13 2H192/GA15		
代理人(译)	台正彦 工藤志 谷泽恭久		
外部链接	Espacenet		

摘要(译)

为了抑制由于布置在有源矩阵基板的外围区域中并提供驱动信号和工作电压的布线图案的静电击穿而引起的断开。在有源矩阵基板101的外围区域中，布置用于驱动将要安装的IC的控制信号配线和电源配线的配线图案。该布线图案包括多个布线108a和108b。此外，布置了将公共电势施加到对衬底102的对电极的转移垫106。此外，布置连接到转移垫106的公共布线107。此外，多个保护晶体管109连接在多个布线108a和公共布线107之间。[选型图]图1

