

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-292807
(P2006-292807A)

(43) 公開日 平成18年10月26日(2006.10.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 520	5C006
G09G 3/20 (2006.01)	G02F 1/133 525	5C080
	G02F 1/133 550	
	G02F 1/133 575	
審査請求 未請求 請求項の数 10 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2005-109535 (P2005-109535)	(71) 出願人	503121103
(22) 出願日	平成17年4月6日 (2005.4.6)		株式会社ルネサステクノロジ
			東京都千代田区丸の内二丁目4番1号
		(74) 代理人	100085811
			弁理士 大日方 富雄
		(72) 発明者	納富 志信
			北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		(72) 発明者	立花 利一
			北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		(72) 発明者	鈴木 進也
			北海道亀田郡七飯町字中島145番地 株式会社ルネサス北日本セミコンダクタ内
		最終頁に続く	

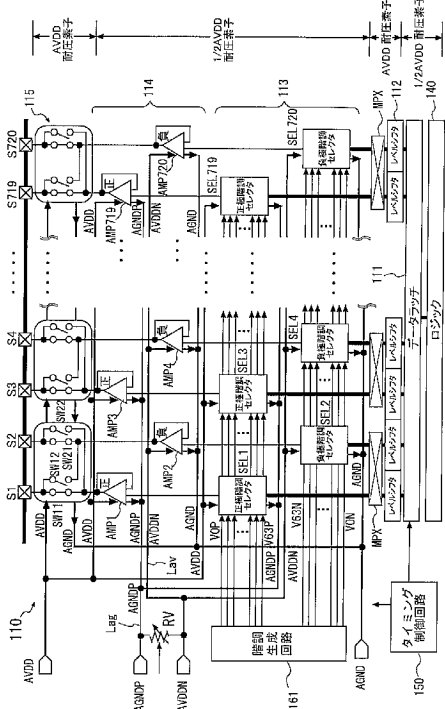
(54) 【発明の名称】 液晶表示駆動用半導体集積回路

(57) 【要約】

【課題】 液晶パネルを交流駆動するための正極用のアンプの出力と負極用のアンプの出力のバランスがくずれたり、一方のアンプから他方のアンプへノイズが伝わったりするのを防止して表示画質を向上させることができる液晶表示駆動用半導体集積回路を実現する。

【解決手段】 液晶パネルの信号線に印加されるべき駆動信号を生成して出力する駆動回路(110)に、表示データに応じた階調電圧を選択するデコーダ回路(112)を設ける。また、前記デコーダ回路により選択された正極性の電圧をインピーダンス変換する正極用アンプと、前記デコーダ回路により選択された負極性の電圧をインピーダンス変換する負極用アンプを設ける。さらに、前記正極用アンプと負極用アンプの出力を隣接する出力端子間で入れ替えて伝達するスイッチ回路からなる交流化部(115)を設ける。そして、前記正極用アンプと負極用アンプの電源電圧として同一の電位差を有する2組の電源電圧を生成して、別々の電源ラインにより給電させるようにした。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

表示データに応じた階調電圧を有しアクティブマトリックス方式の液晶パネルの信号線に印加されるべき駆動信号を生成して出力する駆動回路を内蔵した液晶表示駆動用半導体集積回路であって、

前記駆動回路は、

表示データに応じた階調電圧を選択するデコーダ回路と、

前記デコーダ回路により選択された正極性の電圧をインピーダンス変換する第 1 の差動増幅回路と、

前記デコーダ回路により選択された負極性の電圧をインピーダンス変換する第 2 の差動増幅回路と、

前記第 1 の差動増幅回路と前記第 2 の差動増幅回路の出力を隣接する出力端子間に入れ替えて伝達するスイッチ回路とを備え、

前記第 1 の差動増幅回路は、第 1 の電源電圧と該第 1 の電源電圧よりも低い第 2 の電源電圧で動作され、

前記第 2 の差動増幅回路は、前記第 1 の電源電圧よりも低い第 3 の電源電圧と該第 3 の電源電圧よりも低い第 4 の電源電圧で動作されるように構成されていることを特徴とする液晶表示駆動用半導体集積回路。

【請求項 2】

前記第 1 の差動増幅回路と前記第 2 の差動増幅回路を構成する素子および前記デコーダ回路を構成する素子は、前記スイッチ回路を構成する素子よりも耐圧の低い素子により構成されていることを特徴とする請求項 1 に記載の液晶表示駆動用半導体集積回路。

【請求項 3】

前記デコーダ回路の前段には、デコードされる表示データを隣接する出力端子間に入れ替える第 2 のスイッチ回路が設けられ、該第 2 のスイッチ回路は前記スイッチ回路と関連して制御されるように構成されていることを特徴とする請求項 1 または 2 に記載の液晶表示駆動用半導体集積回路。

【請求項 4】

表示データに応じた階調電圧を有しアクティブマトリックス方式の液晶パネルの信号線に印加されるべき駆動信号を生成して出力する駆動回路を内蔵した液晶表示駆動用半導体集積回路であって、

前記駆動回路は、

表示データに応じた階調電圧を選択するデコーダ回路と、

前記デコーダ回路により選択された正極性の電圧をインピーダンス変換する第 1 の差動増幅回路と、

前記デコーダ回路により選択された負極性の電圧をインピーダンス変換する第 2 の差動増幅回路と、

前記第 1 の差動増幅回路と前記第 2 の差動増幅回路の出力を隣接する出力端子間に入れ替えて伝達するスイッチ回路とを備え、

前記第 1 の差動増幅回路は、第 1 の電源電圧と該第 1 の電源電圧よりも低い第 2 の電源電圧で動作され、前記第 2 の差動増幅回路は、前記第 1 の電源電圧よりも低い第 3 の電源電圧と該第 3 の電源電圧よりも低い第 4 の電源電圧で動作されるように構成され、

前記第 2 の電源電圧を前記第 1 の差動増幅回路へ供給する第 1 の給電線と前記第 3 の電源電圧を前記第 2 の差動増幅回路へ供給する第 2 の給電線とは、抵抗を介して接続されていることを特徴とする液晶表示駆動用半導体集積回路。

【請求項 5】

前記抵抗は、抵抗値が可変な可変抵抗素子もしくは可変抵抗回路であることを特徴とする請求項 4 に記載の液晶表示駆動用半導体集積回路。

【請求項 6】

前記抵抗は、抵抗値が一定の固定抵抗であることを特徴とする請求項 4 に記載の液晶表

10

20

30

40

50

示駆動用半導体集積回路。

【請求項 7】

前記第 2 の電源電圧を生成する第 1 の電源回路と、前記第 3 の電源電圧を生成する第 2 の電源回路とを内蔵することを特徴とする請求項 4 に記載の液晶表示駆動用半導体集積回路。

【請求項 8】

前記第 1 の電源回路と前記第 2 の電源回路は前記第 1 の電源電圧と前記第 4 の電源電圧で動作されることを特徴とする請求項 7 に記載の液晶表示駆動用半導体集積回路。

【請求項 9】

前記第 1 の差動増幅回路と前記第 2 の差動増幅回路を構成する素子および前記デコーダ回路を構成する素子は、前記スイッチ回路を構成する素子よりも耐圧の低い素子により構成されていることを特徴とする請求項 4 に記載の液晶表示駆動用半導体集積回路。 10

【請求項 10】

前記デコーダ回路の前段にはデコードされる表示データ信号の電位をシフトするレベルシフト回路がそれぞれ設けられ、前記デコーダ回路のうち正極性の階調電圧を選択するデコーダ回路の前段のレベルシフト回路は、負極性の階調電圧を選択するデコーダ回路を構成する素子よりも耐圧の高い素子を含んで構成されていることを特徴とする請求項 9 に記載の液晶表示駆動用半導体集積回路。

【発明の詳細な説明】

【技術分野】

20

【0001】

この発明は、液晶パネルを駆動する液晶表示装置に関し、特に液晶パネルの信号線を交流駆動するドライバ回路を内蔵した液晶表示駆動用 L S I (大規模半導体集積回路) に利用して有効な技術に関する。

【背景技術】

【0002】

近年、携帯電話器や P D A (Personal Digital Assistants) などの携帯用電子機器の表示装置としては、一般に複数の表示画素が例えばマトリックス状に 2 次元配列されたドットマトリックス型液晶パネルが用いられている。そして、機器内部には、この液晶パネルへの表示制御を行なう半導体集積回路化された表示制御装置や液晶パネルを駆動するドライバ回路もしくはそのようなドライバ回路を内蔵した表示制御装置が搭載されている。 30

【0003】

かかる半導体集積回路化された表示制御装置の内部回路は、5 V 以下の低電圧で動作可能であるのに対し、液晶パネルの表示駆動には 5 ~ 40 V のような高電圧を必要とする。そのため、表示制御装置には、電源電圧を昇圧した電圧で動作する駆動回路や出力回路が設けられるとともに、5 V 以下の電圧で動作する内部ロジックと昇圧電圧で動作する駆動回路との間にはレベルシフト回路が設けられている。

【0004】

また、液晶は直流電圧を印加し続けると劣化するため、液晶パネル駆動装置は交流駆動を行なう必要がある。かかる交流駆動のため、交流波形の駆動信号を出力する各出力端子に対応して正電源で動作するアンプと負電源で動作するアンプとを設けておいて、1 つの出力端子に正と負のアンプを交互に接続することで交流駆動信号を出力するようにした液晶駆動回路がある。かかる構成の液晶駆動回路に関する発明としては、例えば特許文献 1 に記載のものがある。 40

【特許文献 1】特開平 10 - 062744 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、高電圧で動作する回路は低電圧で動作する回路に比べて消費電力が大きいことが知られている。近年、半導体集積回路の低電源電圧が進められているのは低消費電力 50

化と回路の高速化を図るためである。ところが、液晶駆動回路のように高電圧で動作する回路を有する半導体集積回路では、高電圧で動作する回路を構成するため高耐圧の素子が必要であり、一般に高耐圧の素子は低耐圧の素子に比べて動作速度が遅いという欠点がある。そこで、低消費電力化と高速化のため内部回路を低耐圧の素子で構成し、低い動作電源電圧で動作する回路とする設計が行なわれている。しかし、このように高耐圧の素子と低耐圧の素子が混在する半導体集積回路は、製造プロセスが複雑になるためコストアップを招くという課題がある。

【0006】

なお、前記先願発明においても、正極用のアンプと負極用のアンプを設け、正極用のアンプはV_{LC D}と1/2 V_{LC D}の電源電圧で、また負極用のアンプは1/2 V_{LC D}と0 Vの電源電圧でそれぞれ動作させることで、両アンプを共にV_{LC D}と0 Vの電源電圧で動作させる場合に比べて低消費電力化と低耐圧化を測れるようにしている。

10

【0007】

しかし、前記先願発明においては、正極用のアンプと負極用のアンプに対して一方の電源電圧1/2 V_{LC D}を共通にしている。そのため、1/2 V_{LC D}のレベルがずれると正極用のアンプの出力と負極用のアンプの出力振幅のバランスがくずれたり、一方のアンプの動作によって発生したノイズが共通の電源ラインを通して他方のアンプへ伝わって表示画質を低下させたりするという課題がある。

【0008】

この発明の目的は、液晶パネルを駆動する半導体集積回路化された液晶表示駆動装置において、低消費電力化を図るとともに、低耐圧素子構造および低耐圧プロセスを採用可能にしてチップサイズの低減ひいては低コスト化を図れるようにすることにある。

20

【0009】

この発明の他の目的は、液晶パネルを駆動する半導体集積回路化された液晶表示駆動装置において、液晶パネルを交流駆動するための正極用のアンプの出力振幅と負極用のアンプの出力振幅のバランスがくずれたり、一方のアンプから他方のアンプへノイズが伝わったりするのを防止して、表示画質を向上させることにある。

【0010】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

30

【課題を解決するための手段】

【0011】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、表示データに応じた階調電圧を有しアクティブマトリックス方式の液晶パネルの信号線に印加されるべき駆動信号を生成して出力する駆動回路を内蔵した液晶表示駆動用半導体集積回路において、前記駆動回路には、表示データに応じた階調電圧を選択するデコード回路を設ける。また、前記デコード回路により選択された正極性の電圧をインピーダンス変換する第1の差動増幅回路（正極用アンプ）と、前記デコード回路により選択された負極性の電圧をインピーダンス変換する第2の差動増幅回路（負極用アンプ）を設ける。さらに、前記正極用アンプと前記負極用アンプの出力を、隣接する出力端子間に入れ替えて伝達するスイッチ回路を設ける。そして、前記正極用アンプと負極用アンプの電源電圧として同一の電位差を有する2組の電源電圧を生成して、別々の電源ラインにより給電させるように構成したものである。

40

【0012】

上記した手段によれば、正極用アンプと負極用アンプを共通の電源電圧で動作させる場合よりも小さな電位差の電源電圧で動作させることができる。そのため、低消費電力化が可能になるとともに、低耐圧の素子を用いてアンプを構成することができ、これによりチップサイズの低減ひいては低コスト化を図れるようになる。また、正極用と負極用アンプの電源電圧として同一の電位差を有する2組の電源電圧を生成して別々の電源ラインによ

50

り給電させるため、正極用のアンプの出力振幅と負極用のアンプの出力振幅のバランスがくずれたり、一方のアンプから他方のアンプへノイズが伝わったりするのを防止することができる。

【発明の効果】

【0013】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、液晶パネルを駆動する半導体集積回路化された液晶表示駆動装置において、低消費電力化を図るとともに、低耐圧素子構造および低耐圧プロセスを採用可能にしてチップサイズの低減ひいては低コスト化を図れるようにすることができる。 10

【0014】

また、本発明に従うと、液晶パネルを駆動する半導体集積回路化された液晶表示駆動装置において、液晶パネルを交流駆動するための正極用のアンプの出力振幅と負極用のアンプの出力振幅のバランスがくずれたり、一方のアンプから他方のアンプへノイズが伝わったりするのを防止して、表示画質を向上させることができるという効果がある。

【発明を実施するための最良の形態】

【0015】

以下、この発明の好適な実施の形態を図面に基づいて説明する。

図1は、本発明を適用して有効な液晶表示駆動用半導体集積回路（液晶コントロールドライバIC）とこのドライバICにより駆動される液晶パネルとからなる液晶表示システムの概略構成を示したものである。 20

【0016】

図1に示されているように、この実施例の液晶コントロールドライバIC100は、液晶パネル200のソース線に印加するデータ信号を生成し出力するソースドライバ回路110と、液晶パネルのゲート線に印加するゲート信号を生成し出力するゲートドライバ回路120と、液晶パネルのコモン電極に印加するゲート信号を生成し出力するコモンドライバ回路130を有する。

【0017】

また、この実施例の液晶コントロールドライバIC100には、上記ソースドライバ回路110およびゲートドライバ回路120で使用される液晶の階調電圧とその基準となる定電圧を生成する液晶駆動用電源回路160、該電源回路および各ドライバ回路で使用する昇圧電圧を生成する昇圧回路170が設けられている。また、ドライバIC100には、液晶駆動用電源回路160が発生する階調電圧の振幅や特性を指定するための制御レジスタ180、チップ外部のマイクロコンピュータからコマンドや表示データを受け取って内部回路の制御信号を生成したり表示データを加工したりするコントローラ190などが設けられている。また、図1には示されていないが、外部のマイクロコンピュータなどのシステム制御装置から供給される表示データを格納するRAM（ランダムアクセスメモリ）が設けられることもある。 30

【0018】

次に、本発明を適用した液晶コントロールドライバICにより駆動されるTFT液晶パネル200の構成を、図2を用いて説明する。

図2の液晶パネル200は、ガラス基板のような透明基板上に画像信号が印加される複数の信号線としてのソース線（ソース電極）SL1，SL2，SL3...と、所定の周期で順次選択駆動される複数の走査線としてのゲート線（ゲート電極）GL1，GL2，...とが、互いに交差する方向に配置されている。そして、ソース線SL1，SL2，SL3...とゲート線GL1，GL2，...との各交点に画素が配置されている。

【0019】

各画素は、いずれかの走査線にゲート端子が接続され、いずれかの信号線にソース端子が接続された選択素子としてのTFT（薄膜トランジスタ）Q1と、該TFTのドレイン 40 50

端子と液晶中心電位（COM電位） V_{COM} を与える各画素共通の対向電極との間に接続された画素容量 C_L とからなる。そしてかかる画素が、ソース線とゲート線の各交点にそれぞれ設けられ、アクティブマトリックス型パネルとして構成されている。

【0020】

画素にはR（赤）用画素と、G（緑）用画素と、B（青）用画素とがあり、これらの画素がR、G、Bのような順序で配置されている。各画素の色は対向基板に形成されたカラーフィルタにより与えられる。液晶は、TFT-Q1のドレイン端子に接続された画素容量 C_L の一方の電極（画素電極）と対向電極との間に挟持され、画素電極の電位とCOM電位との電位差に応じて偏光率が変化して画素の輝度が変化され、階調表示が行なわれる。

10

【0021】

ただし、液晶は直流電圧を印加し続けると劣化するため、ソース線とゲート線に印加する電圧を交流駆動する必要がある。図3に、画素電極に印加する正極性と負極性の電圧と階調との関係を示す。液晶パネルで、各画素に同一階調を表示させ続ける場合には、図3の中心電位 V_{COM} の上下の同一階調に対応する電位を交互に選択して画素電極に供給することで交流駆動がなされる。

【0022】

ここで、液晶パネルの交流駆動には、図4のように上下左右隣り合う画素で極性が逆になるようにフレームごとに反転駆動するドット反転方式と、図5のように左右隣り合う画素で極性が逆になるようにフレームごとに反転駆動するカラム反転方式とがある。液晶パネルのソース線を駆動するドライバ回路は、印加する電圧の極性を切り替えるタイミングを変えるだけでドット反転方式とカラム反転方式のいずれの方式でも駆動することが可能な回路を構成することができる。なお、ドット反転方式は、カラム反転方式に比べると単位時間当たりの極性反転回数が多いため消費電力は大きい、表示画質はカラム反転方式よりも良好である。

20

【0023】

図6には、本発明を適用した液晶コントロールドライバICにおけるソースドライバ回路部の一実施例が示されている。図6に示されている回路ブロックは、単結晶シリコンのような1個の半導体チップ上に半導体集積回路として形成される。

【0024】

本実施例のソースドライバ回路110は、内部ロジック部140から供給される入力画像データを順次取り込むデータラッチ部111、該データラッチ部111に取り込まれた画像データ信号をレベルシフトするレベルシフタ部112、画像データをアナログ階調電圧に変換するデコーダ部113などを備える。また、ソースドライバ回路110は、デコーダ部113で変換された電圧に応じた画像信号 $Y_1 \sim Y_{720}$ を生成して出力する差動アンプAMP1～AMP720などからなる出力アンプ部114、正極性の画像信号と負極性の画像信号を切り替えて出力端子 $S_1 \sim S_{720}$ より外部へ出力させる出力交流化部115を備える。

【0025】

ソースドライバ回路110を構成するこれらの回路は、外部から入力されるクロック信号や制御信号に基づいて半導体チップ内部の回路を所定の順序に従って動作させる内部制御信号を生成するタイミング制御部150によって所定のタイミングで動作される。このタイミング制御回路150は、図1に示されているコントローラ190の一部として構成されていてもよいし、コントローラ190とは別個に構成するようにしても良い。

30

【0026】

デコーダ部113は、階調電圧生成回路161で生成された階調電圧 $V_{0P} \sim V_{63P}$ 、 $V_{0N} \sim V_{63N}$ の中から前記データラッチ部111に取り込まれて保持されている画像データに応じた電圧を選択することでデジタル信号をアナログ階調電圧に変換する複数のセレクトSEL1～SEL720からなる。階調電圧生成回路161は、図示しない昇圧回路から供給される昇圧電圧 V_P 、 V_N をラダー抵抗で分圧して例えば正極性、負極

40

50

性それぞれ64階調のような階調電圧を生成する。出力アンプ部114の各アンプAMP1～AMP720は、デコーダ部113で変換されたアナログ電圧をインピーダンス変換するボルテージフォロワなどから構成される。

【0027】

上記アンプAMP1～AMP720のうち、奇数番目のアンプAMP1, AMP3... AMP719は正極性の画像信号を出力し、偶数番目のアンプAMP2, AMP4... AMP720は負極性の画像信号を出力する。出力交流化部115は、正極用アンプと負極用アンプを切り替えて対応する出力端子に接続するためそれぞれ対をなす720組のスイッチSW11, SW12; SW21, SW22により構成されている。このように、隣接する出力端子同士で正極用アンプと負極用アンプを交互に切り替えて接続することで、正極用、負極用それぞれ出力端子数の半分の数のアンプを設ければ良いようにされている。スイッチSW11, SW12; SW21, SW22は、それぞれ1個のMOSFET(絶縁ゲート型電界効果トランジスタ)により構成しても良いが、差動アンプとスイッチMOSFETを組み合わせたような回路として構成しても良い。

10

【0028】

また、出力交流化部115を設けたのに応じて、レベルシフタ部112とデコーダ部113との間には、隣接する出力端子の表示データ同士を入れ替えるマルチプレクサMPXが設けられる。ただし、データラッチ部111へ供給する表示データを、ラッチ部に入れる前に隣接端子のデータ同士に入れ替えるようにすれば、マルチプレクサMPXを省略することができる。ドット反転方式ではライン毎に、入れ替えを反対にする必要があるため処理が複雑となるが、カラム反転方式ではデータの入れ替えはフレーム毎で良いので処理はそれほど複雑にならない。

20

【0029】

また、この実施例においては、正極用のアンプAMP1, AMP3... AMP719は電源電圧AVDDとAGNDPにより、また負極用のアンプAMP2, AMP4... AMP720は電源電圧AVDDNとAGNDにより動作される。ここで、電源電圧AVDD, AGNDP, AVDDN, AGNDは、 $AVDD - AGNDP = AVDDN - AGND$ の関係になるような値が選択される。具体的には、電源電圧AVDDは例えば12Vとされ、AGNDは0Vのような接地電位とされる。また、電源電圧AGNDPとAVDDNは、それぞれAVDDの約1/2の6Vのような電位であるが、別個の電源電圧として供給される。

30

【0030】

従来のソース線ドライバ回路は、一般に正極用アンプと負極用アンプは共通の電源電圧AVDD-AGND(12V-0V)により動作される。一方、内部ロジック部140やデータラッチ部111等の回路は5V以下の電源電圧により動作されるように構成されていた。そのため、出力アンプ部114はもちろんデコーダ部113も内部ロジック部140を構成する素子よりも高耐圧の素子を用いて構成しなくてはならなかった。ところが、本出願人が使用しようとしている半導体製造技術では、図7に示すように高耐圧の素子は低耐圧の素子に比べて占有面積が大きい。

【0031】

図7において、(A)は高耐圧の素子の構造を示し、(B)は低耐圧の素子の構造を示す。101は単結晶シリコン基板、102はチャネル領域となるNウェル領域、104はソース・ドレイン領域となる拡散層、105は素子間分離用の絶縁膜、106はゲート絶縁膜、107はポリシリコンゲート電極である。図7(A)の素子は、ソース・ドレイン領域となる拡散層104をウェル領域103上に形成しゲート電極107の端部から離すとともに、ゲート絶縁膜106を、内部ロジックを構成する図7(B)の素子のゲート絶縁膜よりも厚くすることで耐圧が高くなるように構成されている。

40

【0032】

従って、本実施例のソース線ドライバ回路のように正極用アンプと負極用アンプとを従来の2分の1の大きさの電源電圧で動作させるようにすると、アンプおよびデコーダを構

50

成する素子として低耐圧の素子を使用して、回路の占有面積を小さくすることができる。しかも、図 6 から分かるように、ソース線ドライバ回路 110 には数 100 本の出力端子に応じた数の出力用アンプ (AMP) およびセクタ (SEL) が設けられており、それらの回路のチップに占める割合はかなり大きい。そのため、低耐圧の素子を使用することによる回路の占有面積およびチップサイズの低減の効果は極めて大きなものとなる。

【0033】

また、レベルシフト部 111 を構成する単位レベルシフト回路のうち負極用のレベルシフト回路も低耐圧の素子で構成することができる。その理由は、以下のとおりである。すなわち、正極用のレベルシフト回路は、図 8 (A) のように、電位差の大きい電源電圧 $AVDD - AGND$ を使用するため、レベルシフト段を構成するトランジスタ $Q1 \sim Q4$ として高耐圧の素子を使用しなくてはならない。これに対し、負極用のレベルシフト回路は、図 8 (B) のように、電位差の小さい電源電圧 $AVDD / 2 - AGND$ を使用するため、レベルシフト段を構成するトランジスタ $Q1 \sim Q4$ として低耐圧の素子を使用できるようになる。

10

【0034】

さらに、本実施例においては、電源電圧 $AGNDP$ と $AVDDN$ をそれぞれ供給する電源ライン Lag と Lav との間に可変抵抗 Rv が設けられている。可変抵抗 Rv を設けることによって、一方のアンプに流れる電流を他方のアンプの電源に回収することができ、これによってトータルの消費電力を低減することができる。すなわち、可変抵抗 Rv が無い場合には、図 9 に一点鎖線 A にて示すように、正極側の出力用アンプ AMP1 を流れた電流が電源電圧 $AGNDP$ を生成するアンプ 622 内の素子を通して接地点へ流れてしまい、電力損失となる。ところが、可変抵抗 Rv を設けることによって、正極側の出力用アンプ AMP1 を流れた電流が、一点鎖線 B にて示すように、他方の負極側の出力用アンプ AMP2 に流れるため、消費電力を低減することができる。

20

【0035】

上記可変抵抗 Rv は、印加電圧によって抵抗値が変化するものであってもよいが、本実施例では、複数の直列抵抗と、これらの抵抗と並列に設けられたスイッチ素子とから構成し、それらのスイッチ素子をレジスタの設定値によりオン/オフ制御して抵抗値を変化させるように構成した可変抵抗回路が使用されている。なお、可変抵抗 Rv の代わりに固定抵抗を用いても同様な効果が得られるが、可変抵抗素子もしくは可変抵抗回路とすることで、電源電圧 $AGNDP$ と $AVDDN$ の電位などに応じて最適な抵抗値に設定することができる。

30

【0036】

図 10 には、本発明を適用した液晶コントロールドライバ IC におけるソースドライバ回路 110 の他の実施例が示されている。この実施例の液晶コントロールドライバは、正極用のアンプ AMP1, AMP3 ... AMP719 に使用される低い方の電源電圧 $AGNDP$ と、負極用のアンプ AMP2, AMP4 ... AMP720 に使用される高い方の電源電圧 $AVDDN$ とを生成する電源回路 162 をチップに内蔵したものである。

【0037】

この電源回路 162 は、1.2V のような電源電圧 $AVDD$ と 0V のような電源電圧 $AGND$ との間に接続されたラダー抵抗 621 と、該ラダー抵抗 622 で抵抗分割された電圧をインピーダンス変換して電源電圧 $AGNDP$ と $AVDDN$ として出力するボルテージフォロワ 622, 623 とから構成されている。また、本実施例においても、電源電圧 $AGNDP$ と $AVDDN$ をそれぞれ供給する電源ライン Lag と Lav との間に可変抵抗 Rv が設けられている。可変抵抗の代わりに固定抵抗を用いても良い。

40

【0038】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、液晶パネルのソース線に印加する階調電圧を生成する階調電圧生成回路 140 において正の電圧 $VCOM$ を中心電位とし相対

50

的に正極性と負極性の階調電圧を発生させるように構成されている。これに対し、液晶中心電位 V_{COM} を $0V$ あるいは $0V$ よりも少し高い電位とし、負極性の階調電圧のすべてあるいは一部の電圧に負の電圧を用いるように構成しても良い。

【0039】

また、前記実施例では、液晶パネルのソース線に印加する駆動電圧を生成する信号線駆動回路の他にゲート線に印加する走査線駆動回路、表示データを加工したりするコントローラなどを内蔵した液晶コントロールドライバと呼ばれる IC に適用した場合を説明した。本発明は、これに限定されるものではなく、例えば図6のデータラッチ部111から交流化回路115までの回路を1つの半導体チップ上に形成した液晶ドライバと呼ばれる IC に適用することができる。

10

【産業上の利用可能性】

【0040】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である3端子のスイッチ素子である薄膜トランジスタにより画素電極に電荷を注入する TFT 液晶パネルを駆動する液晶コントロールドライバについて説明したが、この発明はそれ限定されるものでなく、例えば、2端子のスイッチ素子により画素電極に電荷を注入する MIM 液晶パネルを駆動する液晶コントロールドライバなどにも適用することができる。

【図面の簡単な説明】

【0041】

20

【図1】図1は、本発明を適用して有効な液晶表示駆動用半導体集積回路（液晶コントロールドライバ IC）とこのドライバ IC により駆動される液晶パネルとからなる液晶表示システムの概略構成を示すブロック図である。

【図2】図2は、本発明を適用して有効な液晶コントロールドライバにより駆動される TFT 液晶パネルの構成を示すブロック図である。

【図3】図3は、画素電極に印加する正極性の電圧および負極性の電圧と階調との関係を示す説明図である。

【図4】図4は、ドット反転方式で液晶パネルを駆動する場合の各画素の極性変化の様子を示す説明図である。

【図5】図5は、カラム反転方式で液晶パネルを駆動する場合の各画素の極性変化の様子を示す説明図である。

30

【図6】図6は、本発明を適用した液晶コントロールドライバにおけるソースドライバ回路の実施例を示すブロック図である。

【図7】図7は、本実施例の液晶コントロールドライバ IC に用いられる素子（MOSFET）の構造を示すもので、（A）は高耐圧の素子の構造を示し、（B）は低耐圧の素子の構造を示す断面図である。

【図8】図8（A）は正極用のレベルシフト回路の具体例、図8（B）は負極用のレベルシフト回路の具体例を示す回路図である。

【図9】図9は、実施例のソースドライバ回路において電源ライン間に可変抵抗 R_v を設けた場合と設けない場合の電流の流れを説明するための回路図である。

40

【図10】図10は本発明を適用した液晶コントロールドライバ IC におけるソースドライバ回路の他の実施例を示す回路構成図である。

【符号の説明】

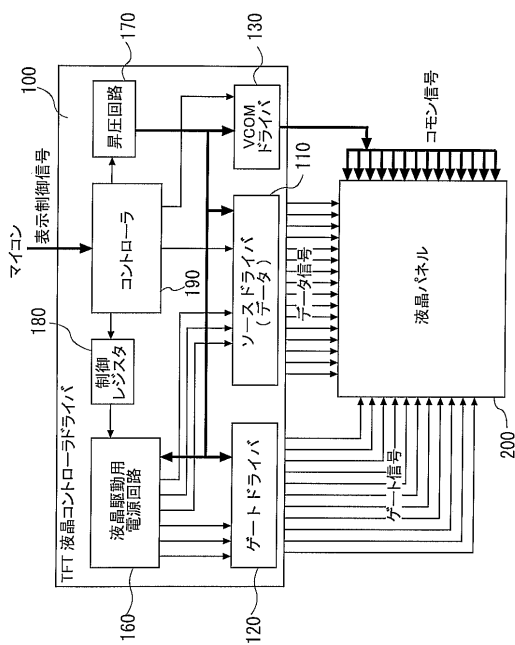
【0042】

- 100 液晶コントロールドライバ IC
- 110 ソースドライバ回路
- 111 データラッチ部
- 112 レベルシフト部
- 113 デコーダ部
- 114 出力アンプ部

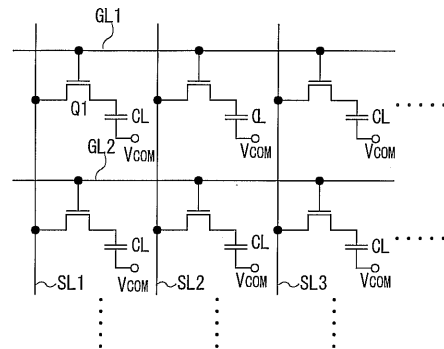
50

- 1 1 5 出力交流化部
- 1 2 0 ゲートドライバ回路
- 1 3 0 コモンドライバ回路
- 1 4 0 内部ロジック部
- 1 5 0 タイミング制御回路
- 1 6 0 液晶駆動用電源回路
- 1 6 1 階調電圧生成回路
- 1 7 0 昇圧回路
- 1 8 0 制御レジスタ
- 1 9 0 コントローラ (タイミング制御回路)
- 2 0 0 T F T 液晶パネル

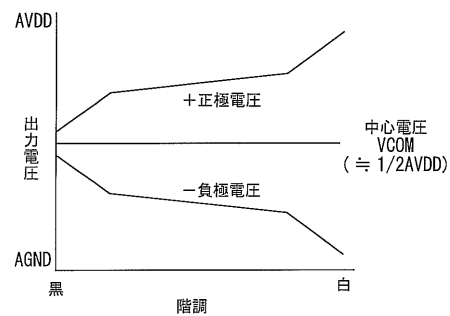
【 図 1 】



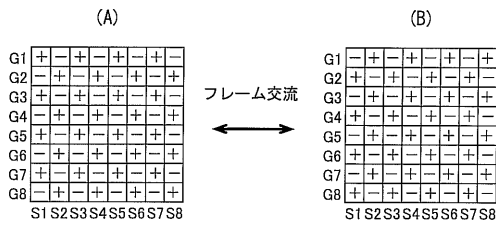
【 図 2 】



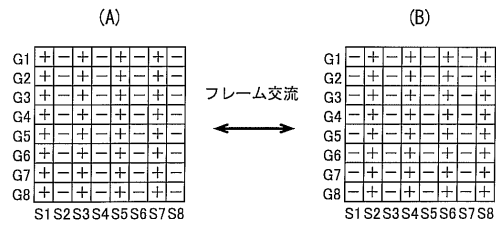
【 図 3 】



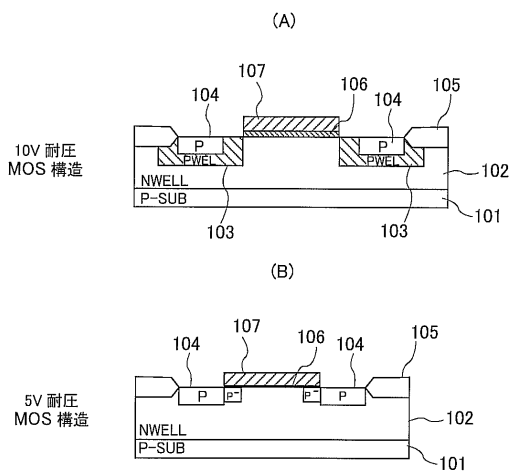
【 図 4 】



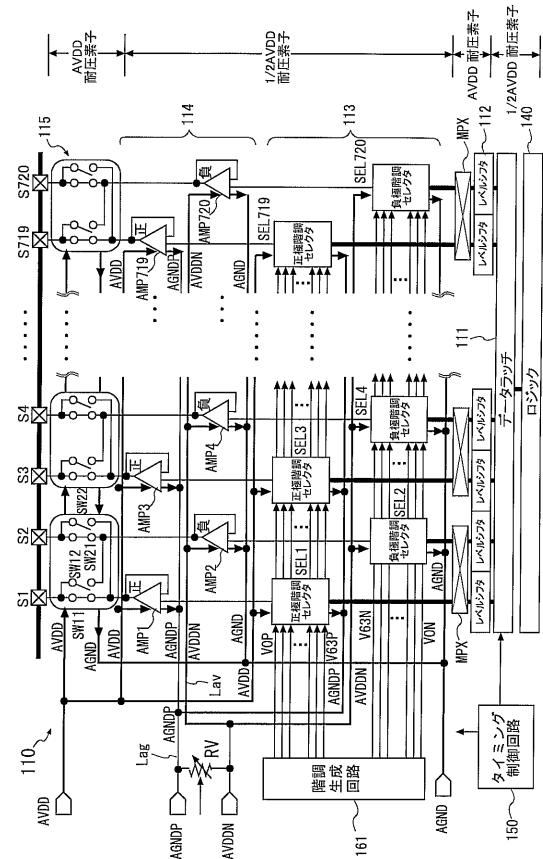
【 図 5 】



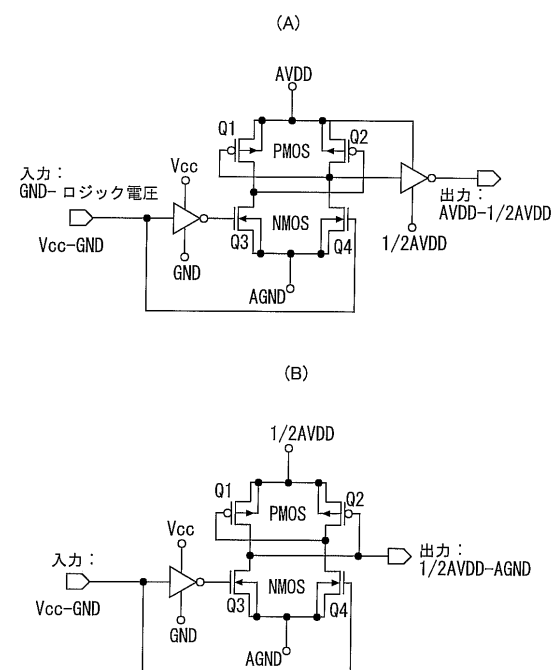
【 図 7 】



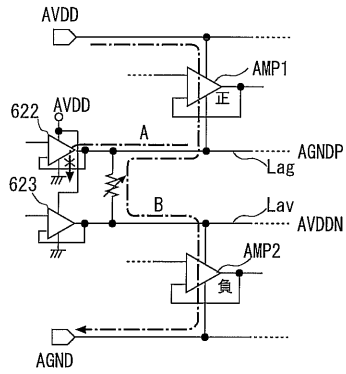
【 図 6 】



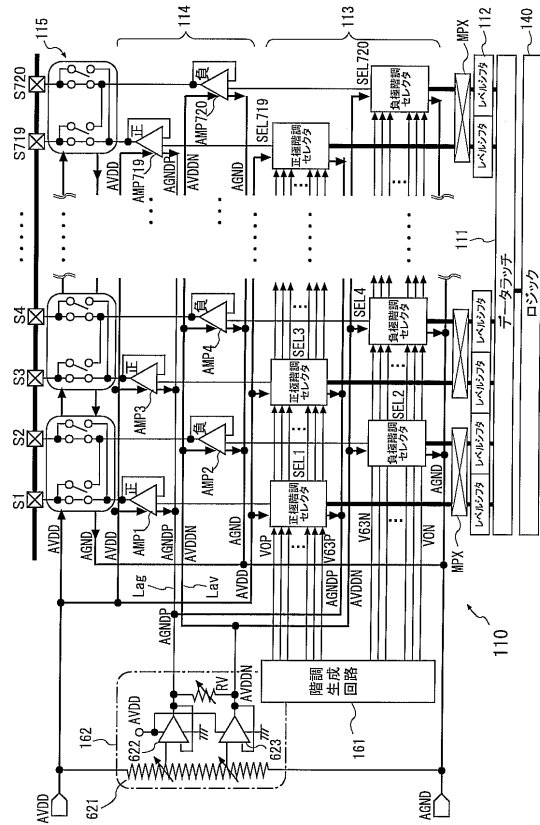
【 図 8 】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 1 H
	G 0 9 G 3/20	6 2 1 L
	G 0 9 G 3/20	6 2 3 B
	G 0 9 G 3/20	6 2 3 F

(72)発明者 大門 一夫

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

Fターム(参考) 2H093 NA16 NA31 NA53 NC03 NC05 NC10 NC12 NC18 NC21 NC34
NC49 NC50 ND06 ND35 ND38 ND39 ND40 ND58 ND60
5C006 AF83 BB16 BC02 BC06 BC12 BF24 BF25 BF43 FA01 FA43
FA46 FA47 FA51
5C080 AA10 BB05 DD05 DD24 DD27 FF01 FF11 JJ01 JJ02 JJ03
JJ05 JJ06

专利名称(译)	液晶表示驱动用半导体集积回路		
公开(公告)号	JP2006292807A	公开(公告)日	2006-10-26
申请号	JP2005109535	申请日	2005-04-06
[标]申请(专利权)人(译)	株式会社瑞萨科技		
申请(专利权)人(译)	瑞萨科技公司		
[标]发明人	納富志信 立花利一 鈴木進也 大門一夫		
发明人	納富 志信 立花 利一 鈴木 進也 大門 一夫		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/2011 G09G3/3614 G09G3/3648 G09G3/3696 G09G2300/0408 G09G2310/0289 G09G2310/0297 G09G2320/0209		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.525 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.621.B G09G3/20.621.H G09G3/20.621.L G09G3/20.623.B G09G3/20.623.F		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA53 2H093/NC03 2H093/NC05 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC21 2H093/NC34 2H093/NC49 2H093/NC50 2H093/ND06 2H093/ND35 2H093/ND38 2H093/ND39 2H093/ND40 2H093/ND58 2H093/ND60 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC12 5C006/BF24 5C006/BF25 5C006/BF43 5C006/FA01 5C006/FA43 5C006/FA46 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD24 5C080/DD27 5C080/FF01 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZC07 2H193/ZC13 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZH40		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了防止用于驱动液晶面板的交流的正电极放大器的输出和负电极放大器的输出不平衡，并防止噪声从一个放大器传输到另一放大器。（EN）能够改善液晶显示驱动半导体集成电路用于产生和输出要施加到液晶面板的信号线上的驱动信号的驱动电路（110）设置有用根据显示数据选择灰度电压的解码器电路（112）。此外，提供了对由解码器电路选择的正极性电压进行阻抗转换的正极性放大器和对由解码器电路选择的负极性电压进行阻抗转换的负极性放大器。此外，提供了包括转换电路的AC转换部分（115），该转换电路用于通过在相邻的输出端子之间交换来传输正极性放大器和负极性放大器的输出。然后，产生具有相同电势差的两组电源电压作为正电极放大器和负电极放大器的电源电压，并且通过单独的电源线提供电力。[选择图]图6

