

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-518993

(P2004-518993A)

(43) 公表日 平成16年6月24日(2004.6.24)

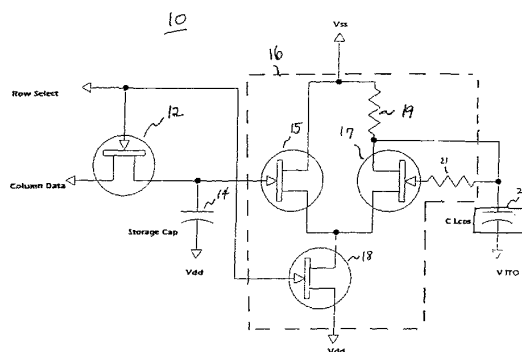
(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G02F 1/133 575	5C080
H03F 3/45	G09G 3/20 611A	5J500
	G09G 3/20 611E	
	審査請求 未請求 予備審査請求 有 (全 31 頁) 最終頁に続く	

(21) 出願番号	特願2002-547153 (P2002-547153)	(71) 出願人	501263810
(86) (22) 出願日	平成13年11月29日 (2001.11.29)		トムソン ライセンシング ソシエテ ア ノニム
(85) 翻訳文提出日	平成15年5月28日 (2003.5.28)		Thomson Licensing S . A.
(86) 国際出願番号	PCT/US2001/044841		フランス国, エフ-92100 ブロー ニュ ビヤンクール, ケ アルフォンス ル ガロ, 46 番地
(87) 国際公開番号	W02002/045066	(74) 代理人	100087321
(87) 国際公開日	平成14年6月6日 (2002.6.6)		弁理士 渡辺 勝徳
(31) 優先権主張番号	60/250, 259	(72) 発明者	オードネル, ユージーン マーフィ
(32) 優先日	平成12年11月30日 (2000.11.30)		アメリカ合衆国 インディアナ州 ファイツ シャーズ テインバー・スプリングス・ド ライブ 7594
(33) 優先権主張国	米国 (US)		最終頁に続く

(54) 【発明の名称】 液晶表示装置用の駆動回路および方法

(57) 【要約】

液晶セルのアレイと、各液晶セル(20)に対応する表示ドライバ回路(10)のアレイとを有する表示ユニットにおいて、対応するアレイ中の各表示ドライバ回路は、アナログ・メモリ素子(14)と、アナログ・メモリ素子と液晶セルとの間に結合された差動増幅器(16)とを備える。差動増幅器は、アナログ・メモリ素子と液晶セルとの間の分離を与える。



【特許請求の範囲】

【請求項 1】

液晶セルのアレイを有する表示装置において、
前記液晶セルそれぞれについて表示ドライバ回路のアレイを備え、所定の表示ドライバ回路が、
記憶キャパシタンスと、
前記記憶キャパシタンスと前記液晶セルとの間に結合された増幅器とを備える表示ドライバ回路。

【請求項 2】

前記増幅器が、差動増幅器を含む、請求項 1 に記載の表示ドライバ回路。

10

【請求項 3】

前記差動増幅器が、前記記憶キャパシタンスと前記液晶セルとの間の分離を与える、請求項 2 に記載の表示ドライバ回路。

【請求項 4】

前記差動増幅器が、結合されたそれぞれのソースを有する 1 対の N チャンネル・トランジスタを備え、前記 N チャンネル・トランジスタの対の一方からのドレインが前記液晶セルへの出力として働く、請求項 2 に記載の表示ドライバ回路。

【請求項 5】

前記差動増幅器が、1 対の N チャンネル・トランジスタを備え、前記 N チャンネル・トランジスタが、結合されたそれぞれのソースと、別の N チャンネル・トランジスタによってゲート制御される電流源とを有し、前記別の N チャンネル・トランジスタが、前記電流源をゲート制御してピクセル上で所定の電圧を確保する、請求項 2 に記載の表示ドライバ回路。

20

【請求項 6】

前記記憶キャパシタンスと前記差動増幅器との間に結合された大域スイッチ素子を更に備え、前記大域スイッチ素子がデータをメモリ・セルから前記表示ドライバに転送する、請求項 2 に記載の表示ドライバ回路。

【請求項 7】

電力消費を低減するために前記増幅器が、ゲート信号に応答する、請求項 1 に記載の表示ドライバ回路。

【請求項 8】

表示装置を駆動する方法であって、
差動増幅器を使用して記憶コンデンサと液晶セルとの間の分離を与えるステップと、
前記差動増幅器から供給される追加の電流を使用してピクセル上で所定の電圧レベルを急速に確保するステップと、
前記液晶セル上の電圧を継続的にリフレッシュするステップとを含む方法。

30

【請求項 9】

前記記憶コンデンサからの漏れ電流を低く維持するステップを更に含む、請求項 8 に記載の方法。

【請求項 10】

前記差動増幅器に供給される電流源をゲート制御するステップを更に含む、請求項 8 に記載の方法。

40

【請求項 11】

前記液晶セルに閉ループ補正電圧を加えるステップを更に含む、請求項 8 に記載の方法。

【請求項 12】

前記記憶コンデンサと前記差動増幅器との間に結合された大域スイッチ素子を使用して残像およびフリッカを減少させるステップを更に含む、請求項 8 に記載の方法。

【請求項 13】

液晶素子のアレイ全体を同時に更新するステップを更に含む、請求項 12 に記載の方法。

【請求項 14】

前のフレームから変化した前記メモリ・セルだけを更新するステップを更に含む、請求項

50

12に記載の方法。

【請求項15】

ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップを更に含む、請求項12に記載の方法。

【請求項16】

共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップを更に含む、請求項12に記載の方法。

【請求項17】

行と列のマトリックスに構成された複数の表示素子を含む表示装置用の表示ドライバ回路であって、

前記行と列のマトリックスのうちの少なくとも1つにある表示素子に複数の電圧のうちの1つを切替え可能に出力するためのドライバ回路であって、デコーダ、および前記デコーダの出力信号によって開閉するように制御される複数の半導体スイッチを備えるドライバ回路と、

前記デコーダと前記複数の表示素子それぞれについての前記半導体スイッチとの間に結合された記憶コンデンサと、

前記記憶コンデンサと前記複数の表示素子それぞれとの間に結合された差動増幅器とを備え、それにより前記差動増幅器が、前記記憶コンデンサと、前記複数の表示素子それぞれを形成する液晶セルとの間の分離を与える表示ドライバ回路。

【請求項18】

前記差動増幅器が、結合されたそれぞれのソースを有する1対のNチャネル・トランジスタを備え、前記Nチャネル・トランジスタの対の一方からのドレインが前記液晶セルへの出力として働く、請求項17に記載の表示ドライバ回路。

【請求項19】

前記差動増幅器が、結合されたそれぞれのソースを有する1対のNチャネル・トランジスタを備え、前記ソースが、別のNチャネル・トランジスタによってゲート制御される電流源として働き、前記別のNチャネル・トランジスタが前記電流源をゲート制御してピクセル上で所定の電圧を確保する、請求項17に記載の表示ドライバ回路。

【請求項20】

前記記憶コンデンサと前記差動増幅器との間に結合された大域スイッチ素子を更に備え、前記大域スイッチ素子がデータをメモリ・セルから前記表示ドライバ回路に転送する、請求項17に記載の表示ドライバ回路。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明は、液晶表示装置(LCD: Liquid Crystal Display)または液晶オン・シリコン(LCOS: Liquid Crystal On Silicon)を利用したビデオ・システムの分野に関し、より詳細には、このような表示装置用のドライバ回路(driver circuit)に関する。

【0002】

(発明の背景)

液晶オン・シリコン(LCOS)は、シリコン・ウエーハ(silicon wafer)上に形成された大きな1つの液晶と考えることができる。シリコン・ウエーハは、小さなプレート電極(plate electrode)の増分(incremental)アレイ(array: 配列)に分割される。液晶の小さな増分領域が、小さな各プレートおよび共通プレート(common plate)によって発生される電界の影響を受ける。このような小さな各プレートおよび対応する液晶領域は、合わせてイメージャ(imager)のセル(cell)と呼ばれる。各セルは、個別に制御可能なピクセル(pixel)に対応する。液晶(LC: Liquid Crystal)の反対側には、共通プレート電極が配置される。駆動電圧が、液晶オン・シリコン(LCOS)アレイの各側

10

20

30

40

50

のプレート電極に供給される。各セルまたはピクセルは、入力信号が変更されるまで同じ強度で輝き続け、従って、（電圧が維持され、ピクセル輝度が減衰しない限り）サンプル・アンド・ホールド（sample and hold）回路として働く。共通プレート電極と可変プレート電極の各セット（組）が、イメージャを形成する。イメージャは、通常各色につき1つ供給され、この場合は赤、緑、青にそれぞれ1つのイメージャが供給される。

【0003】

通常、液晶オン・シリコン（LCOS）表示装置のイメージャは、30Hzのフリッカを防止するために、フレームを2倍に倍増させた信号で駆動する。これは、所定の入力ピクチャ（画像）に回答して、各セルに関連する電極の電圧が、共通電極の電圧に対して正（positive）である第1の正常フレーム（normal frame）（正ピクチャ（positive picture））を送り、次いで、各セルに関連する電極の電圧が共通電極の電圧に対して負（negative）である逆フレーム（inverted frame）（負ピクチャ（negative picture））を送ることにより行われる。正と負のピクチャを生成することにより、各ピクセルは、確実に、正の電界で描かれてから負の電界で描かれることになる。その結果、得られる駆動電界のDC（直流）成分は、0（零）であり、これは画像の焼き付き、および究極的にはイメージャの永久劣化を防止するのに必要である。人間の目は、フレーム・レートが120Hzより高い限り、これらの正と負のピクチャによって生成されるピクセルの輝度の平均値に回答することが分っている。

10

20

【0004】

液晶オン・シリコン（LCOS）の現在の技術では、V_{ITO}（またはVITO）として表されるコモンモード電極電圧（common mode electrode voltage）を、正確に液晶オン・シリコン（LCOS）についての正と負のフィールド駆動の間に入るように調節することが必要である。下付き文字のITOは、材料のインジウム錫酸化物（Indium Tin Oxide）を表す。フリッカ（flicker：ちらつき）を最小限に抑え、更に画像の焼き付き（image sticking）と呼ばれる現象を防止するには、平均バランス（average balance）が必要である。

30

【0005】

現在の技術では、液晶オン・シリコン（LCOS）駆動セル（drive cell）は、従来のアクティブ・マトリックスLCDドライバと類似している。これは、文献で論じられている様々なアーティファクト（artifact）が原因で、余りうまく機能しない。主な原因は、液晶（LC）材料のイオン漏出およびバルク抵抗率による、寄生容量漏話（parasitic capacitance cross-talk）、液晶（LC）セル中の残留電圧、および液晶（LC）の電圧ドロップ（droop：電圧降下ひずみ）である。これは、主に次のことにより解決されてきた。即ち、1．セル・キャパシタンスを増加させること（物理的領域によって制限される）、2．より高い抵抗率の液晶（LC）材料に変更すること（フレキシビリティおよび応答時間を制限する）、3．フレーム走査レートを増加させて60Hzよりも高くすること（高価であり、より多くの帯域幅を要する）、4．デバイスの温度を積極的に制御して高い電圧保持率（VHR：Voltage Holding Ratio）を維持することである。

40

【0006】

上述のすべての問題の主な原因は、利用可能な電荷が1フレームにつき1度だけしか液晶（LC）セルに転送されないということである。このことにより、非常に多数のピクセルを有する表示装置では、利用可能な電力が制限され、また、所望の電圧が実際にピクセル電極上で実現されたことを調べる如何なる閉ループ・チェック方法も存在しない。従って、記憶コンデンサと液晶セルとの間に適切な分離（isolation）を与え、所望の電圧がピクセル電極上で確実に達成される表示ドライバ回路および方法が必要とされている。

50

【0007】

(発明の概要)

本発明の第1の態様では、液晶セル・アレイ中の1つの液晶セルのための表示ドライバ回路は、記憶キャパシタンスと、このキャパシタンスと液晶セルとの間に結合された増幅器とを備える。

【0008】

本発明の第2の態様では、表示装置を駆動する方法は、差動増幅器を使用して記憶コンデンサと液晶セルとの間の分離を与えるステップと、差動増幅器から供給される追加の電流を使用してピクセル上で所望の電圧レベルを急速に確保するステップと、液晶セル上の電圧を継続的にリフレッシュ(refresh)するステップを含んでいる。

10

【0009】

本発明の第3の態様は、行と列のマトリックスに構成された複数の表示素子と、メモリ素子と、液晶セルとを備える表示ユニット装置用の表示ドライバ回路である。表示ユニット装置は、行と列のマトリックスのうち少なくとも1つにある表示素子に複数の電圧のうち1つを切替え可能に出力するためのドライバ回路を備えることが好ましく、ドライバ回路は、デコーダおよび複数のアナログ・スイッチを備え、各アナログ・スイッチは、半導体スイッチで形成され、デコーダの出力信号により開閉するように制御される。また、表示ドライバ回路は、デコーダと半導体スイッチとの間に結合された記憶コンデンサと、記憶コンデンサと液晶セルとの間に結合された差動増幅器を備え、それにより差動増幅器は、記憶コンデンサと液晶セルとの間の分離を与える。

20

【0010】

(好ましい実施形態の詳細な説明)

前述の問題を解決するため、図1に示すように、内部記憶コンデンサ(internal storage capacitance)14と液晶(LC:Liquid Crystal)セル20との間に差動増幅器(differential amplifier)16などの増幅器を追加することを提案する。言い換えれば、駆動液晶セルに駆動増幅器(drive amplifier)を追加する。これにより、記憶コンデンサ(storage capacitor)と液晶(LC)セルとの間に分離(isolation)を加える。電流駆動機能を追加することにより、ピクセル上の電圧が素早く所望の電圧になり、そこに維持されることが保証される。また、これによって、記憶コンデンサからの漏れ電流(leakage current)をごく少なくし(FETが非常に高い入力インピーダンスを有するので)、液晶(LC)セル上の電圧を継続的にリフレッシュ(refresh)することができる。これは電圧の下降を引き起こす「ドループ(drop)」問題を無くし、更に、セルに蓄積される残留ボルタ電位も無くす。これは、フリッカの問題と、セル中のDC(直流)バランスを達成できないことに関連する「画像の焼き付き」問題との両方を改善する。また、いくぶん高温の状況でもセルが良好に動作することを可能にする。

30

【0011】

この技法の不利な点は、液晶セルを流れるDC電流が増加することである。この点は、差動増幅器の底部の電流源をゲート制御することによって場合により部分的に解決することができる。これには、デバイス中で「ピクセル選択(pixel select)」または「行選択(row select)」ビットを使用することができる。このようにして、電力消費を1/nrowだけ低減しながら、電圧の定期的なリフレッシュを達成することができる。nrowはデバイス中の行の数である。加熱が均一なので、状況によっては、このゲーティング(gating)が必要とされない場合もある。

40

【0012】

図1には、CMOS(相補型MOS)中の典型的な実施形態を示す。各構成要素は、概略的に表すものであり、一般性を失わずに代替構成を用いることができる。重要なポイントは、液晶(LC)セルに閉ループ補正電圧を加える増幅器16と、電力消費の低減を可能にする場合によりゲート制御された電流源である。

50

【0013】

通常、この回路は3つのトランジスタを使用して実現することができ、これらのトランジスタは、液晶オン・シリコン(LCOS)表示デバイス中の液晶セルの下に配置することができる。図1の構成で、増幅器16は液晶(LC)セルをメモリ素子(記憶コンデンサ14)から分離している。図1には、液晶表示装置用の液晶セル・ドライバ10が示してある。この液晶セル・ドライバ10は、複数のトランジスタ(12、15、17、18)と、記憶コンデンサ14などの記憶キャパシタンスと、複数の抵抗器19および21と、液晶キャパシタンス20で表す液晶セルとを備えることが好ましい。トランジスタ15、17、18などの3つのトランジスタが増幅器16を形成することが好ましく、これは差動増幅器の形式をとることが好ましい。差動増幅器16は、結合されたそれぞれのソースを有するNチャンネル・トランジスタで構成されることが好ましく、トランジスタ17のドレインが液晶セル(20)への出力として働く。加えて、差動増幅器16の各ソースは結合され、差動増幅器中の平衡電流(balance current)を設定するトランジスタ18など別のNチャンネル・トランジスタである電流源によって駆動される。差動増幅器16は、記憶コンデンサ14との間に結合され、記憶コンデンサ14と液晶セル20またはピクセルとの間の分離を与える。

10

【0014】

図2の構成では、データを記憶素子からドライバに転送するための大域スイッチ素子(global switch element)32を追加している。このことは、同じ回路動作電圧に対してピクセル駆動能力を増大させることを可能にし、また、ピクセル駆動電圧およびITO透過性導電電極をフレーム間で反転できるようにすることによって残像(image retention)およびフリッカを減少させる。

20

【0015】

図2を参照すると、図1の液晶セル・ドライバ10に類似する別の液晶セル・ドライバ30が示されている。セル・ドライバ10に関して先に挙げた要素に加えて、セル・ドライバ30は更に、記憶コンデンサ14と差動増幅器16との間に結合された、トランジスタの形式をとる大域スイッチ素子32も備える。大域スイッチ素子は、データをメモリ・セル14から表示ドライバのドライバ・コンデンサ36に転送する。

【0016】

フリッカの問題は、過去に多くの方法によって対処されてきた。また、駆動電圧および残像の問題は、デジタル駆動液晶オン・シリコン(LCOS)表示装置では対処されてきた。

30

【0017】

本明細書に開示する技法の主な利点は、液晶セル(20)を記憶コンデンサから分離することにある。図2に示すこの分離により、望むなら、液晶(LC)アレイ全体のセルすべてを一度に更新することができる。この利点には2つの側面がある。第1に、この分離により(液晶(LC)セルがフレーム間で変化したことを決定するための前処理を追加して)、液晶(LC)アレイ中で前のフレームから変化したセルだけを更新することもできる。言い換えれば、液晶(LC)セル上の表示内容を瞬時に変更することなく記憶コンデンサ14の内容を変更することができる。これにより、静的なピクチャ(画像)に必要なデータ・レート(data rate)が大きく低減される。また、ライン間走査アーティファクトを表示することなく表示装置をインタレース・モード(interlaced mode)で駆動することも可能になる。通常、インタレースされるシステムでは、第1の走査(scan)で奇数ラインが描かれ、第2の走査(scan)で偶数ラインが描かれる。この走査方式は、「ライン間フリッカ(interline flicker)」と呼ばれるアーティファクトを生じる。これはフィルムなど、本来はインタレースされないデータの場合でも発生する。「ライン間フリッカ」の理由は、あるフレームからの偶数ラインが、前のフレームからの奇数ラインが表示されると同時に表示されるからである。フレームのどんな変化部分も、「ライン間フリッカ」を呈することになる。本発明によれば、液晶(LC)セル・アレイに対応する記憶コンデンサ(14)アレイを有する表示

40

50

装置を通常どおり（偶数ラインに続いて奇数ライン）更新するが、例外として、次いで記憶アレイが満たされた後で液晶（LC）アレイ全体を更新する。従って、異なるフレームからのラインが同時に表示されることはない。

【0018】

この技法の第2の利点は、共通電極電圧をフレーム間で変調できることである。この変調により、ドライバ回路の所定の動作電圧で液晶（LC）に加えることのできる実効電界が増大する。プロセス・ジオメトリ（process geometry）が、精緻になるほど最大許容駆動電圧は低下するので、これは大きな利点である。

【0019】

この技法は、図1で述べた回路によって最も簡単に実現することができ、図2に示すように変更することもできる。図2の電圧 V_{nn} は、トランジスタ15および17のための電流源を制御する静的な電圧である。行と列のアドレスは、アクティブ・マトリックス・ディスプレイに於ける通常のアドレッシングである。制御信号（転送（Transfer）および放電（Discharge））は、大域的に制御される別々の信号であり、これらの信号は記憶コンデンサ14上の電荷を駆動コンデンサ36に転送し、駆動コンデンサ36は液晶（LC）セルを駆動する。デバイス上の追加のトランジスタ34とコンデンサ36を加えることにより、この新しい回路を実現し、各転送後に記憶コンデンサ14から適切に電流が放電されるように動作させる。プロセス製造技術が0.1ミクロン以下に向かって進歩しているので、構成要素の追加は、それほど問題にはならない。

【0020】

図3を参照すると、前述の表示ドライバ10または30を利用することができる表示ユニット50が示されている。表示ユニット50は、行（row）と列（column）のマトリックス（matrix）に構成された複数の表示素子と、メモリ素子と、液晶セルとを備えることが好ましい。各表示素子用ドライバは、複数の電圧のうちの一つを、行と列のマトリックスのうち少なくとも一つにある表示素子に切替え可能に出力することが好ましく、表示ユニットはデコーダ51を備え、従来型デコーダ51によって制御される。ドライバ（図3には図示せず）は、記憶コンデンサと、記憶コンデンサと液晶セルとの間に結合された差動増幅器とを備えることができ、それにより差動増幅器は記憶コンデンサと液晶セルとの間の分離を与える。表示ユニットは、デコーダ51と、デコーダ51の出力信号によって開閉するよう制御される図1または2に示したような複数の半導体スイッチとを備えることができる。図3に示すように、表示ユニット50は、複数の行（走査）アドレス・ライン56を有する行駆動回路60と、複数の列（データ）アドレス・ライン58を有する列駆動回路62とを備えることができる。

【0021】

図4を参照すると、本発明による表示装置駆動方法200を表すフロー・チャートが示されている。方法200は、差動増幅器を使用して記憶コンデンサと液晶セルとの間の分離を与えるステップ202と、差動増幅器から供給される追加の電流を使用してピクセル上で所望の電圧レベルを素早く確保するステップ204と、液晶セル上の電圧を継続的にリフレッシュするステップ206を含むことが好ましい。方法200は、更に、記憶コンデンサからの漏れ電流を低く維持するステップ208と、差動増幅器に供給される電流源をゲート制御するステップ210を含むこともできる。加えて、方法200は、更に、液晶セルに閉ループ補正電圧を加えるステップ212を含むこともできる。図2の表示ドライバ30について当てはまる通り、方法200は、記憶コンデンサと差動増幅器との間に結合された大域スイッチ素子を使用して残像およびフリッカを減少させるステップ214を含んでいてもよく、更に、液晶素子のアレイ全体を同時に更新するステップ216を含むこともできる。この方法は、更に、前のフレームから変化したメモリ・セルだけを更新するステップ218を含むこともできる。方法200の追加の利点として、ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップ220、および/または、共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップ222を含むこともできる。

10

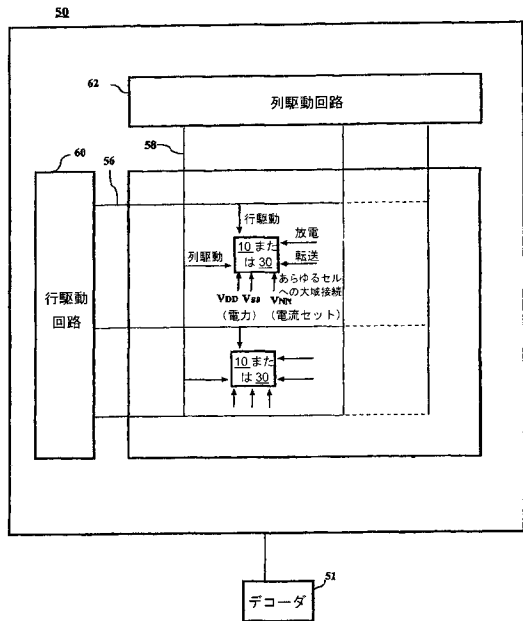
20

30

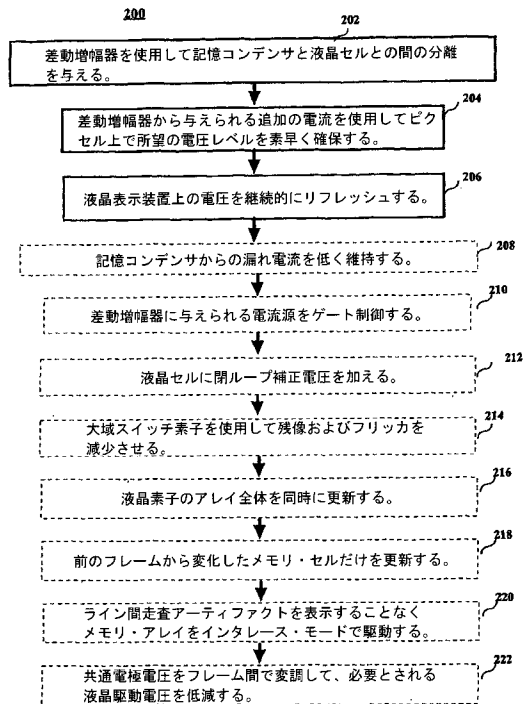
40

50

【 図 3 】



【 図 4 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number
WO 02/45066 A1

(51) International Patent Classification: G09G 3/36

(74) Agents: TRIPOLI, Joseph, S. et al.; Thomson Multimedia Licensing Inc., P.O. Box 5312, Princeton, NJ 08540 (US).

(21) International Application Number: PCT/US01/44841

(22) International Filing Date:
29 November 2001 (29.11.2001)

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
60/250,259 30 November 2000 (30.11.2000) US

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

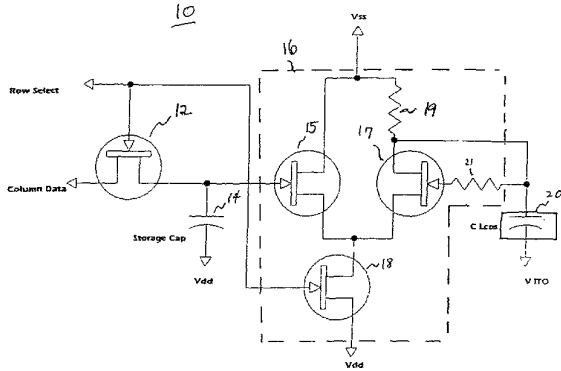
(71) Applicant (for all designated States except US): THOMSON LICENSING S.A. [FR/FR]; 46, Quai Alphonse Le Gallo, F-92648 Boulogne Cedex (FR).

(72) Inventor; and
(75) Inventor/Applicant (for US only): O'DONNELL, Eugene, Murphy [US/US]; 7594 Timber Springs Drive, Fishers, IN 46038 (US).

Published:
— with international search report

[Continued on next page]

(54) Title: DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS AND METHOD THEREFOR



(57) Abstract: In a display unit having an array of liquid crystal cells and a corresponding array of display driver circuits (10) for each of the liquid crystal cells (20), each display driver circuit in the corresponding array includes an analog memory element (14) and a differential amplifier (16) coupled between the analog memory element and the liquid crystal cell. The differential amplifier provides isolation between the analog memory element and the liquid crystal cell.



WO 02/45066 A1

WO 02/45066 A1



— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/45066

PCT/US01/44841

1

DRIVE CIRCUIT FOR LIQUID CRYSTAL DISPLAYS AND METHOD THEREFORBackground of the Invention5 Field of the Invention

This invention relates to the field of video systems utilizing a liquid crystal display (LCD) or liquid crystal on silicon (LCOS), and in particular, to a driver circuit for such displays.

10 Description of Related Art

Liquid crystal on silicon (LCOS) can be thought of as one large liquid crystal formed on a silicon wafer. The silicon wafer is divided into an incremental array of tiny plate electrodes. A tiny incremental region of the liquid crystal is influenced by the electric field generated by each tiny plate and the common plate. Each such tiny plate and corresponding liquid crystal region are together referred to as a cell of the imager. Each cell corresponds to an individually controllable pixel. A common plate electrode is disposed on the other side of the liquid crystal. The drive voltages are supplied to plate electrodes on each side of the LCOS array. Each cell, or pixel, remains lighted with the same intensity until the input signal is changed, thus acting as a sample and hold (so long as the voltage is maintained, the pixel brightness does not decay). Each set of common and variable plate electrodes forms an imager. One imager is typically provided for each color, in this case, one imager each for red, green and blue.

25 It is typical to drive the imager of an LCOS display with a frame-doubled signal to avoid 30 Hz flicker, by sending first a normal frame in which the voltage at the electrodes associated with each cell is positive with respect to the voltage at the common electrode (positive picture) and then an inverted frame in which the voltage at the electrodes associated with each cell is negative with respect to the voltage at the common electrode (negative picture) in response to
30 a given input picture. The generation of positive and negative pictures ensures

WO 02/45066

PCT/US01/44841

2

that each pixel will be written with a positive electric field followed by a negative electric field. The resulting drive field has a zero DC component, which is necessary to avoid image sticking, and ultimately, permanent degradation of the imager. It has been determined that the human eye responds to the average value of the brightness of the pixels produced by these positive and negative pictures so long as the frame rate is above 120 Hertz.

The present state of the art in LCOS requires the adjustment of the common-mode electrode voltage, denoted V_{ITO}, to be precisely between the positive and negative field drive for the LCOS. The subscript ITO refers to the material indium tin oxide. The average balance is necessary in order to minimize flicker, as well as to prevent a phenomenon known as image sticking.

In the current art, the LCOS drive cell looks much like a conventional Active Matrix LCD driver. This does not work well, due to the various artifacts discussed in the literature. The main causes are parasitic capacitance cross-talk, residual voltage in the LC cell, and voltage droop of the LC, due to ionic leakage and bulk resistivity of the LC material. Mainly this has been solved by 1. Increasing the cell capacitance (limited by physical area), 2. Changing to higher resistivity LC materials (limits flexibility and response time), 3. Increasing the frame scan rate to more than 60Hz (expensive, and costs more bandwidth), and 4. Strongly controlling the temperature of the device, to maintain high voltage holding ratio (VHR).

The main cause for all of the above issues is that the available charge is only transferred to the LC cell once per frame. In a display with a million pixels, this limits the available power and doesn't allow for any closed-loop check that the desired voltage has actually been achieved on the pixel electrode. Thus, a need exists for a display driver that provides adequate isolation between a storage capacitor and a liquid crystal cell and ensures that the desired voltage is achieved on the pixel electrode.

WO 02/45066

PCT/US01/44841

3

Brief Summary of the Invention

In a first aspect of the present invention, a display driver circuit for a liquid crystal cell in an array of liquid crystal cells comprises a storage capacitance and an amplifier coupled between the capacitance and the liquid crystal cell.

5 In a second aspect of the present invention, a method for driving a display, comprising the steps of providing isolation between a storage capacitor and a liquid crystal cell using a differential amplifier, ensuring rapid desired voltage levels on a pixel using additional current provided by the differential amplifier and the step of continuously refreshing the voltage on the liquid crystal
10 cell.

In a third aspect of the present invention, a display driver for a display unit which includes a plurality of display elements arranged in a matrix of rows and columns and a memory element and a liquid crystal cell. The display unit preferably comprises a driver for switchably outputting one of a plurality of
15 voltages to the display elements on at least one of the matrix of rows and columns, the driver including a decoder and a plurality of analog switches, each analog switch being formed from a semiconductor switch and controlled to be opened or closed by an output signal of the decoder. The display driver also comprises a storage capacitor coupled between the decoder and the
20 semiconductor switch and a differential amplifier coupled between the storage capacitor and the liquid crystal cell, whereby the differential amplifier provides isolation between the storage capacitor and the liquid crystal cell.

Brief Description of the Drawings

25 FIG. 1 is a block diagram of a liquid crystal cell driver in accordance with the present invention.

FIG. 2 is a block diagram of another liquid crystal cell driver in accordance with the present invention.

30 FIG. 3 is a block diagram of a display unit utilizing a liquid crystal cell driver in accordance with the present invention.

WO 02/45066

PCT/US01/44841

4

FIG. 4 is a flow chart illustrating a method of driving a display in accordance with the present invention.

Detailed description of the Preferred Embodiments

5 In order to overcome the problems described above, it is proposed to add an amplifier such as a differential amplifier 16 between the internal storage capacitor (14), and the LC cell (20) as shown in FIG. 1. In other words, a drive amplifier is added to the driving cell. This adds isolation between the storage capacitor and the LC cell. The added current drive capability ensures that the
10 voltage on the pixel will rapidly become that desired and remain there. It also allows for very low leakage current from the storage capacitor (FET has very high input impedance), and allows for a continuous refresh of the voltage on the LC cell, which eliminates the 'droop' problem, as well as the residual voltaic potential stored in the cell. This should improve both the flicker issue, as well as
15 the 'image sticking' problem which is associated with inability to achieve DC balance in the cell. It should also allow the cell to work well even at somewhat elevated temperatures.

The disadvantage of this technique is that it increases the DC current through the liquid crystal cell. This disadvantage can optionally be overcome in
20 part by gating the current source in the bottom of the differential amplifier. This can use the 'pixel select' or "row select" bit in the device. In this way, a periodic refresh of the voltage can be achieved, while reducing the power consumption by $1/n_{row}$, where n_{row} is the number of rows in the device. Since heating is uniform, this gating in some situations may not be needed.

25 A typical implementation in CMOS is shown in FIG 1. The components are schematic representations, and alternate configurations can be used without loss of generality. The key points are the amplifier 16, which applies a closed loop correction voltage to the LC cell, and the optionally gated current source which allows reduction of power consumption.

30 Typically this circuit could be implemented with 3 transistors, which can be placed under the liquid crystal cell in an LCOS display device. In the

WO 02/45066

PCT/US01/44841

5

arrangement of FIG. 1, an amplifier 16 decouples the LC cell from the memory element (the storage capacitor 14). FIG. 1 illustrates a liquid crystal cell driver 10 for a liquid crystal display. The liquid crystal cell driver preferably comprises a plurality of transistors (12, 15, 17, and 18), a storage capacitance such as the storage capacitor 14, and a plurality of resistors 19 and 21 and the liquid crystal cell represented by liquid crystal capacitance 20. Preferably, three (3) transistors, such as transistors 15, 17 and 18 form the amplifier 16, preferably in the form of a differential amplifier. The differential amplifier 16 is preferably comprised of N-Channel transistors having respective sources coupled and the drain of transistor 17 serving as an output to the liquid crystal cell (20). Additionally, the respective sources of the differential amplifier 16 are coupled and driven by a current source which is another N-Channel transistor such as transistor 18 that sets the balance current in the differential amplifier. The differential amplifier 16 is coupled between the storage capacitor 14 and provides isolation between the storage capacitor 14 and a liquid crystal cell 20 or pixel.

The arrangement of FIG. 2 adds a global switch element (32) to transfer data from the storage element to the driver. This allows for increased pixel drive for the same circuit operating voltages, and reduces image retention and flicker by allowing for inversion of the pixel drive voltage and the ITO transparent conductive electrode from frame to frame.

Referring to FIG. 2, another liquid crystal cell driver 30 is shown similar to the liquid crystal cell driver 10 of FIG. 1. In addition to the elements previously recited with respect to cell driver 10, cell driver 30 further comprises the global switch element 32 in the form of a transistor coupled between the storage capacitor 14 and the differential amplifier 16. The global switch element transfers data from the memory cell (14) to a driver capacitor 36 of the display driver.

The problem of flicker has been addressed by many mechanisms in the past. The issue of drive voltage and image retention has been addressed in digital drive LCOS displays.

WO 02/45066

PCT/US01/44841

6

The main benefit of the technique disclosed herein is to separate the liquid crystal cell (20) from the storage capacitor. This separation as shown in FIG. 2 allows for updating all the cells of the entire LC array at one time if desired. The benefit of this is two-fold. First, this separation (with further pre-processing to

5 determine which LC cells have changed from frame to frame) also allows for updating of only the cells in the LC array that have changed from a prior frame. In other words, the contents of the storage capacitor 14 can be changed without instantaneously changing the display content on the LC cells. This greatly

10 reduces the data rate needed for static pictures. It also allows for the possibility of driving the display in an interlaced mode without displaying interline scanning artifacts. In a system which is interlaced, normally odd lines are written on a first scan, and even lines are written on a second scan. This scanning scheme produces the artifact known as 'interline flicker'. This even happens for data

15 is that the even lines from one frame are displayed at the same time that the odd lines from the previous frame are displayed. Any portion of the frame which changed will show an interline flicker. With the present invention, a display having an array of storage capacitors (14) corresponding to an array of LC cells would be updated just as normal (even lines followed by odd lines), except that

20 the entire LC array would then be updated once the storage array has been filled. Thus, lines from different frames are never displayed simultaneously.

The second benefit of this technique is that it allows the common electrode voltage to be modulated from frame to frame. This modulation increases the effective electric field which can be applied to the LC for a given

25 operating voltage of the driver circuit. This is a significant advantage, as finer process geometry will reduce the maximum allowed driving voltage.

The technique can most simply be implemented with the circuit described in FIG. 1, with a modification as shown in FIG. 2. The voltage V_{nn} of FIG. 2 is a static voltage which controls the current source for the transistors 15 and 17.

30 The Row and Column address are normal addressing for an active matrix display. The control signals (Transfer and Discharge) are separate globally controlled

WO 02/45066

PCT/US01/44841

7

signals which transfer the charge on the storage capacitor 14 to the drive capacitor 36, which drives the LC cell. The additional transistor 34 and capacitor 36 on the device are added to implement the new circuit and operationally allows for the adequate discharge of current from the storage capacitor 14 after each transfer. The additional components should not be significant as process fabrication technology moves forward towards 0.1 microns and below.

Referring to FIG. 3, a display unit 50 is shown that can utilize the display drivers 10 or 30 as previously described above. The display unit 50 preferably includes a plurality of display elements arranged in a matrix of rows and columns and a memory element and a liquid crystal cell. The driver for each display element preferably switchably outputs one of a plurality of voltages to the display elements on at least one of the matrix of rows and columns, the display unit including a decoder 51 controlled by a conventional decoder 51. The driver (not shown in FIG. 3) can include a storage capacitor and a differential amplifier coupled between the storage capacitor and the liquid crystal cell, whereby the differential amplifier provides isolation between the storage capacitor and the liquid crystal cell. The display unit can include a decoder and a plurality of semiconductor switches such as shown in FIG. 1 or 2 controlled to be opened or closed by an output signal of the decoder 51. As shown in FIG. 3, the display unit 50 can include a row drive circuit having a plurality of row (scanning) address lines 56 and a column drive circuit 62 having a plurality of column (data) address lines 58.

Referring to FIG. 4, a flow chart is shown illustrating a method 200 of driving a display in accordance with the present invention. The method 200 preferably comprises the step 202 of providing isolation between a storage capacitor and a liquid crystal cell using a differential amplifier, the step 204 of ensuring rapid desired voltage levels on a pixel using additional current provided by the differential amplifier, and the step 206 of continuously refreshing the voltage on the liquid crystal cell. The method 200 may further comprise the step 208 of maintaining low leakage current from the storage capacitor and the step

WO 02/45066

PCT/US01/44841

8

210 of gating a current source provided to the differential amplifier.

Additionally, the method 200 may further comprise the step 212 of applying a closed loop correction voltage to the liquid crystal cell. As applicable to display driver 30 of FIG. 2, the method 200 could comprise the step 214 of reducing
5 image retention and flicker using a global switch element which is coupled between the storage capacitor and the differential amplifier and may further comprise the step 216 of updating an entire array of liquid crystal elements simultaneously. The method may also include the step 218 of updating only a
10 memory cell that has changed from a previous frame. Additional benefits of the method 200 may include the step 220 of driving a memory array in an interlaced mode without displaying interline scanning artifacts and/or the step 222 of modulating a common electrode voltage from frame to frame to reduce a required liquid crystal drive voltage.

Although the present invention has been described in conjunction with the
15 embodiments disclosed herein, it should be understood that the foregoing description is intended to illustrate and not limit the scope of the invention as defined by the claims.

WO 02/45066

PCT/US01/44841

9

CLAIMS

1. In a display unit having an array of liquid crystal cells, comprising:
an array of display driver circuits for said liquid crystal cells,
respectively, a given display driver circuit, including:
5 a storage capacitance; and
an amplifier coupled between the storage capacitance and the liquid
crystal cell.
2. The display driver circuit of claim 1, wherein the amplifier comprises a
10 differential amplifier.
3. The display driver of claim 2, wherein the differential amplifier provides
isolation between the storage capacitance and the liquid crystal cell.
- 15 4. The display driver of claim 2, wherein the differential amplifier comprises a
pair of N-Channel transistors having respective sources coupled and a drain from
one of the pair of N-Channel transistors serving as an output to the liquid crystal
cell.
- 20 5. The display driver of claim 2, wherein the differential amplifier comprises a
pair of N-Channel transistors having respective sources coupled and a current
source which is gated by another N-channel transistor that gates the current
source and ensures a predetermined voltage on a pixel.
- 25 6. The display driver of claim 2, wherein the display driver further comprises a
global switch element coupled between the storage capacitance and the
differential amplifier, wherein the global switch element transfers data from the
memory cell to the display driver.
- 30 7. The display driver circuit of claim 1, wherein said amplifier is responsive to a
gating signal for reducing power consumption.

WO 02/45066

PCT/US01/44841

10

8. A method for driving a display, comprising the steps of:
providing isolation between a storage capacitor and a liquid crystal cell
using a differential amplifier;
- 5 ensuring rapid desired voltage levels on a pixel using additional current
provided by the differential amplifier; and
continuously refreshing the voltage on the liquid crystal cell.
9. The method of claim 8, wherein the method further comprises the step of
10 maintaining low leakage current from the storage capacitor.
10. The method of claim 8, wherein the method further comprises the step of
gating a current source provided to the differential amplifier.
11. The method of claim 8, wherein the method further comprises the step of
15 applying a closed loop correction voltage to the liquid crystal cell.
12. The method of claim 8, wherein the method further comprises the step of
reducing image retention and flicker using a global switch element which is
coupled between the storage capacitor and the differential amplifier.
- 20 13. The method of claim 12, wherein the method further comprises the step of
updating an entire array of liquid crystal elements simultaneously.
14. The method of claim 12, wherein the method further comprises the step of
25 updating only the memory cells that have changed from a previous frame.
15. The method of claim 12, wherein the method further comprises the step of
driving a memory array in an interlaced mode without displaying interline
scanning artifacts.

30

WO 02/45066

PCT/US01/44841

11

16. The method of claim 12, wherein the method further comprises the step of modulating the common electrode voltage from frame to frame to reduce a required liquid crystal drive voltage.

5 17. A display driver for a display unit which includes a plurality of display elements arranged in a matrix of rows and columns, comprising:

a driver for switchably outputting one of a plurality of voltages to the display elements on at least one of the matrix of rows and columns, said driver including a decoder and a plurality of semiconductor switches

10 controlled to be opened or closed by an output signal of said decoder;

a storage capacitor coupled between said decoder and said semiconductor switch for each of the plurality of display elements; and

15 a differential amplifier coupled between the storage capacitor and each of the plurality of display elements, whereby the differential amplifier provides isolation between the storage capacitor and a liquid crystal cell forming each of the plurality of display elements

18. The display driver of claim 17, wherein the differential amplifier comprises a pair of N-Channel transistors having respective sources coupled and a drain from
20 one of the pair of N-Channel transistors serving as an output to the liquid crystal cell.

WO 02/45066

PCT/US01/44841

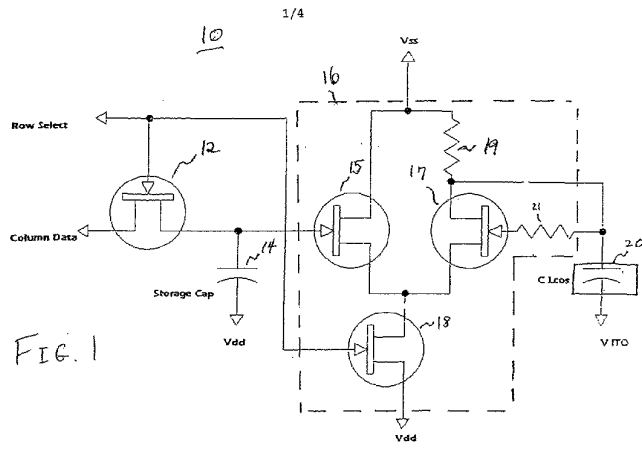
12

19. The display driver of claim 17, wherein the differential amplifier comprises a pair of N-Channel transistors having respective sources coupled and serving as a current source which is gated by another N-channel transistor that gates the
5 current source and ensures a predetermined voltage on a pixel.

20. The display driver of claim 17, wherein the display driver further comprises a global switch element coupled between the storage capacitor and the differential amplifier, wherein the global switch element transfers data from the
10 memory cell to the display driver.

WO 02/45066

PCT/US01/44841



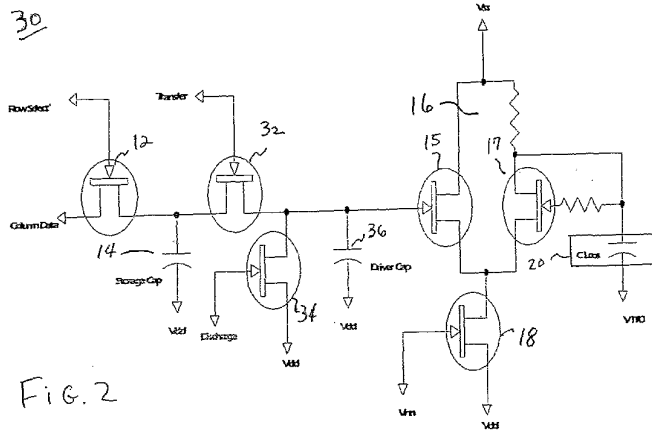


FIG. 3

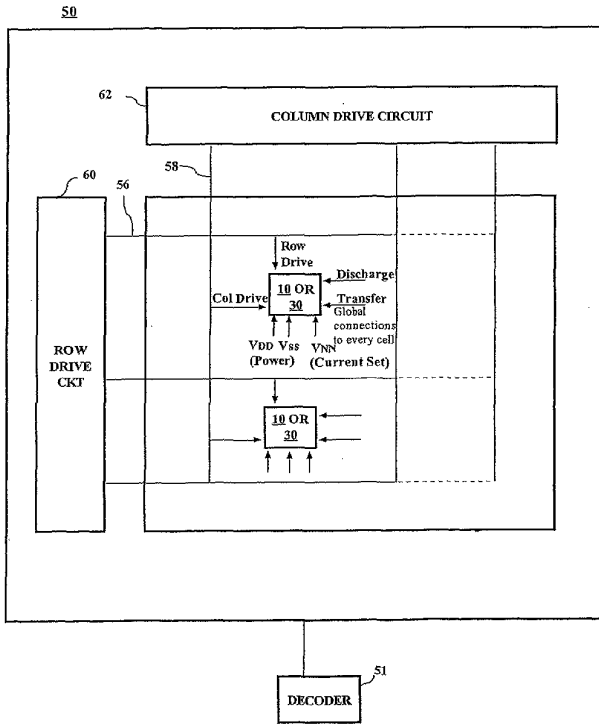
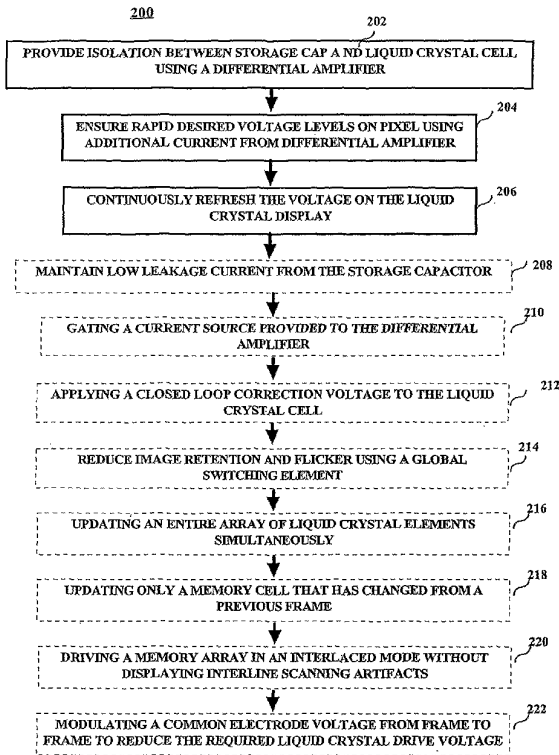


FIG. 4

4/4



【手続補正書】

【提出日】平成15年5月9日(2003.5.9)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

液晶セルのアレイを有する表示装置において、
前記液晶セルそれぞれについて表示ドライバ回路のアレイを備え、所定の表示ドライバ回路が、
記憶キャパシタンスと、
前記記憶キャパシタンスと前記液晶セルとの間に結合された増幅器とを備え、
前記増幅器が、ピクセル上で所定の電圧を確保するためにトランジスタによってゲート制御される電流源を備える表示ドライバ回路。

【請求項2】

前記増幅器が、差動増幅器を含む、請求項1に記載の表示ドライバ回路。

【請求項3】

前記差動増幅器が、前記記憶キャパシタンスと前記液晶セルとの間の分離を与える、請求項2に記載の表示ドライバ回路。

【請求項4】

前記差動増幅器が、結合されたそれぞれのソースを有する1対のNチャンネル・トランジスタを備え、前記Nチャンネル・トランジスタの対の一方からのドレインが前記液晶セルへの出力として働く、請求項2に記載の表示ドライバ回路。

【請求項5】

前記差動増幅器が、1対のNチャンネル・トランジスタを備え、前記Nチャンネル・トランジスタが、前記Nチャンネル・トランジスタによってゲート制御される前記電流源に結合されたそれぞれのソースとを有し、前記Nチャンネル・トランジスタが、前記電流源をゲート制御して前記ピクセル上で前記所定の電圧を確保する、請求項2に記載の表示ドライバ回路。

【請求項6】

前記記憶キャパシタンスと前記差動増幅器との間に結合された大域スイッチ素子を更に備え、前記大域スイッチ素子がデータをメモリ・セルから前記表示ドライバに転送する、請求項2に記載の表示ドライバ回路。

【請求項7】

電力消費を低減するために前記増幅器が、ゲート信号に応答する、請求項1に記載の表示ドライバ回路。

【請求項8】

表示装置を駆動する方法であって、
差動増幅器を使用して記憶コンデンサと液晶セルとの間の分離を与えるステップと、
前記差動増幅器から供給される追加の電流を使用してピクセル上で所定の電圧レベルを急速に確保するステップと、
前記液晶セル上の電圧を継続的にリフレッシュするステップと、
前記差動増幅器に供給される電流源をゲート制御するステップとを含む方法。

【請求項9】

前記記憶コンデンサからの漏れ電流を低く維持するステップを更に含む、請求項8に記載の方法。

【請求項10】

前記液晶セルに閉ループ補正電圧を加えるステップを更に含む、請求項8に記載の方法。

【請求項 11】

前記記憶コンデンサと前記差動増幅器との間に結合された大域スイッチ素子を使用して残像およびフリッカを減少させるステップを更に含む、請求項 8 に記載の方法。

【請求項 12】

液晶素子のアレイ全体を同時に更新するステップを更に含む、請求項 11 に記載の方法。

【請求項 13】

前のフレームから変化した前記メモリ・セルだけを更新するステップを更に含む、請求項 11 に記載の方法。

【請求項 14】

ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップを更に含む、請求項 11 に記載の方法。

【請求項 15】

共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップを更に含む、請求項 11 に記載の方法。

【請求項 16】

行と列のマトリックスに構成された複数の表示素子を含む表示装置用の表示ドライバ回路であって、

前記行と列のマトリックスのうちの少なくとも 1 つにある表示素子に複数の電圧のうちの 1 つを切替え可能に出力するためのドライバ回路であって、デコーダ、および前記デコーダの出力信号によって開閉するように制御される複数の半導体スイッチを備えるドライバ回路と、

前記デコーダと前記複数の表示素子それぞれについての前記半導体スイッチとの間に結合された記憶コンデンサと、

前記記憶コンデンサと前記複数の表示素子それぞれとの間に結合された差動増幅器とを備え、それにより前記差動増幅器が、前記記憶コンデンサと、前記複数の表示素子それぞれを形成する液晶セルとの間の分離を与え、

前記差動増幅器が、ピクセル上で所定の電圧を確保するために別のトランジスタによってゲート制御されるゲート電流源を形成する表示ドライバ回路。

【請求項 17】

前記差動増幅器が、結合されたそれぞれのソースを有する 1 対の N チャネル・トランジスタを備え、前記 N チャネル・トランジスタの対の一方からのドレインが前記液晶セルへの出力として働く、請求項 16 に記載の表示ドライバ回路。

【請求項 18】

前記差動増幅器が、結合されたそれぞれのソースを有する 1 対の N チャネル・トランジスタを備え、前記ソースが、別の N チャネル・トランジスタによってゲート制御される電流源として働き、前記別の N チャネル・トランジスタが前記電流源をゲート制御してピクセル上で所定の電圧を確保する、請求項 16 に記載の表示ドライバ回路。

【請求項 19】

前記記憶コンデンサと前記差動増幅器との間に結合された大域スイッチ素子を更に備え、前記大域スイッチ素子がデータをメモリ・セルから前記表示ドライバ回路に転送する、請求項 16 に記載の表示ドライバ回路。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/44841
A. CLASSIFICATION OF SUBJECT MATTER IPC(C) : G09G 3/36 US CL : 345/87, 80, 98 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/87, 88, 89, 90, 91, 92, 93, 98, 100 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6,064,362 A (BROWNLOW et al.) 16 May, 2000, col. 7, line 6 to col. 9, line 13; Figs. 8a-13.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents		
A Document defining the general state of the art which is not considered to be of particular relevance		*T* Later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
B Earlier document published on or after the international filing date		*X* Document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
I Document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* Document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
O Document referring to an oral disclosure, use, exhibition or other means		*Z* Document member of the same patent family
E Document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search	Date of mailing of the international search report	
07 MARCH 2002	12 APR 2002	
Name and mailing address of the ISA/LUS Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 805-8250	Authorized officer <i>XIAO WU</i> Telephone No. (703) 805-4721	

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 D
G 0 9 G	3/20	6 2 2 N
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 7 0 K
H 0 3 F	3/45	Z

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

Fターム(参考) 2H093 NA16 NA53 NA61 NC15 ND06 ND09 ND15 ND17 ND60 NE01
 5C006 AC11 AC25 AC29 AF31 AF44 BB16 BC02 BC06 BC20 BF25
 BF34 BF37 FA23 FA34 FA36 FA47
 5C080 AA10 BB05 DD01 DD06 DD10 DD26 FF01 FF11 JJ02 JJ07
 5J500 AA01 AA12 AC72 AC78 AF00 AH09 AH17 AH25 AH29 AK02
 AK48 AM11 AM22 AS08 AS16 AT01 DM03 DN01 DP01

专利名称(译)	显示驱动器电路及驱动显示装置的方法		
公开(公告)号	JP2004518993A5	公开(公告)日	2005-12-22
申请号	JP2002547153	申请日	2001-11-29
[标]申请(专利权)人(译)	汤姆森特许公司		
申请(专利权)人(译)	汤姆森许可兴业ANONYME		
[标]发明人	オードネルユージーンマーフィ		
发明人	オードネル, ユージーン マーフィ		
IPC分类号	G02F1/133 G02F1/1333 G02F1/1368 G09G3/20 G09G3/36 H03F3/45		
CPC分类号	G09G3/3688 G02F1/13306 G02F1/1333 G09G3/2011 G09G3/3611 G09G3/3614 G09G3/3648 G09G2300/0809 G09G2300/0842 G09G2300/0852 G09G2310/0251 G09G2310/027 G09G2310/04 G09G2320/0233 G09G2320/0247 G09G2320/0285		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.611.E G09G3/20.621.D G09G3 /20.622.N G09G3/20.624.B G09G3/20.670.K H03F3/45.Z		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NA61 2H093/NC15 2H093/ND06 2H093/ND09 2H093/ND15 2H093 /ND17 2H093/ND60 2H093/NE01 5C006/AC11 5C006/AC25 5C006/AC29 5C006/AF31 5C006/AF44 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC20 5C006/BF25 5C006/BF34 5C006/BF37 5C006 /FA23 5C006/FA34 5C006/FA36 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD06 5C080/DD10 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ07 5J500/AA01 5J500 /AA12 5J500/AC72 5J500/AC78 5J500/AF00 5J500/AH09 5J500/AH17 5J500/AH25 5J500/AH29 5J500 /AK02 5J500/AK48 5J500/AM11 5J500/AM22 5J500/AS08 5J500/AS16 5J500/AT01 5J500/DM03 5J500/DN01 5J500/DP01		
优先权	60/250259 2000-11-30 US		
其他公开文献	JP2004518993A		

摘要(译)

在具有液晶单元阵列和与每个液晶单元 (20) 对应的显示驱动电路 (10) 阵列的显示单元中, 相应阵列中的每个显示驱动电路包括模拟存储元件 (14)。并且差分放大器 (16) 耦合在模拟存储元件和液晶单元之间。差分放大器提供模拟存储元件和液晶单元之间的隔离。