

(19)日本国特許庁（J P）

公開特許公報 (A)

(11)特許出願公開番号

特開2003－295836

(P2003－295836A)

(43)公開日 平成15年10月15日(2003.10.15)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
		611 C	
		611 D	
	621	621 M	
審査請求 未請求 請求項の数 10 O L (全 12数) 最終頁に続く			

(21)出願番号 特願2002－96903(P2002－96903)

(22)出願日 平成14年3月29日(2002.3.29)

(71)出願人 302036002

富士通ディスプレイテクノロジー株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 関戸 哲

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(72)発明者 福德 章一

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(74)代理人 100108187

弁理士 横山 淳一

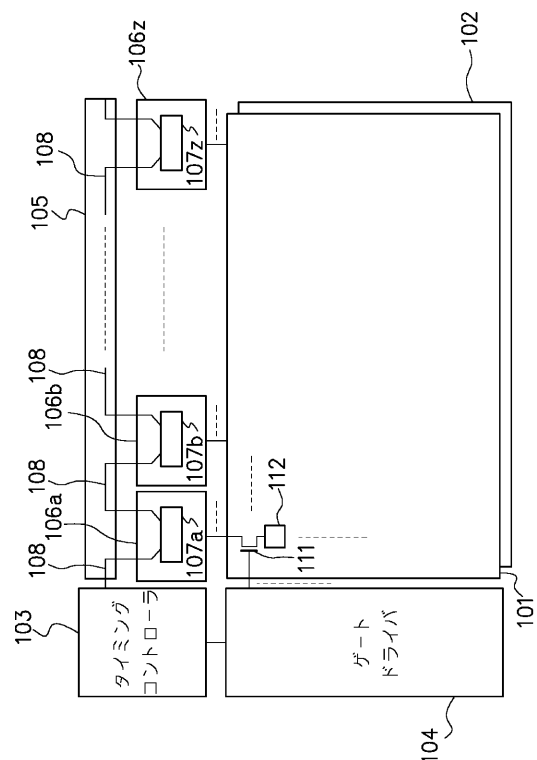
最終頁に続く

(54)【発明の名称】 液晶表示装置及びそのドライバ

(57)【要約】

【課題】 クロストーク及び／又はE M I による悪影響を防止するための液晶表示装置を提供することを課題とする。

【解決手段】 ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板（101）と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板（102）と、複数のトランジスタのゲートを駆動するためのゲートドライバ（104）と、複数のソースドライバユニット（107a～107z）がカスケード接続され、複数のトランジスタのソースを駆動するためのソースドライバとを有する液晶表示装置が提供される。各ソースドライバユニットは、クロック信号に同期して動作するフリップフロップと、そのクロック信号を反転させて次段のソースドライバユニットに出力するためのインバータとを有する。



【特許請求の範囲】

【請求項1】 ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板と、前記複数のトランジスタのゲートを駆動するためのゲートドライバと、複数のソースドライバユニットがカスケード接続され、前記複数のトランジスタのソースを駆動するためのソースドライバとを有し、前記各ソースドライバユニットは、前段のソースドライバユニット又は外部から入力されるクロック信号の線がクロック端子に接続され、前段のソースドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、前記前段のソースドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のソースドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有する液晶表示装置。

【請求項2】 さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する請求項1記載の液晶表示装置。

【請求項3】 さらに、前記インバータが出力する反転クロック信号を次段のソースドライバユニット又は外部に出力するための第1の出力線と、前記前段のソースドライバユニット又は外部から入力するクロック信号の非反転クロック信号を次段のソースドライバユニット又は外部に出力するための第2の出力線とを有し、前記フリップフロップは、前段のソースドライバユニットの第1の出力線又は外部から入力されるクロック信号の線がクロック端子に接続される請求項1記載の液晶表示装置。

【請求項4】 複数のドライバユニットがカスケード接続される液晶表示装置のドライバであって、前記各ドライバユニットは、前段のドライバユニット又は外部から入力されるクロック信号の線がクロック端子に接続され、前段のドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、

前記前段のドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有する液晶表示装置のドライバ。

【請求項5】 さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する請求項4記載の液晶表示装置のドライバ。

【請求項6】 さらに、前記インバータが出力する反転クロック信号を次段のドライバユニット又は外部に出力するための第1の出力線と、前記前段のドライバユニット又は外部から入力するクロック信号の非反転クロック信号を次段のドライバユニット又は外部に出力するための第2の出力線とを有し、前記フリップフロップは、前段のドライバユニットの第1の出力線又は外部から入力されるクロック信号の線がクロック端子に接続される請求項4記載の液晶表示装置のドライバ。

【請求項7】 ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板と、前記複数のトランジスタのゲートを駆動するためのゲートドライバと、複数のソースドライバユニットがカスケード接続され、前記複数のトランジスタのソースを駆動するためのソースドライバとを有し、前記各ソースドライバユニットは、前記前段のソースドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のソースドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記インバータの出力端子がクロック端子に接続され、前段のソースドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有する液晶表示装置。

【請求項8】 複数のドライバユニットがカスケード接続される液晶表示装置のドライバであって、前記各ドライバユニットは、前記前段のドライバユニット又は外部から入力されるク

ロック信号の線が入力端子に接続され、次段のドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、

前記インバータの出力端子がクロック端子に接続され、前段のドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、

前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有する液晶表示装置のドライバ。

【請求項 9】 ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板と、前記複数のトランジスタのゲートを駆動するためのゲートドライバと、

複数のソースドライバユニットがカスケード接続され、前記複数のトランジスタのソースを駆動するためのソースドライバとを有し、

前記ソースドライバ内の偶数番目のソースドライバユニットは、

前段のソースドライバユニット又は外部から入力されるクロック信号の立ち上がりエッジ又は立ち下がりエッジのいずれかのエッジに同期して、前段のソースドライバユニット又は外部から入力される入力信号に応じて、次段のソースドライバユニット又は外部に出力信号を出力するためのフリップフロップと、

前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有し、

前記ソースドライバ内の奇数番目のソースドライバユニットは、

前段のソースドライバユニット又は外部から入力されるクロック信号の立ち下がりエッジ又は立ち上がりエッジのいずれかのエッジであって、前記偶数番目のソースドライバユニットのフリップフロップとは異なるエッジに同期して、前段のソースドライバユニット又は外部から入力される入力信号に応じて、次段のソースドライバユニット又は外部に出力信号を出力するためのフリップフロップと、

前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有する液晶表示装置。

【請求項 10】 偶数番目及び奇数番目のドライバユニットが交互にカスケード接続される液晶表示装置のドライバであって、

*前記偶数番目のドライバユニットは、前段のドライバユニット又は外部から入力されるクロック信号の立ち上がりエッジ又は立ち下がりエッジのいずれかのエッジに同期して、前段のドライバユニット又は外部から入力される入力信号に応じて、次段のドライバユニット又は外部に出力信号を出力するためのフリップフロップと、

前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有し、

前記奇数番目のドライバユニットは、前段のドライバユニット又は外部から入力されるクロック信号の立ち下がりエッジ又は立ち上がりエッジのいずれかのエッジであって、前記偶数番目のドライバユニットのフリップフロップとは異なるエッジに同期して、前段のドライバユニット又は外部から入力される入力信号に応じて、次段のドライバユニット又は外部に出力信号を出力するためのフリップフロップと、

前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有する液晶表示装置のドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置及びそのドライバに関し、特に複数のドライバユニットがカスケード接続されるドライバに関する。

【0002】

【従来の技術】 パーソナルコンピュータのモニターの省スペース化に加えて、画素数及び表示サイズの大規模化が望まれている。液晶表示装置は、薄膜トランジスタ（TFT）基板と共通基板とを対向して張り合わせ、その間に液晶を挟み持つ構造となっている。液晶は、TFT基板の画素電極と共通基板の共通電極との間の電位差に応じた光の透過量により、階調を持たせる。

【0003】

【発明が解決しようとする課題】 液晶表示装置のドライバは、上記の TFT を駆動することにより、上記の階調表示を行う。この際、複数の信号線上の信号が同時に変化すると、個々の信号同士の影響が大きくなり、クロストークや電磁波障害（EMI）に悪い影響を与える。本発明の目的は、クロストーク及び／又は EMI による悪影響を防止するための液晶表示装置及びそのドライバを提供することである。

【0004】

【課題を解決するための手段】 本発明の一観点によれば、ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介してトランジスタ基板に対向して設けられる共通基板と、複数のトランジスタのゲートを駆動するための

ゲートドライバと、複数のソースドライバユニットがカスケード接続され、複数のトランジスタのソースを駆動するためのソースドライバとを有する液晶表示装置が提供される。各ソースドライバユニットは、フリップフロップ、インバータ及び出力回路を有する。フリップフロップは、前段のソースドライバユニット又は外部から入力されるクロック信号の線がクロック端子に接続され、前段のソースドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される。インバータは、前段のソースドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のソースドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続される。出力回路は、前段のソースドライバユニット又は外部から入力される入力信号に応じて、トランジスタ基板のトランジスタのソースに信号を出力する。

【0005】インバータは、入力クロック信号を反転して、次段のソースドライバユニットに出力する。これにより、偶数番目のソースドライバユニットと奇数番目のソースドライバユニットとでは、クロック信号が反転している。これらの非反転クロック信号と反転クロック信号は、互いに相殺され、クロストーク及び／又はEMIの悪影響を防止することができる。また、偶数番目のソースドライバユニットと奇数番目のソースドライバユニットとでは、フリップフロップが相互に反転したクロック信号に同期して動作するので、出力信号の変化点が異なる。これにより、出力信号の時間的变化点が分散され、クロストーク及び／又はEMIの悪影響を防止することができる。

【0006】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態による液晶表示装置の構成を示す図である。薄膜トランジスタ（TFT）基板101は、2次元マトリクス状に配列された複数のnチャネルMOSトランジスタ111を有する。各トランジスタは、ゲート、ソース及びドレインを有する。共通基板102は、基板全面に形成される共通電極を含み、液晶を介してTFT基板101に対向して設けられる。共通電極は、グラウンド電位に接続される。トランジスタ111は、ゲートがゲートドライバ104に接続され、ソースがソースドライバユニット107a等に接続され、ドレインが画素電極112に接続される。画素電極112及び共通基板102の共通電極間の電位差に応じて、液晶の光の透過量が変化し、階調表示を行うことができる。タイミングコントローラ103は、ゲートドライバ104にゲートクロック信号及びゲートスタートパルス等を供給する。ゲートドライバ104は、ゲートクロック信号等に応じて、トランジスタ111のゲートを駆動する。

【0007】ソースドライバは、複数のソースドライバユニット107a, 107b, ..., 107zが配線108でカスケード接続され、複数のトランジスタ（駆動素子）111のソースを駆動する。ソースドライバユニット107a, 107b, ..., 107zは、同じ構成を有し、それぞれTAB(tape automated bonding)106a, 106b, ..., 106z上に形成される。プリント基板105は、タイミングコントローラ103及びTAB107a間の配線108、並びに複数のソースドライバユニット107a~107z間をカスケード接続するための配線108を形成するための基板である。

【0008】以下、TAB106a, 106b, ..., 106zのすべて又は個々をTAB106と呼ぶ。また、ソースドライバユニット107a, 107b, ..., 107zの個々をソースドライバユニット107と呼ぶ。

【0009】タイミングコントローラ103は、配線108を介して、複数のソースドライバユニット107に、クロック信号、表示データ及び制御信号を供給する。各ソースドライバユニット107は、入力信号をタイミング調整して、次段のソースドライバユニット107に出力する。また、各ソースドライバユニット107は、上記の入力信号を基に、それぞれ例えば384個のトランジスタ111のソースを駆動する。

【0010】図2は、各ソースドライバユニット107の構成を示す。シフトレジスタ部201は、タイミングコントローラ103又は前段のソースドライバユニット107からカスケード信号ICD及びクロック信号ICKを入力し、カスケード信号ICDをシフトさせ、格納タイミングパルスをデータレジスタ部202に供給する。データレジスタ部202は、タイミングコントローラ103又は前段のソースドライバユニット107から赤色表示データIRDT、緑色表示データIGDT及び青色表示データIBDTを入力し、上記の格納タイミングパルスに応じて、表示データIRDT, IGDT, IBDTを格納する。トランジスタ111（図1）は、図の水平方向に例えば赤、緑及び青用のトランジスタの順で繰り返し配列される。それに対応し、データレジスタ部202内のレジスタも、赤、緑及び青用のレジスタの順で繰り返し配列される。図の左側のレジスタから右側のレジスタに向かって、レジスタは順に表示データを格納する。格納が終了すると、カスケード信号ICDがシフトされたカスケード信号OCDが次段のソースドライバユニット107に出力され、次段のソースドライバユニット107において表示データが順次格納される。なお、表示データORDT, OGD, OBDTは、表示データIRDT, IGDT, IBDTがタイミング調整されたものであり、次段のソースドライバユニット107に供給される。なお、データレジスタ部202には、

データ反転信号 I INV も入力される。

【0011】すべてのソースドライバユニット107のデータレジスタ部202が表示データ IRDT等を格納し終わると、ラッチ部203は、タイミングコントローラ103又は前段のソースドライバユニット107からラッチパルス LPを入力し、データレジスタ部202に格納された表示データ IRDT等をラッチする。レベルシフト部204は、ラッチ部203がラッチした例えば8ビットの表示データ IRDT等を階調データに変換する。

【0012】D/Aコンバータ部205は、タイミングコントローラ103又は前段のソースドライバユニット107から極性反転信号 I POL及び基準電源 Vaを入力し、基準電源 Vaを基に、レベルシフト部204が出力したデジタル形式の階調データをアナログ形式に変換する。また、D/Aコンバータ部205は、極性反転信号 I POLに応じて、正電位又は負電位の階調データのいずれを出力する。図1において、共通基板102の共通電極はグラウンド電位であり、トランジスタ111のソースに正電位の階調データと負電位の階調データがフレーム又はフィールド毎に交互に供給される。これにより、液晶の寿命を長期化することができる。出力部206は、オペアンプを有し、D/Aコンバータ部205が出力する階調データを増幅して、図1のトランジスタ111のソースに出力する。

【0013】次に、タイミング調整回路210a~210fについて説明する。タイミング調整回路210aは、クロック信号 I CLKのタイミングを調整してクロック信号 OCLKを出力すると共に、シフトレジスタ部201がカスケード信号 ICDをシフトした信号をタイミング調整してカスケード信号 OCDとして出力する。カスケード信号 OCD及びクロック信号 OCLKは、次段のソースドライバユニット107にカスケード信号 ICD及びクロック信号 I CLKとして入力される。

【0014】タイミング調整回路210b, 210c, 210dは、クロック信号 I CLKに同期して、それぞれ表示データ IRDT, I GDT, I BDTをタイミング調整して表示データ ORDT, O GDT, O BDTとして出力する。なお、クロック信号 OCLKは、タイミング調整回路210aが出力する代わりに、タイミング調整回路210b等が出力するようにしてもよい。表示データ ORDT, O GDT, O BDTは、次段のソースドライバユニット107に表示データ IRDT, I GDT, I BDTとして入力される。また、タイミング調整回路210dは、表示データ OBDTの他、クロック信号 I CLKに同期して、データ反転信号 I INVをタイミング調整してデータ反転信号 O INVとして出力するようにしてもよいし、別のタイミング調整回路がデータ反転信号 O INVを出力するようにしてもよい。

【0015】同様に、タイミング調整回路201e及び

210fは、それぞれクロック信号 I CLKに同期して、ラッチパルス I LP及び極性反転信号 I POLをタイミング調整してラッチパルス OLP及び極性反転信号 O POLとして出力する。ラッチパルス OLP及び極性反転信号 O POLは、それぞれ次段のソースドライバユニット107にラッチパルス I LP及び極性反転信号 I POLとして入力される。

【0016】以上のように、タイミング調整回路210a~210fは、クロック信号 I CLKに同期して、表示データ又は制御信号をタイミング調整して、次段のソースドライバユニット107に出力する。ここで、制御信号は、上記のカスケード信号 ICD、ラッチパルス I LP、データ反転信号 I INV及び極性反転信号 I POLを含む。また、タイミング調整回路210a~210fのうちのいずれか1つがクロック信号 OCLKを出力するようにすればよい。タイミング調整回路210a~210fは、すべて同じ回路構成であるので、タイミング調整回路210bを例として以下説明する。この際、タイミング調整回路210bは、表示データ ORDTの他に、クロック信号 OCLKを出力するものとして説明する。

【0017】図3(A)は、タイミング調整回路210bの構成例を示す。D型フリップフロップ301は、クロック端子 CLKにクロック信号 I CLKの線が接続され、入力端子 Dに入力信号(表示データ) IRDTの線が接続され、出力端子 Qに出力信号(表示データ) ORDTを出力するための線が接続される。インバータ302は、入力端子にクロック信号 I CLKの線が接続され、出力端子にクロック信号 OCLKを出力するための線が接続される。

【0018】図4は、図3(A)の動作を説明するためのタイミングチャートである。フリップフロップ301は、クロック信号 I CLKの立ち上がりエッジに同期して、入力信号 IRDTを出力信号 ORDTとして出力する。インバータ302は、クロック信号 I CLKを論理反転(位相反転)してクロック信号 OCLKを出力する。この結果、クロック信号 I CLK及びOCLKは、互いに位相が反転しているため、クロストーク及びEMIの作用を打ち消しあう。また、信号 IRDT及びORDTは、変化点が時間的にずれているので、クロストーク及びEMIのピークを時間的に分散させ、緩和させることができる。以上の作用により、全体としてクロストーク及びEMIによる悪影響を防止することができる。

【0019】図5は、図3(A)のインバータ302がないときのタイミングチャートであり、図4と比較しながら説明する。実際には、インバータ302をなくすか、インバータ302の代わりにバッファを設けることが考えられる。なお、図の簡明化のため、フリップフロップが立ち上がりエッジに同期して動作する場合を例に説明するが、立ち下がりエッジに同期する場合も同様で

ある。この場合、クロック信号OCLKがクロック信号ICLKと同じ位相になる。また、信号IRDT及びORDTは、変化点が同じになる。この結果、クロック信号ICLK及びOCLKは、互いに位相が同じであるので、その立ち上がりエッジ及び立ち下がりエッジにてクロストーク及びEMIのピークが増大してしまう。また、信号IRDT及びORDTは、変化点が同じになるので、その変化点にてクロストーク及びEMIのピークが増大してしまう。

【0020】本実施形態によれば、インバータ302を10 設けることにより、図4に示すように、クロック信号ICLK及びOCLKの位相が反転し、信号IRDT及びORDTの変化点がずれるので、クロストーク及びEMIを防止することができる。

【0021】図3(B)は、タイミング調整回路210bの他の構成例を示す。ここでは、図3(A)のインバータ302の代わりに、インバータ303を接続する。インバータ303は、入力端子にクロック信号ICLKの線が接続され、出力端子にクロック信号OCLKを出力するための線が接続される。フリップフロップ301 20 は、クロック端子CLKにインバータ303の出力端子が接続され、入力端子Dに入力信号IRDTの線が接続され、出力端子Qに出力信号ORDTを出力するための線が接続される。図3(A)の回路はインバータ302が出力段に設けられるのに対し、図3(B)の回路はインバータ303が入力段に設けられる。図3(B)の回路の動作は、図4と同じである。

【0022】図3(C)は、タイミング調整回路210bのさらに他の構成例を示す。この回路は、図3(A)の回路にバッファ304を設けたものである。バッファ 30 304は、入力端子にフリップフロップ301の出力端子Qが接続され、出力端子に出力信号ORDTを出力するための線が接続される。バッファ304は、インバータ302に対応し、出力信号ORDTの遅延時間を調整するためのものである。なお、同様に、図3(B)の回路にバッファ304を追加してもよい。

【0023】(第2の実施形態)本発明の第2の実施形態による液晶表示装置は、図1及び図2に示す構成と基本的に同じであり、タイミング調整回路210a~210fの内部構成のみが異なる。以下、タイミング調整回路210bを例に説明する。 40

【0024】図6(A)は、本実施形態によるタイミング調整回路210bの構成例を示す。この回路は、図3(A)の回路にバッファ601を追加したものである。バッファ601は、入力端子にクロック信号ICLKの線が接続され、出力端子にクロック信号BCLKの線が接続される。バッファ601は、クロック信号ICLKを増幅してクロック信号BCLKとして出力する。

【0025】図7に示すように、入力クロック信号ICLKを基準にすると、クロック信号OCLKは反転クロ 50

ック信号であり、クロック信号BCLKは非反転クロック信号である。クロック信号OCLK及びBCLKは、互いに位相が反転した信号である。クロック信号OCLK及びBCLKの線を互いに近接して図1のTAB106及びプリント基板105上に配線することにより、両者のクロストーク及びEMIによる作用が打ち消しあい、クロストーク及びEMIによる悪影響をより一層防止することができる。なお、クロック信号BCLKは、ダミー線であり、回路動作には使用されない。

【0026】次段のソースドライバユニット107のフリップフロップ301のクロック端子CLKには、前段のソースドライバユニット107のクロック信号OCLKの線が接続される。なお、クロック信号BCLKは、クロック信号OCLKに対して位相反転していればよいので、バッファ601は必ずしも必要ではない。その場合、信号ICLKの線は、信号BCLKの線に直接接続される。

【0027】図6(B)は、本実施形態によるタイミング調整回路210bの他の構成例を示す。この回路は、図6(A)と同様に、図3(B)の回路にバッファ602を設けたものである。バッファ602は、入力端子にクロック信号ICLKの線が接続され、出力端子にクロック信号BCLKの線が接続される。バッファ602は、クロック信号ICLKを増幅してクロック信号BCLKとして出力する。この回路の動作は、図7のタイミングチャートと同じである。クロック信号OCLK及びBCLKが互いに位相反転しているので、クロストーク及びEMIによる悪影響をより一層防止することができる。

【0028】(第3の実施形態)本発明の第3の実施形態による液晶表示装置は、図1及び図2に示す構成と基本的に同じであり、タイミング調整回路210a~210fの内部構成のみが異なる。以下、タイミング調整回路210bを例に説明する。

【0029】図8(A)及び(B)は、本実施形態によるタイミング調整回路210bの構成例を示す。ソースドライバのうち、偶数番目のソースドライバユニット107は図8(A)の構成を有し、奇数番目のソースドライバユニット107は図8(B)の構成を有する。

【0030】まず、図8(A)の偶数番目のソースドライバユニット107のタイミング調整回路210bの構成例を説明する。フリップフロップ801は、クロック端子CLKにクロック信号ICLKの線が接続され、入力端子Dに入力信号IRDTの線が接続され、出力端子Qに出力信号ORDTの線が接続される。ここで、フリップフロップ801は、クロック端子CLKに入力されるクロック信号ICLKの立ち下がりに同期して動作する。バッファ802は、入力端子にクロック信号ICLKの線が接続され、出力端子にクロック信号OCLKの線が接続される。

【0031】図9（A）は、図8（A）の回路の動作を説明するためのタイミングチャートである。フリップフロップ801は、クロック信号ICLKの立ち下がりエッジに同期して、入力信号IRDTを出力信号ORDTとして出力する。バッファ802は、クロック信号ICLKを同相で増幅してクロック信号OCLKとして出力する。

【0032】次に、図8（B）の奇数番目のソースドライバユニット107のタイミング調整回路210bの構成例を説明する。図8（B）の回路は、図8（A）のフリップフロップ801の代わりにフリップフロップ803を設けたものである。フリップフロップ803は、クロック端子CLKに入力されるクロック信号ICLKの立ち上がりエッジに同期して動作する。

【0033】図9（B）は、図8（B）の回路の動作を説明するためのタイミングチャートである。フリップフロップ803は、クロック信号ICLKの立ち上がりエッジに同期して、入力信号IRDTを出力信号ORDTとして出力する。バッファ802は、クロック信号ICLKを同相で増幅してクロック信号OCLKとして出力する。

【0034】偶数番目のソースドライバユニット107と奇数番目のソースドライバユニット107とは交互にカスケード接続される。図8（A）の偶数番目の回路は図9（A）に示すようにクロック信号ICLKの立ち下がりエッジに同期して動作し、図8（B）の奇数番目の回路は図9（B）に示すようにクロック信号ICLKの立ち上がりエッジに同期して動作する。その結果、偶数番目の回路の出力信号ORDT（図9（A））と奇数番目の回路の出力信号ORDT（図9（B））とは変化点がずれる。これにより、クロストーク及びEMIのピークが分散され、クロストーク及びEMIによる悪影響を防止することができる。

【0035】なお、図8（A）及び（B）に示すように、図3（C）と同様に、出力信号ORDTの遅延時間を調整するためのバッファ804を設けても良い。バッファ804は、入力端子にフリップフロップ801及び803の出力端子Qが接続され、出力端子に出力信号ORDTの線が接続される。また、バッファ802及び804の双方を削除してもよい。その場合、クロック信号ICLKの線は、クロック信号OCLKの線に直接接続される。また、図8（A）の偶数番目の回路のフリップフロップ801がクロック信号ICLKの立ち上がり同期して動作し、図8（B）の奇数番目の回路のフリップフロップ803がクロック信号ICLKの立ち下がり同期して動作するようにしてもよい。両者のフリップフロップが異なる方向のエッジに同期して動作すればよい。

【0036】ソースドライバユニット107をTAB106上に形成する場合は、すべてのソースドライバユニ

ット107を同じ構成にする必要がある。そこで、図8（A）の回路と図8（B）の回路とを切り替えるためのピンを設ける。ピンの位置に応じてハイレベル又はローレベルの制御信号が供給され、その制御信号に応じて図8（A）の回路又は図8（B）の回路に切り替えるようにすればよい。具体的には、制御信号に応じて、フリップフロップが立ち上がりエッジ又は立ち下がりエッジのいずれかに同期して動作するように切り替わる。なお、ソースドライバユニット107をTAB106上に形成する場合に限定されない。COG(chip on glass)により、図1のTFT基板101上に、ソースドライバユニット107を形成してもよい。ソースドライバユニット107は半導体チップであり、TFT基板はガラス基板である。

【0037】以上のように、第1及び第2の実施形態によれば、インバータが、入力クロック信号ICLKを反転して、次段のソースドライバユニットに出力クロック信号OCLKとして出力する。これにより、偶数番目のソースドライバユニットと奇数番目のソースドライバユニットとでは、クロック信号が反転している。これらの非反転クロック信号と反転クロック信号は、互いに相殺され、クロストーク及び／又はEMIの悪影響を防止することができる。また、偶数番目のソースドライバユニットと奇数番目のソースドライバユニットとでは、出力信号ORDTの時間的変化点が異なる。これにより、出力信号の変化点が時間的に分散され、クロストーク及び／又はEMIの悪影響を防止することができる。

【0038】第3の実施形態によれば、偶数番目のソースドライバユニットはクロック信号ICLKの立ち下がりエッジ又は立ち上がりエッジのいずれかに同期して動作し、奇数番目のソースドライバユニットはそれとは異なるクロック信号ICLKの立ち上がりエッジ又は立ち下がりエッジのいずれかに同期して動作する。その結果、偶数番目及び奇数番目のソースドライバユニットの出力信号ORDTは互いに変化点がずれる。これにより、クロストーク及びEMIのピークが分散され、クロストーク及びEMIによる悪影響を防止することができる。

【0039】上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0040】本発明の実施形態は、例えば以下のように種々の適用が可能である。

（付記1）ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板と、前記複数のトランジスタのゲート

駆動するためのゲートドライバと、複数のソースドライバユニットがカスケード接続され、前記複数のトランジスタのソースを駆動するためのソースドライバとを有し、前記各ソースドライバユニットは、前段のソースドライバユニット又は外部から入力されるクロック信号の線がクロック端子に接続され、前段のソースドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、前記前段のソースドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のソースドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有する液晶表示装置。

(付記2) さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する付記1記載の液晶表示装置。

(付記3) さらに、前記インバータが出力する反転クロック信号を次段のソースドライバユニット又は外部に出力するための第1の出力線と、前記前段のソースドライバユニット又は外部から入力するクロック信号の非反転クロック信号を次段のソースドライバユニット又は外部に出力するための第2の出力線とを有し、前記フリップフロップは、前段のソースドライバユニットの第1の出力線又は外部から入力されるクロック信号の線がクロック端子に接続される付記1記載の液晶表示装置。

(付記4) 前記フリップフロップの入力端子には表示データ又は制御信号が入力される付記1記載の液晶表示装置。

(付記5) 複数のドライバユニットがカスケード接続される液晶表示装置のドライバであって、前記各ドライバユニットは、前段のドライバユニット又は外部から入力されるクロック信号の線がクロック端子に接続され、前段のドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、前記前段のドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有する液晶表示装置のドライバ。

(付記6) さらに、前記フリップフロップの出力端子が

入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する付記5記載の液晶表示装置のドライバ。

(付記7) さらに、前記インバータが出力する反転クロック信号を次段のドライバユニット又は外部に出力するための第1の出力線と、前記前段のドライバユニット又は外部から入力するクロック信号の非反転クロック信号を次段のドライバユニット又は外部に出力するための第2の出力線とを有し、前記フリップフロップは、前段のドライバユニットの第1の出力線又は外部から入力されるクロック信号の線がクロック端子に接続される付記5記載の液晶表示装置のドライバ。

(付記8) 前記フリップフロップの入力端子には表示データ又は制御信号が入力される付記5記載の液晶表示装置のドライバ。

(付記9) ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板と、前記複数のトランジスタのゲートを駆動するためのゲートドライバと、複数のソースドライバユニットがカスケード接続され、前記複数のトランジスタのソースを駆動するためのソースドライバとを有し、前記各ソースドライバユニットは、前記前段のソースドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のソースドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記インバータの出力端子がクロック端子に接続され、前段のソースドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有する液晶表示装置。

(付記10) さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する付記9記載の液晶表示装置。

(付記11) さらに、前記インバータが出力する反転クロック信号を次段のソースドライバユニット又は外部に出力するための第1の出力線と、前記前段のソースドライバユニット又は外部から入力するクロック信号の非反転クロック信号を次段のソースドライバユニット又は外部に出力するための第2の出力線とを有し、前記フリップフロップは、前段のソースドライバユニットの第1の出力線又は外部から入力されるクロック信号の線がクロック端子に接続される付記9記載の液晶表示装置。

(付記 12) 前記フリップフロップの入力端子には表示データ又は制御信号が入力される付記 9 記載の液晶表示装置。

(付記 13) 複数のドライバユニットがカスケード接続される液晶表示装置のドライバであって、前記各ドライバユニットは、前記前段のドライバユニット又は外部から入力されるクロック信号の線が入力端子に接続され、次段のドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続されるインバータと、前記インバータの出力端子がクロック端子に接続され、前段のドライバユニット又は外部から入力される入力信号の線が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続されるフリップフロップと、前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有する液晶表示装置のドライバ。

(付記 14) さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する付記 13 記載の液晶表示装置のドライバ。

(付記 15) さらに、前記インバータが出力する反転クロック信号を次段のドライバユニット又は外部に出力するための第 1 の出力線と、前記前段のドライバユニット又は外部から入力するクロック信号の非反転クロック信号を次段のドライバユニット又は外部に出力するための第 2 の出力線とを有し、前記フリップフロップは、前段のドライバユニットの第 1 の出力線又は外部から入力されるクロック信号の線がクロック端子に接続される付記 13 記載の液晶表示装置のドライバ。

(付記 16) 前記フリップフロップの入力端子には表示データ又は制御信号が入力される付記 13 記載の液晶表示装置のドライバ。

(付記 17) ゲート、ソース及びドレインを含む複数のトランジスタを有するトランジスタ基板と、共通電極を含み、液晶を介して前記トランジスタ基板に対向して設けられる共通基板と、前記複数のトランジスタのゲートを駆動するためのゲートドライバと、複数のソースドライバユニットがカスケード接続され、前記複数のトランジスタのソースを駆動するためのソースドライバとを有し、前記ソースドライバ内の偶数番目のソースドライバユニットは、前段のソースドライバユニット又は外部から入力されるクロック信号の立ち上がりエッジ又は立ち下がりエッジのいずれかのエッジに同期して、前段のソースドライバユニット又は外部から入力される入力信号に応じて、次段のソースドライバユニット又は外部に出力信号を出力するためのフリップフロップと、前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタの

ソースに信号を出力するための出力回路とを有し、前記ソースドライバ内の奇数番目のソースドライバユニットは、前段のソースドライバユニット又は外部から入力されるクロック信号の立ち下がりエッジ又は立ち上がりエッジのいずれかのエッジであって、前記偶数番目のソースドライバユニットのフリップフロップとは異なるエッジに同期して、前段のソースドライバユニット又は外部から入力される入力信号に応じて、次段のソースドライバユニット又は外部に出力信号を出力するためのフリップフロップと、前記前段のソースドライバユニット又は外部から入力される入力信号に応じて、前記トランジスタ基板のトランジスタのソースに信号を出力するための出力回路とを有する液晶表示装置。

(付記 18) さらに、前記前段のソースドライバユニット又は外部から入力するクロック信号の線が入力端子に接続され、次段のソースドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続される増幅用バッファを有する付記 17 記載の液晶表示装置。

(付記 19) さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のソースドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整用バッファを有する付記 18 記載の液晶表示装置。

(付記 20) 前記フリップフロップの入力端子には表示データ又は制御信号が入力される付記 17 記載の液晶表示装置。

(付記 21) 偶数番目及び奇数番目のドライバユニットが交互にカスケード接続される液晶表示装置のドライバであって、前記偶数番目のドライバユニットは、前段のドライバユニット又は外部から入力されるクロック信号の立ち上がりエッジ又は立ち下がりエッジのいずれかのエッジに同期して、前段のドライバユニット又は外部から入力される入力信号に応じて、次段のドライバユニット又は外部に出力信号を出力するためのフリップフロップと、前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有し、前記奇数番目のドライバユニットは、前段のドライバユニット又は外部から入力されるクロック信号の立ち下がりエッジ又は立ち上がりエッジのいずれかのエッジであって、前記偶数番目のドライバユニットのフリップフロップとは異なるエッジに同期して、前段のドライバユニット又は外部から入力される入力信号に応じて、次段のドライバユニット又は外部に出力信号を出力するためのフリップフロップと、前記前段のドライバユニット又は外部から入力される入力信号に応じて、液晶表示装置の駆動素子に信号を出力するための出力回路とを有する液晶表示装置のドライバ。

(付記 22) さらに、前記前段のドライバユニット又は外部から入力するクロック信号の線が入力端子に接続さ

れ、次段のドライバユニット又は外部にクロック信号を出力するための線が出力端子に接続される増幅用バッファを有する付記21記載の液晶表示装置のドライバ。

(付記23)さらに、前記フリップフロップの出力端子が入力端子に接続され、次段のドライバユニット又は外部に出力信号を出力するための線が出力端子に接続される遅延時間調整のためのバッファを有する付記22記載の液晶表示装置のドライバ。

(付記24)前記フリップフロップの入力端子には表示データ又は制御信号が入力される付記21記載の液晶表示装置のドライバ。

【0041】

【発明の効果】以上説明したように、インバータは、入力クロック信号を反転して、次段のソースドライバユニットに出力する。これにより、偶数番目のソースドライバユニットと奇数番目のソースドライバユニットとでは、クロック信号が反転している。これらの非反転クロック信号と反転クロック信号は、互いに相殺され、クロストーク及び／又はEMIの悪影響を防止することができる。また、偶数番目のソースドライバユニットと奇数番目のソースドライバユニットとでは、フリップフロップが相互に反転したクロック信号に同期して動作するので、出力信号の変化点が異なる。これにより、出力信号の時間的变化点が分散され、クロストーク及び／又はEMIの悪影響を防止することができる。

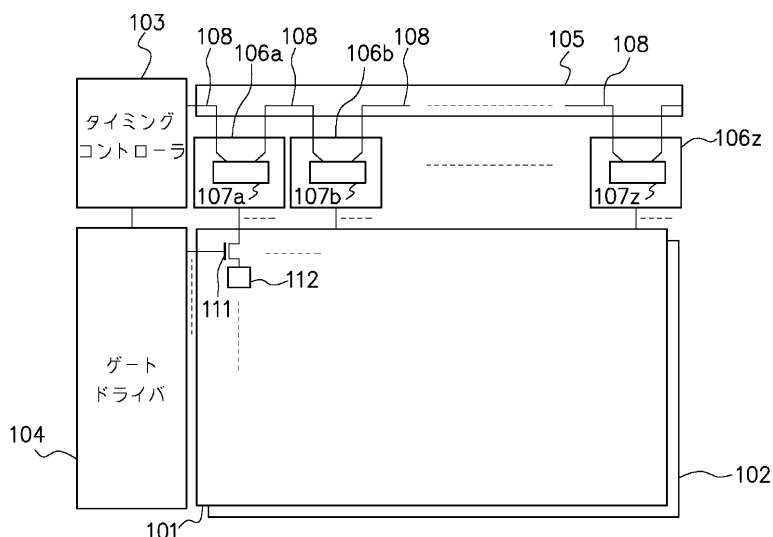
【図面の簡単な説明】

【図1】本発明の第1の実施形態による液晶表示装置の構成を示すブロック図である。

【図2】ソースドライバユニットの構成を示すブロック図である。

【図3】図3(A)～(C)は第1の実施形態によるタイミング調整回路の構成例を示す回路図である。

【図1】



【図4】図3(A)のタイミング調整回路の動作を説明するためのタイミングチャートである。

【図5】図3(A)のタイミング調整回路の効果の説明するための参考タイミングチャートである。

【図6】図6(A)及び(B)は本発明の第2の実施形態によるタイミング調整回路の構成例を示す回路図である。

【図7】図6(A)のタイミング調整回路の動作を説明するためのタイミングチャートである。

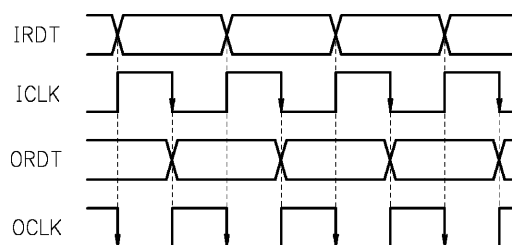
【図8】図8(A)及び(B)は本発明の第3の実施形態によるタイミング調整回路の構成例を示す回路図である。

【図9】図9(A)及び(B)は図8(A)及び(B)のタイミング調整回路の動作を説明するためのタイミングチャートである。

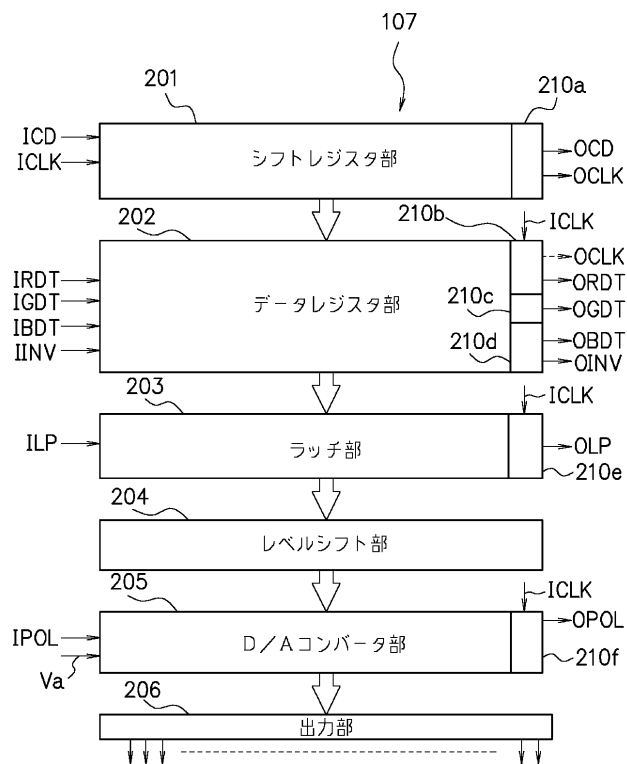
【符号の説明】

- 101 TFT基板
- 102 共通基板
- 103 タイミングコントローラ
- 104 ゲートドライバ
- 105 プリント基板
- 106a～106z TAB
- 107a～107z ソースドライバユニット
- 108 配線
- 111 MOSトランジスタ
- 112 画素電極
- 201 シフトレジスタ部
- 202 データレジスタ部
- 203 ラッチ部
- 204 レベルシフト部
- 205 D/Aコンバータ部
- 206 出力部

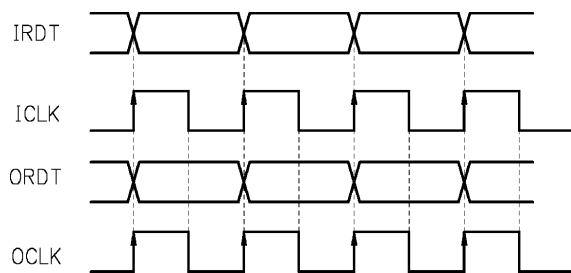
【図4】



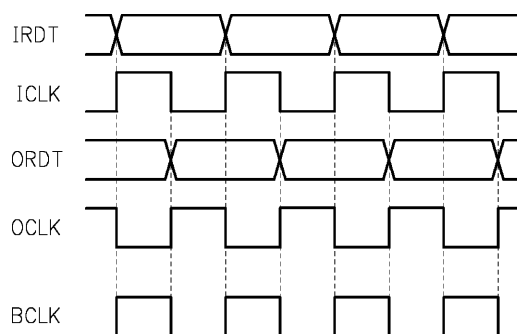
【図2】



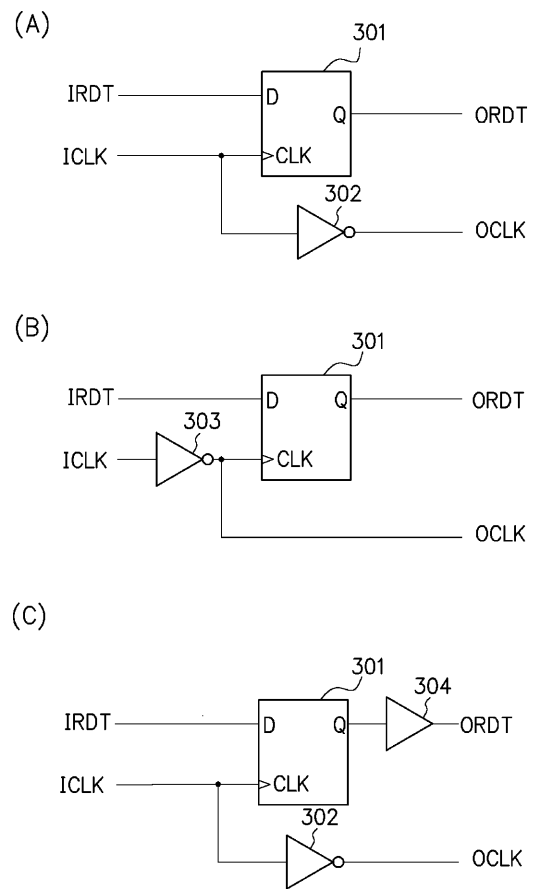
【図5】



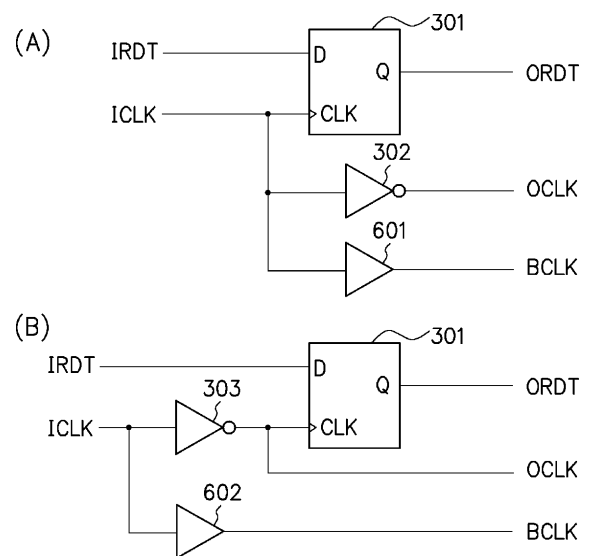
【図7】



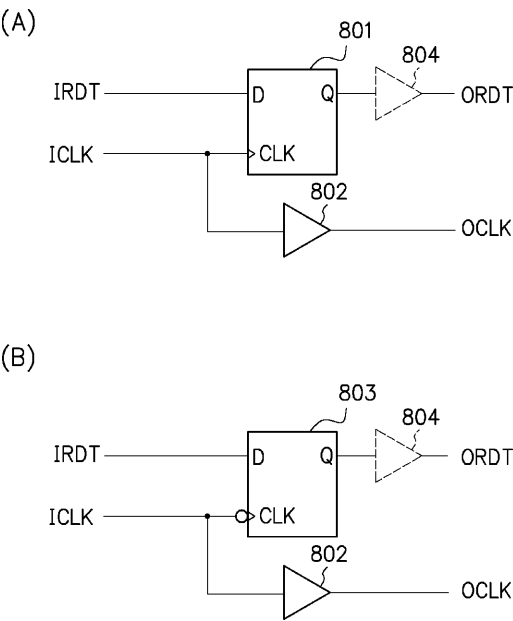
【図3】



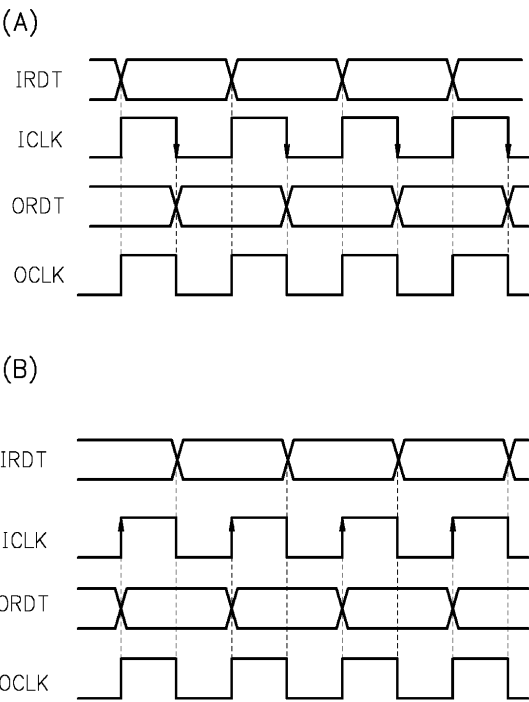
【図6】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. ⁷ G 0 9 G 3/20	識別記号 6 2 3 6 8 0	F I G 0 9 G 3/20	テーマコード* (参考)			
			6 2 3 R	6 8 0 G		
(72)発明者 福德 章一 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内	(72)発明者 平木 克良 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内	F ターム(参考)	2H093	NA16	NC22	NC24
				NC26	NC34	ND15
				ND40	NE07	
			5C006	AC21	AF71	AF72
				BB16	BC02	BC12
				BF06	BF07	BF26
				BF27	EB05	FA25
				FA32		
			5C080	AA10	BB05	DD10
				DD12	DD25	FF11
				JJ02	JJ04	JJ06
				KK02		

专利名称(译)	液晶显示装置及其驱动器		
公开(公告)号	JP2003295836A	公开(公告)日	2003-10-15
申请号	JP2002096903	申请日	2002-03-29
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
[标]发明人	関戸哲 福德章一 平木克良		
发明人	関戸 哲 福德 章一 平木 克良		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/20 G09G2300/0426 G09G2310/027 G09G2310/08 G09G2320/0209 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.C G09G3/20.611.D G09G3/20.621.M G09G3/20.623.R G09G3/20.680.G		
F-TERM分类号	2H093/NA16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/ND15 2H093/ND40 2H093/NE07 5C006/AC21 5C006/AF71 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BF06 5C006/BF07 5C006/BF26 5C006/BF27 5C006/EB05 5C006/FA25 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD10 5C080/DD12 5C080/DD25 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK02 2H193/ZA04		
代理人(译)	横山纯一		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，以防止由于串扰和/或EMI引起的不利影响。一种晶体管基板（101），其具有包括栅极，源极和漏极的多个晶体管；公共基板（102），所述公共基板（102）包括公共电极并且被设置为经由液晶面对所述晶体管基板，本发明提供一种液晶显示装置，其具有：栅极驱动器（104），其用于驱动晶体管的栅极；以及多个源极驱动器单元（107a～107z），其级联连接；以及源极驱动器，其用于驱动多个晶体管的源极。有待完成。每个源极驱动器单元具有与时钟信号同步操作的触发器，以及将时钟信号反相并将其输出到下一级的源极驱动器单元的反相器。

