

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	612	612 F	
		612 G	

審査請求 未請求 請求項の数 1 O L (全 10数) 最終頁に続く

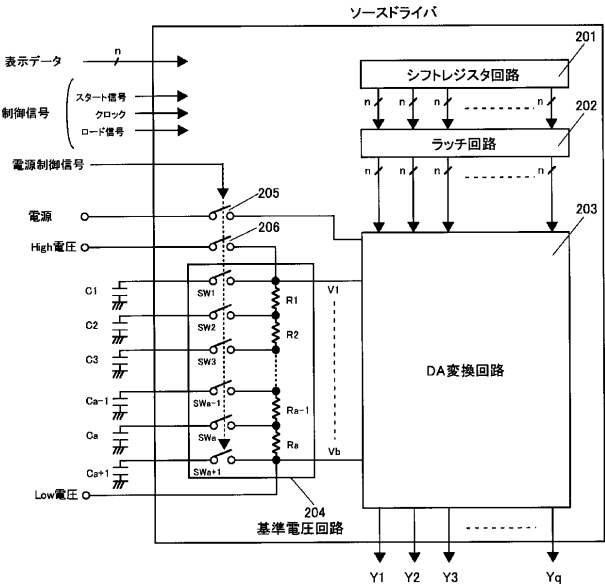
(21)出願番号	特願2002 - 11349(P2002 - 11349)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成14年1月21日(2002.1.21)	(72)発明者	福田 大 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	塚田 敬 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	100097445 弁理士 岩橋 文雄 (外 2 名)
		最終頁に続く	

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 ソースドライバの動作を停止するときに画質を低下させずに省電力化を図ること。

【解決手段】 マトリックス状に形成された複数の画素電極を持つ液晶パネルと、ゲートドライバと、ソースドライバと、ゲートドライバとソースドライバへの制御信号と表示データを供給する信号処理回路を備えた液晶表示装置であり、ソースドライバが動作不要なときに、表示データに応じたアナログ電圧値を出力するD A変換回路と、D A変換回路の基準電圧を与える基準電圧回路との動作を停止させると同時に、基準電圧回路内のスイッチを切ることによって基準電圧を安定化させる容量の電荷を保持し、基準電圧回路のオンオフによる安定化容量の充放電を無くすることが可能な構成とする。



【特許請求の範囲】

【請求項 1】マトリックス状に形成されたゲート電極およびソース電極を介して各液晶画素に画素信号を与える複数のスイッチングトランジスタを有する液晶表示パネルと、

前記ゲート電極にゲート信号を出力するゲートドライバと、

表示データを入力し、前記ソース電極に前記画素信号を出力するソースドライバと、

前記ゲートドライバに選択制御信号を与え、前記ソースドライバに動作制御信号および前記表示データを供給する信号処理回路と、を具備する液晶表示装置であって、前記ソースドライバは、

前記表示データを前記液晶画素への印加電圧であるアナログ電圧値に変換して前記画素電極に出力する D/A 変換回路と、2 種類の電圧を抵抗分割して前記 D/A 変換回路に複数の基準電圧を供給する基準電圧回路と、前記 D/A 変換回路への電源供給及び停止を制御する第 1 のスイッチと、前記基準電圧回路への電圧供給及び停止を制御する第 2 のスイッチと、を有し、

前記基準電圧回路の複数の前記基準電圧を複数のスイッチで構成される第 3 のスイッチ群を介して安定化容量で安定化させるとともに、前記第 1 のスイッチおよび前記第 2 のスイッチの制御と同期して前記第 3 のスイッチ群を制御する液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は消費電力を低減する液晶表示装置に関する。

【0002】

【従来の技術】近年、カラー動画像等を表示する携帯端末用の表示装置として、高視野角化と高精細化による画質の向上及び応答速度の短縮の点から、アクティブマトリックス型の液晶表示装置が用いられている。

【0003】図 3 は従来例のアクティブマトリックス型の液晶表示装置の構成図である。この図を用いて従来例の液晶表示装置の構成と動作について説明する。液晶パネル 1 はアクティブマトリックス型の液晶パネルであり、画素電極 10、走査信号線 11、データ信号線 12、スイッチング素子 13、対向電極 14 を有している。

【0004】画素電極 10 は行方向と列方向に対してマトリックス状に配置された電極である。走査信号線 11 は同一行方向の画素を選択する走査信号線であり、液晶パネルの列方向に沿って p 本設けられているとする。データ信号線 12 は同一列方向の画素に表示データに応じた印加電圧を伝達するデータ信号線であり、液晶パネルの行方向に沿って q 本設けられているとする。スイッチング素子 13 は走査信号によりデータ信号線のデータを液晶セルの画素に伝えるスイッチング素子で、例えば T

FT で構成される。対向電極 14 は各液晶セルの共通電圧を供給するための電極である。画素電極 10 と対向電極 14 の間に液晶セルを挟んでいる。1 組の画素電極 10 と対向電極 14 と間に挟む液晶セルを画素と呼ぶ。

【0005】液晶セルは画素電極 10 と対向電極 14 間の印加電圧によって、光を通す量を調節するシャッターの役目を果たす。画素を規則的に RGB に割り当て、対向電極 14 側に RGB のカラーフィルタを設ければ、人間の目には、RGB の光が合成されてカラー画像が認識される。画素の RGB 配列に基づき、データ線 12 に RGB データを割り当てる。

【0006】ゲートドライバ 2 は、液晶パネル 1 内の p 本の走査信号線 11 に走査信号 X1, X2, …, Xp を順次印加する回路である。ソースドライバ 3 は液晶パネル 1 内のデータ信号線 12 に表示データに応じた印加電圧を生成し、この電圧を画素信号 Y1, Y2, …, Yq として出力する回路である。信号処理回路 4 は外部から映像信号を入力し、ソースドライバ 3 に対して表示データを出力すると共に、ゲートドライバ 2 及びソースドライバ 3 に制御信号を出力する回路である。

【0007】次に液晶パネル 1 に画像を表示する動作について説明する。液晶パネル 1 の全画面に表示データを書き込む期間を 1 垂直期間、1 走査線に走査信号を出力している期間を 1 水平期間とする。図 4 に 1 垂直期間の動作タイミング図を、図 5 に 1 水平期間の動作タイミング図を示す。

【0008】信号処理回路 4 はゲートドライバ 2 の制御信号として、スタート信号、動作クロックを出力する。ゲートドライバ 2 はスタート信号を受け取ると、動作クロックに同期して、X1, X2, …, Xp の走査信号を p 本の走査信号線 11 に順次出力する。ある走査信号線 11 に走査信号が印加されると、その走査信号線に接続されたスイッチング素子 13 はオン状態となり、Y1, Y2, …, Yq の各データ線 12 の電圧が各列の画素電極 10 に書き込まれる。

【0009】一方、信号処理回路 4 はソースドライバ 3 の制御信号として、スタート信号、動作クロック、ロード信号を出力する。ソースドライバ 3 はスタート信号と動作クロックにより任意の走査行の各画素に印加するデータを順次書き込み、ロード信号により出力する。

【0010】ソースドライバ 3 がサンプルホールド型の場合、ある行の走査信号線 11 に走査信号が印加されているときにその画素への印加電圧値を出力するためには、信号処理回路 4 はその走査信号線 11 を走査する 1 水平期間前に、各画素への表示データをソースドライバ 3 に書き込めばよい。

【0011】次に、ソースドライバ 3 の内部構成例を図 6 に示す。本図に示すようにソースドライバ 3 はシフトレジスタ回路 20、ラッチ回路 21、D/A 変換回路 22、基準電圧回路 23 を有している。シフトレジスタ回

路 20 は、各列の画素電極 10 への表示データを画素列の数 (q) だけ入力し、順次シフトして記憶する回路である。ラッチ回路 21 は、走査信号線 11 に走査信号が印加されてスイッチング素子 13 がオン状態の間、各列の画素電極 10 への表示データを記憶しておく回路である。信号処理回路 4 から与えられる表示データは n ビットであり、シフトレジスタ回路 20 とラッチ回路 21 は n ビットのデータを記憶する。D/A 変換回路 22 は、ラッチ回路 21 に記憶されている各列の画素への表示データを画素電極 10 への印加電圧に変換してデータ信号線 12 に出力する回路である。V1, V2, ..., Vb は D/A 変換回路 22 で参照する基準電圧である。

【0012】シフトレジスタ回路 20 は制御信号に含まれるスタート信号及びクロック信号を用いて走査行の各画素への表示データを順次記憶する。次にラッチ回路 21 は制御信号に含まれるロード信号により、シフトレジスタ回路 20 に記憶している表示データをラッチし、D/A 変換回路 22 に出力する。その間、シフトレジスタ回路 20 は次の走査行の表示データを順次記憶する。D/A 変換回路 22 は各列の n ビットの表示データに応じた画素電極 10 への印加電圧を、基準電圧 V1, V2, ..., Vb から選択して、アナログ電圧としてデータ信号線 12 に出力する。

【0013】基準電圧回路 23 は D/A 変換回路 22 で参照する基準電圧 V1, V2, ..., Vb を発生する回路である。基準電圧 V1, V2, ..., Vb は、D/A 変換回路 22 で表示データに応じて選択されて出力されるので、液晶パネル 1 の輝度 (表示色) に、直接、影響を与える。

【0014】従って、基準電圧回路 23 は、V1, V2, ..., Vb を液晶パネル 1 の特性に応じて、柔軟に変更でき、かつ、安定した電圧を D/A 変換回路に供給できるような構成が好ましい。基準電圧変換回路 23 は、通常、1 本の抵抗を、液晶パネル 1 内の画素電極 10 の印加電圧と透過率との代表的な関係、あるいは、中間的な関係を示す比に分割した回路で構成される。

【0015】基準電圧回路 23 を抵抗分割回路で構成した場合、基準電圧回路 23 には、外部から、基準電圧 V1, V2, ..., Vb で必要とする最大電圧 (High 電圧)、最小電圧 (Low 電圧) を供給する。基準電圧回路 23 の内部電圧、あるいは、外部供給電圧を安定させるためには、外部に電圧安定化容量を設ける。図 6 では 1 本の抵抗を a 個の抵抗 R1, R2, ..., Ra に分割し、抵抗の分割部分にそれぞれ、安定化容量 C1, C2, ..., Ca+1 を付加している。さらに、抵抗 R1, R2, ..., Ra をそれぞれ、さらに細かく分け、その中間電位を基準電位 V1, V2, ..., Vb に割り当てている。

【0016】

【発明が解決しようとする課題】アクティブマトリック

ス型の液晶表示装置では、ソースドライバの消費電力が液晶表示装置の消費電力の数分の 1 から 2 分の 1 程度を占める。携帯情報端末への使用を想定した場合、端末の使用可能時間を増やすためには、特に、ソースドライバの消費電力を削減する必要がある。

【0017】ソースドライバの消費電力を削減するための 1 つの手段として、1 水平期間中で画素への書き込みの必要のない期間 (水平ブランキング期間)、及び、1 垂直期間中の空き期間 (垂直ブランキング期間) に D/A 変換回路 22 への電源供給を止めて、ソースドライバ 3 の出力を停止させる方法がある。このとき、基準電圧 V1, V2, ..., Vb は供給する必要がないので、基準電圧回路 23 への電圧供給も止めることができる。

【0018】しかしながら、基準電圧回路 23 を抵抗分割回路で構成し、基準電圧回路 23 の抵抗 R1, R2, ..., Ra の中間電圧に電圧安定化容量を設けている場合、安定化容量 C1, C2, ..., Ca+1 に充電されている電荷は、V ブランキング期間に、基準電圧回路 23 内部の抵抗を通して抜けてしまう。表示開始時には基準電圧 V1, V2, ..., Vb は安定している必要があるため、D/A 変換回路 22 と基準電圧回路 23 の電源をオンオフする度に、安定化容量 C1, C2, ..., Ca+1 が充放電し、消費電力を無駄にしていた。

【0019】また、D/A 変換回路 22 と基準電圧回路 23 への電圧供給オフ期間は、供給安定化容量 C1, C2, ..., Cb の電荷が安定するまでの時間を考慮して決める必要があり、電圧供給時間が必要以上に長くなっていた。

【0020】本発明は、このような従来の問題点に鑑みてなされたものであって、基準電圧回路 23 に抵抗分割回路を使用し、中間電圧に電圧安定化容量を付加した構成をとり、かつ、表示無効期間に基準電圧回路 23 の電圧供給を止める場合に、高画質かつ、低消費電力を両立させる液晶表示装置を提供することを目的とする。

【0021】

【発明を解決するための手段】上記の課題を解決するために本発明が講じた解決手段は、マトリックス状に形成された複数の画素電極を持つ液晶パネルと、ゲートドライバと、ソースドライバと、ゲートドライバとソースドライバへの制御信号と表示データを供給する信号処理回路を備えた液晶表示装置であり、ソースドライバが動作不要なときに、表示データに応じたアナログ電圧値を出力する D/A 変換回路と、D/A 変換回路の基準電圧を与える基準電圧回路との動作を停止させると同時に、基準電圧回路内のスイッチを切ることによって基準電圧を安定化させる容量の電荷を保持し、基準電圧回路のオンオフによる安定化容量の充放電を無くすることが可能な構成とする。

【0022】

【発明の実施の形態】本発明の請求項 1 記載の液晶表示装置は、マトリックス状に形成されたゲート電極および

ソース電極を介して各液晶画素に画素信号を与える複数のスイッチングトランジスタを有する液晶表示パネルと、前記ゲート電極にゲート信号を出力するゲートドライバと、表示データを入力し、前記ソース電極に前記画素信号を出力するソースドライバと、前記ゲートドライバに選択制御信号を与え、前記ソースドライバに動作制御信号および前記表示データを供給する信号処理回路と、を具備する液晶表示装置であって、前記ソースドライバは、前記表示データを前記液晶画素への印加電圧であるアナログ電圧値に変換して前記画素電極に出力する D A 変換回路と、2 種類の電圧を抵抗分割して前記 D A 変換回路に複数の基準電圧を供給する基準電圧回路と、前記 D A 変換回路への電源供給及び停止を制御する第 1 のスイッチと、前記基準電圧回路への電圧供給及び停止を制御する第 2 のスイッチと、を有し、前記基準電圧回路の複数の前記基準電圧を複数のスイッチで構成される第 3 のスイッチ群を介して安定化容量で安定化させるとともに、前記第 1 のスイッチおよび前記第 2 のスイッチの制御と同期して前記第 3 のスイッチ群を制御することを特徴とする。

【0023】(実施の形態 1) 本発明の実施の形態における液晶表示装置について、図面を参照しつつ説明する。本発明の液晶表示装置の構成と動作は基本的には従来例と同じであり、ソースドライバの制御と内部動作が従来例と異なる。

【0024】本発明の液晶表示装置のソースドライバの 1 つの回路構成例を図 1 に示す。本図に示すようにソースドライバ 103 は、シフトレジスタ回路 201、ラッチ回路 202、D A 変換回路 203、基準電圧発生回路 204、及びスイッチ回路 205、206 を含んで構成 30 される。

【0025】基準電圧回路 204 は、a 個に分割された抵抗 $R_1, R_2, \dots, R_a$ と $(a+1)$ 個のスイッチ群であるスイッチ $SW_1, SW_2, \dots, SW_a, SW_{a+1}$ で構成される。抵抗 R_1 の一方の端、抵抗 R_1 と抵抗 R_2 の結合部分、抵抗 R_2 と抵抗 R_3 の結合部分、 $\dots$ 、抵抗 R_{a-1} と抵抗 R_a の結合部分、及び抵抗 R_a のもう一方の端は、それぞれスイッチ $SW_1, SW_2, \dots, SW_{a+1}$ を介して、外部の安定化容量 $C_1, C_2, \dots, C_a, C_{a+1}$ が接続されてい 40 る。また、抵抗 R_1 にはスイッチ 206 を介して液晶パネル内の画素への印加電圧の最大電圧値 (High 電圧) が、抵抗 R_a には液晶パネル内の画素への印加電圧の最小電圧 (Low 電圧) が供給されている。

【0026】 $V_1, V_2, \dots, V_b$ は D A 変換回路 203 で参照する基準電圧であり、D A 変換回路 203 は表示データに応じて基準電圧 $V_1, V_2, \dots, V_b$ から出力電圧値を選択して液晶パネル内の画素への印加電圧として出力する。基準電圧 $V_1, V_2, \dots, V_b$ は、通常、抵抗 $R_1, R_2, \dots, R_a$ をさらに 50

細かく分割した点の中間電位として、D A 変換回路 203 に供給される。 $V_1, V_2, \dots, V_b$ は液晶パネルの画素の印加電圧と画素の透過率との関係から決定される。

【0027】例えば、 $a=8, b=64$ とすると、8 個の抵抗 $R_1, R_2, \dots, R_8$ のそれぞれをさらに 8 分割して、その中間電位を $V_1, V_2, \dots, V_{64}$ とする。D A 変換回路 203 には 64 個の基準電圧 $V_1, V_2, \dots, V_{64}$ が供給される。この場合、RGB それぞれ 64 階調の色を表示でき、従って、液晶パネルの表示色は $64 \times 64 \times 64$ 色となる。

【0028】表示データは、液晶パネルの画素への印加電圧の元データであり、n ビットデータとする。制御信号はソースドライバの動作を制御する信号であり、スタート信号、クロック信号、およびロード信号を含んでいる。電源制御信号はスイッチ 205、スイッチ 206、及び基準電圧 204 の内部スイッチ群の動作を制御する。

【0029】シフトレジスタ回路 201 は、1 画素 n ビットのデータを q 個の画素数だけ順次シフトして記憶し、q 個パラレルに出力する。ラッチ回路 202 は、ロード信号によってシフトレジスタ回路 201 から n ビットデータを q 画素分同時に取り込み、液晶パネルの 1 走査期間、各列の画素に対する表示データを保持する。D A 変換回路 203 は、ラッチ回路 202 に保持されている各列の画素への n ビットの表示データをアナログ電圧に変換し、各列における画素信号 $Y_1, Y_2, Y_3, \dots, Y_q$ としてデータ信号線に出力する回路である。

【0030】基準電圧回路 204 は、D A 変換回路 203 で参照する基準電圧 $V_1, V_2, \dots, V_b$ を供給する回路である。D A 変換回路 203 は、ラッチ回路 202 に保持された n ビット表示データに応じて、基準電圧 $V_1, V_2, \dots, V_b$ からいずれかの電圧を選択して、アナログ電圧としてデータ信号線に出力する。基準電圧 $V_1, V_2, \dots, V_b$ は液晶パネル内の画素への印加電圧と光の透過率の関係、および、表示色数から決定される。

【0031】スイッチ回路 205 は D A 変換回路 203 への電源を供給するか止めるかの切り替えスイッチであり、スイッチ 206 は基準電圧回路 204 への電源を供給するか止めるかの切り替えスイッチである。

【0032】図 2 に本発明の液晶表示装置の構成図を示す。液晶パネル 101 はアクティブマトリックス型の液晶パネルであり、 $p \times q$ 個の画素電極 110、p 本の走査信号線 111、q 本のデータ信号線 112、 $p \times q$ 個のスイッチング素子 113、共通の対向電極 114 を有し、液晶セルの電荷蓄積効果を用いて、マトリクス位置に配置された $p \times q$ の液晶セルの光学特性を独立に制御する。

【0033】ゲートドライバ 102 は液晶パネル 101

内の p 本の走査信号線 111 に走査信号 $X_1, X_2, \dots, X_p$ を順次印加する回路である。ソースドライバ 103 は液晶パネル 101 内のデータ信号線 112 に表示データに応じた印加電圧を生成し、この電圧を画素信号 $Y_1, Y_2, \dots, Y_q$ として出力する回路である。信号処理回路 104 は外部から映像信号を入力し、ソースドライバ 103 に対して表示データ 122 を出力すると共に、制御信号 121 及び電源制御信号 123 を出力する回路である。また、信号処理回路 104 はゲートドライバ 102 に対し動作クロック及びスタート信号 10

を含む制御信号 120 も出力する。
【0034】制御信号 120 はゲートドライバ 102 の動作を制御する。制御信号 121 はソースドライバ 103 の動作を制御する。電源制御信号 123 は DA 変換回路 203 及び基準電圧回路 204 への電源供給を行うか止めるかを切り替えるとともに、基準電圧回路 204 内部のスイッチのオンオフを制御する。

【0035】液晶表示パネル 101 への画像表示について、図 1 及び図 2 を用いて説明する。図 2 の信号処理回路 104 はゲートドライバ 102 に対して制御信号 12 20 を出力し、液晶パネル 101 の任意の行の走査信号線 111 に走査信号を印加する。すると、その行のスイッチング素子 113 はオン状態となり、各列のデータ信号線 112 と画素電極 110 とが導通する。予め信号処理回路 104 は、走査信号を供給している行の各列の画素に表示データ 122 をソースドライバ 103 に供給しておく。ソースドライバ 103 はスイッチング素子 113 がオン状態となっている間、表示データを画素信号 $Y_1, Y_2, \dots, Y_q$ に変換して出力する。そして、信号処理回路 104 は、例えば液晶パネル 101 の最上 30 行 (X_i) から最下行 (X_p) にかけて順次走査を行うことで、全画面に情報を表示する。

【0036】図 1 のソースドライバ 103 に入力された各走査行の各列の画素への表示データは、シフトレジスタ回路 201 で、制御信号 121 に含まれるスタート信号とクロック信号を用いて順次記憶する。次にラッチ回路 202 は制御信号 121 に含まれるロード信号により、シフトレジスタ回路 201 に記憶している表示データを一時保持し、DA 変換回路 203 に出力する。その間、シフトレジスタ回路 201 は次の走査行の表示データ 40 を順次記憶する。DA 変換回路 203 は、基準電圧回路 204 の出力する液晶セルの特性に応じた基準電圧 $V_1, V_2, \dots, V_b$ を用いて、各画素への n ビットの表示データをアナログ電圧に変換し、画素信号 $Y_1, Y_2, \dots, Y_q$ として出力する。

【0037】ここで、ソースドライバの消費電力を低減するために、ソースドライバの出力が不要な期間にソースドライバの出力動作を停止する場合を考える。例えば、1 水平期間内に液晶パネル内の画素 110 に十分に電荷が充電ができれば、1 水平期間内の充電完了後の残

りの期間はソースドライバ 103 の出力を停止させることができる。また、1 垂直期間内にいずれの走査線 111 も走査していない期間があれば、その期間はソースドライバの動作を停止させることができる。

【0038】1 水平走査期間内あるいは 1 垂直走査期間内でソースドライバの出力が不必要なとき、信号処理回路 104 は電源制御信号 123 を制御して DA 変換回路 203 だけでなく、基準電圧回路 206 への電源供給も止め、DA 変換回路 203 と基準電圧回路 206 の動作を停止させる。

【0039】スイッチ 206 をオフさせて基準電圧回路 204 の動作を停止させるとき、もし、スイッチ $SW_1, SW_2, \dots, SW_{a+1}$ が無く、抵抗 $R_1, R_2, \dots, R_a$ と安定化容量 $C_1, C_2, \dots, C_{a+1}$ が接続されたままとすると、安定化容量 $C_1, C_2, \dots, C_a, C_{a+1}$ および Low 電圧が抵抗を介して接続されたままであり、抵抗を通じて電荷の放電が起こる。スイッチ 206 のオフ期間が抵抗 $R_1, R_2, \dots, R_a$ と安定化容量 $C_1, C_2, \dots, C_{a+1}$ から定まる時定数に比べて長ければ、基準電圧 $V_1, V_2, \dots, V_b$ は全て Low 電圧に近い電圧に低下することになる。

【0040】その後、水平走査期間あるいは垂直走査期間にソースドライバ 103 の動作を開始するときには、信号処理回路 104 が電源制御信号 123 を制御して、スイッチ 205 およびスイッチ 206 をオンさせて DA 変換回路 203 と基準電圧回路 204 に電源を供給する。このとき、基準電圧 $V_1, V_2, \dots, V_b$ が Low 電位付近に低下していると、抵抗 $R_1, R_2, \dots, R_a$ の分割比で決まる電圧まで、安定化容量 $C_1, C_2, \dots, C_{a+1}$ を再度充電する必要がある。従って、水平走査期間内、あるいは垂直走査期間内の基準電圧回路 206 の動作停止期間に、 $V_1, V_2, \dots, V_b$ の電圧が低下する度に、元の電位に戻るまで安定化容量 $C_1, C_2, \dots, C_{a+1}$ を充電する必要がある、無駄な電力を消費してしまう。

【0041】また、安定化容量 $C_1, C_2, \dots, C_{a+1}$ の充電時間を見越して、DA 変換回路 203 と基準電圧回路 204 の動作停止期間を決める必要があり、この点でも消費電力を無駄にしてしまう。

【0042】本発明のソースドライバでは、抵抗 $R_1, R_2, \dots, R_a$ と安定化容量 $C_1, C_2, \dots, C_{a+1}$ の間にスイッチ群であるスイッチ $SW_1, SW_2, \dots, SW_{a+1}$ を設け、このスイッチ群をスイッチ 205 およびスイッチ 206 のオンオフと連動させてオンオフさせる。このような構成をとることで、基準電圧回路 204 の電源が切れているときには、スイッチ $SW_1, SW_2, \dots, SW_{a+1}$ もオフし、回路はオープン状態にあるので、安定化容量 $C_1, C_2, \dots, C_{a+1}$ の電荷は保たれる。

【0043】従って、スイッチ206をオンして基準電圧回路204を動作させたときに、安定化容量 $C_1, C_2, \dots, C_{a+1}$ を再度充電する必要が無く、無駄な電力を省くことができる。また、安定化容量 $C_1, C_2, \dots, C_{a+1}$ の充電時間が不要となるので、DA変換回路203と基準電圧回路204の動作時間を画素110への充電に必要な最小限の時間に留めることが可能となる。また、安定化容量 $C_1, C_2, \dots, C_{a+1}$ で抵抗 $R_1, R_2, \dots, R_a$ の中間電位を安定させているので、基準電圧 $V_1, V_2, \dots, V_b$ 、および、ソースドライバの出力画素信号 $Y_1, Y_2, \dots, Y_q$ も安定し、高品質の画質が得られる。

【0044】なお、本発明の図1の構成例では、High電圧と V_1 、および、Low電圧と V_b を同一電位とした例を示しているが、 V_1 と V_b は、それぞれ、 V_1, V_b を満たす抵抗 $R_1, R_2, \dots, R_a$ の任意の中間電圧で用いることも可能である。また、基準電圧回路204の動作を停止させる構成として、Low電圧供給側にスイッチを入れる構成をとることもできる。また、本実施例では安定化容量はソースドライバの外部に構成したが、ソースドライバの内部に構成してもよい。また、電源制御信号123を用いて、スイッチング素子113の導通期間が調整できるようにゲートドライバ102を構成すれば、ソースドライバ103の動作を停止させたときの画素電極110からの電荷リークをさらに減らすことができる。また、本実施の形態のソースドライバは、他のアクティブマトリックス型表示デバイスに*

*も適用することができる。

【0045】

【発明の効果】以上のように本発明の液晶表示装置によれば、ソースドライバの不要な動作時間を削減して、画質を低下させることなく低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置のソースドライバの実施の形態を示す図

【図2】本発明の実施の形態の液晶表示装置の構成を示す図

【図3】従来の液晶表示装置を示す図

【図4】従来の液晶表示装置のソースドライバの構成を示す図

【図5】従来の液晶表示装置の動作タイミング図

【図6】従来の液晶表示装置の動作タイミング図

【符号の説明】

201 シフトレジスタ回路

202 ラッチ回路

203 DA変換回路

204 基準電圧回路

205, 206 スイッチ

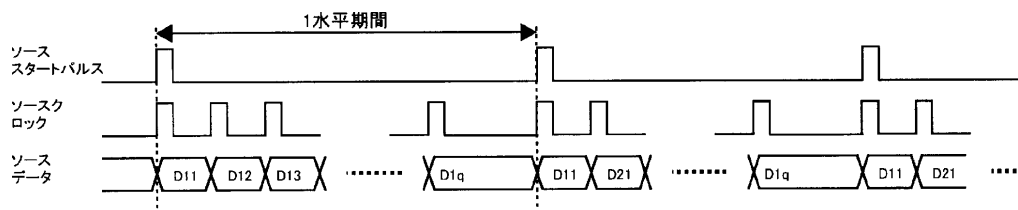
$R_1, R_2, \dots, R_a$ 抵抗

$SW_1, SW_2, \dots, SW_{a+1}$ スイッチ

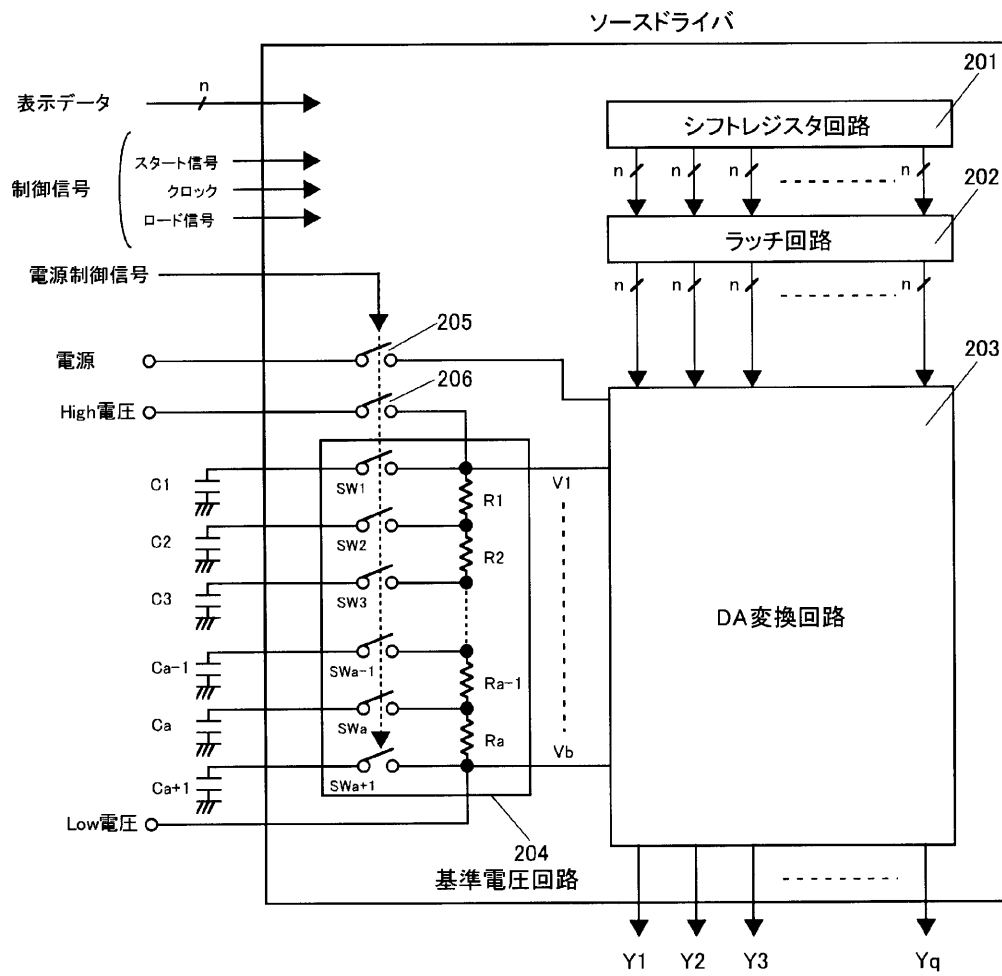
$C_1, C_2, \dots, C_{a+1}$ 安定化容量

$V_1, V_2, \dots, V_b$ 基準電圧

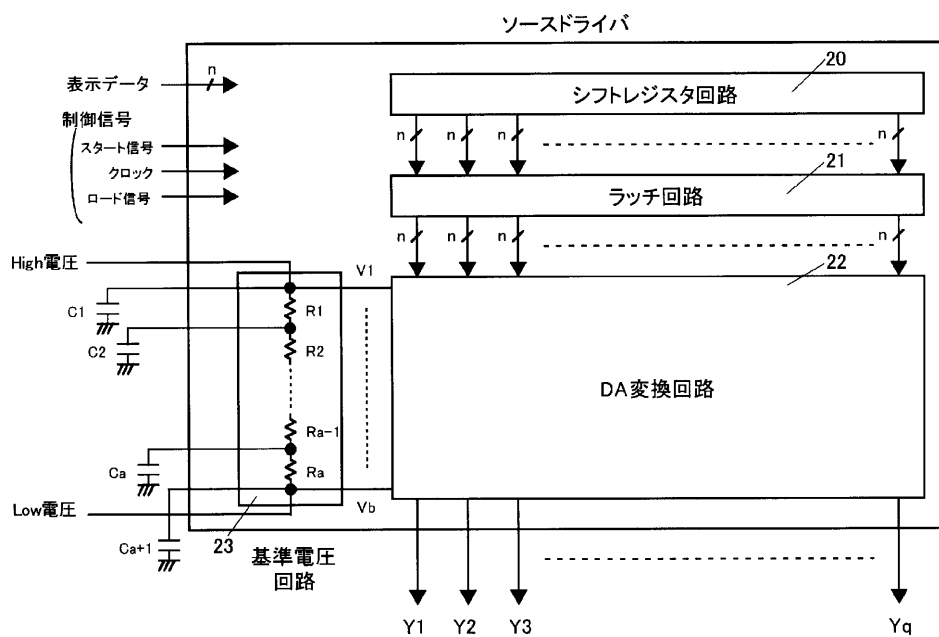
【図5】



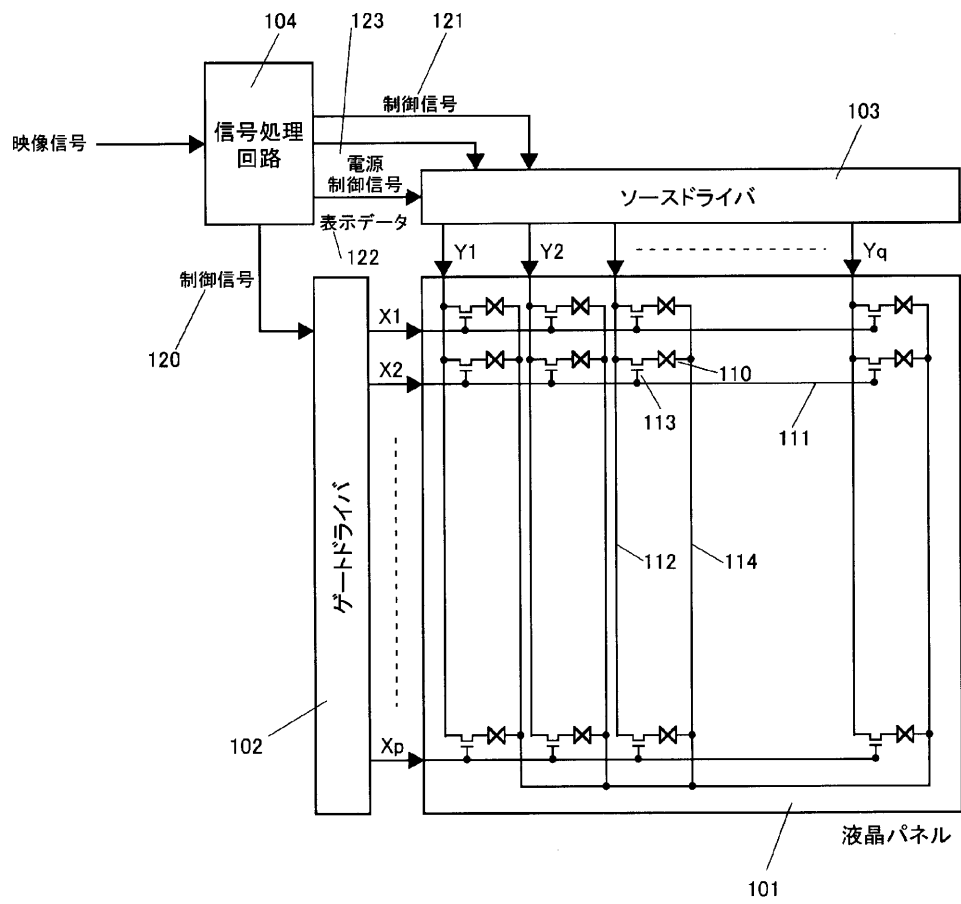
【図1】



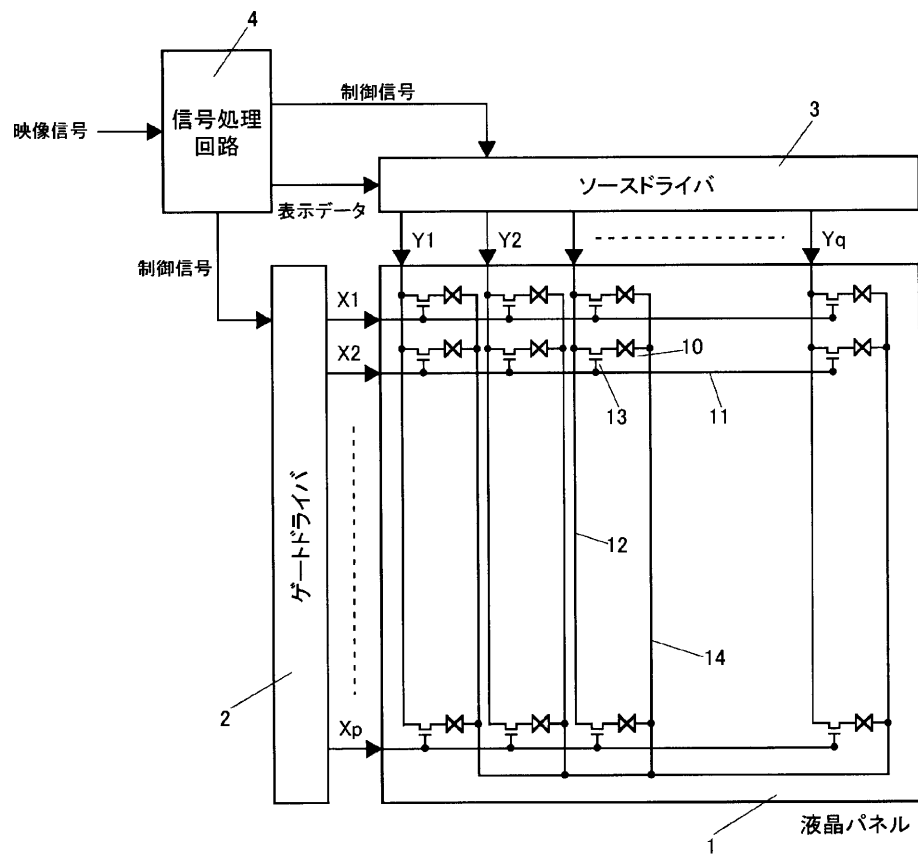
【図6】



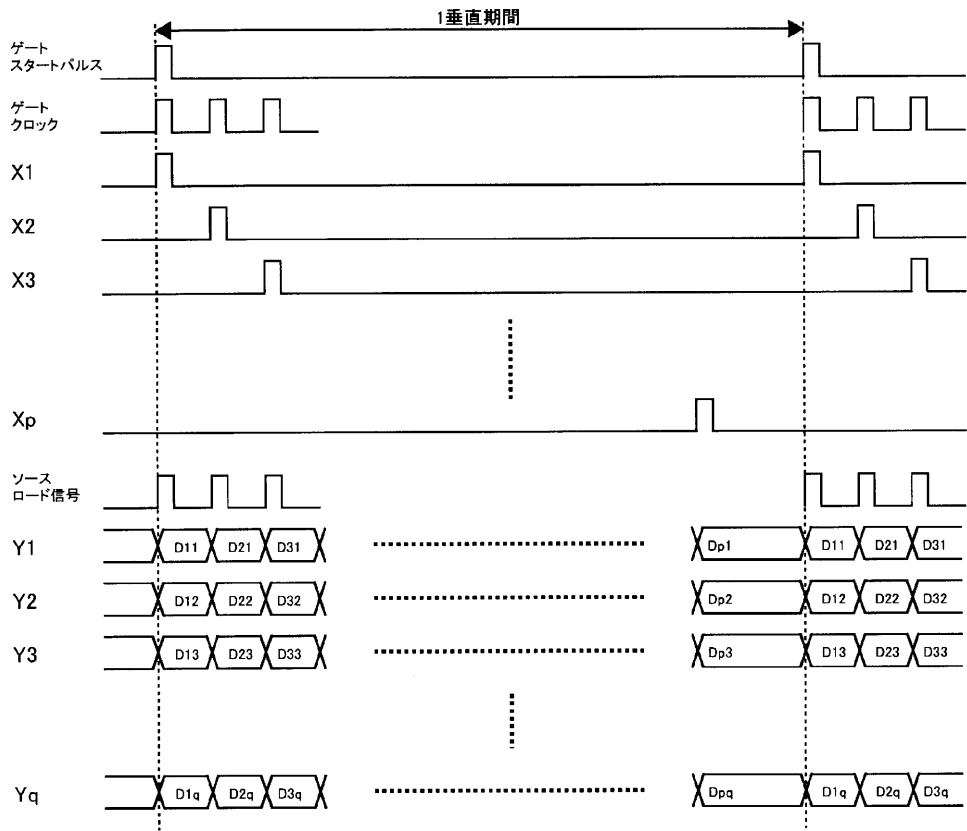
【図2】



【図3】



【図 4】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 F

(72)発明者 峯 秀樹
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F タ-ム(参考) 2H093 NA16 NC03 NC16 NC24 NC34
NC59 ND39 ND42 NE10
5C006 AF42 AF51 AF53 AF61 AF68
AF69 AF83 BB16 BC12 BF03
BF04 BF37 BF43 FA47
5C080 AA10 BB05 DD26 EE29 FF03
FF11 JJ02 JJ04 KK07

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003216115A	公开(公告)日	2003-07-30
申请号	JP2002011349	申请日	2002-01-21
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	福田大 塚田敬 峯秀樹		
发明人	福田 大 塚田 敬 峯 秀樹		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.612.F G09G3/20.612.G G09G3/20.623.F		
F-TERM分类号	2H093/NA16 2H093/NC03 2H093/NC16 2H093/NC24 2H093/NC34 2H093/NC59 2H093/ND39 2H093/ND42 2H093/NE10 5C006/AF42 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF68 5C006/AF69 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF37 5C006/BF43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/KK07 2H193/ZA04 2H193/ZF03 2H193/ZP20		
外部链接	Espacenet		

摘要(译)

解决的问题：在停止源驱动程序的操作时，为了节省功率而不降低图像质量。一种液晶面板，包括：具有以矩阵形式形成的多个像素电极的液晶面板；栅极驱动器；源极驱动器；以及用于将控制信号和显示数据提供给栅极驱动器和源极驱动器的信号处理电路。它是一种显示设备，当源极驱动器不需要工作时，它将停止根据显示数据输出模拟电压值的DA转换电路和提供DA转换电路参考电压的参考电压电路的操作。通过断开基准电压电路中的开关，可以保持使基准电压稳定的电容器的电荷，并且可以消除通过接通和断开基准电压电路而对稳定电容器进行的充放电。

