

(19)日本国特許庁(J P)

# (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 84743

(P2003 - 84743A)

(43)公開日 平成15年3月19日(2003.3.19)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>*</sup> (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	612	G 0 9 G 3/20	5 C 0 8 0
	621		F
	631		R

審査請求 未請求 請求項の数 20 O L (全 13数) 最終頁に続く

(21)出願番号 特願2002 - 186921(P2002 - 186921)

(22)出願日 平成14年6月26日(2002.6.26)

(31)優先権主張番号 2001 - 54125

(32)優先日 平成13年9月4日(2001.9.4)

(33)優先権主張国 韓国(KR)

(71)出願人 599127667

エルジー フィリップス エルシーディー  
カンパニー リミテッド

大韓民国 ソウル, ヨンドンポーク, ヨ  
イドードン 20

(72)発明者 ハム, ヨン スン

大韓民国 キョンギ-ドー, アンヤン-シ  
, ドンガン-ク, ホギエ-1-ドン 957  
-5, 201号

(74)代理人 100109726

弁理士 園田 吉隆 (外1名)

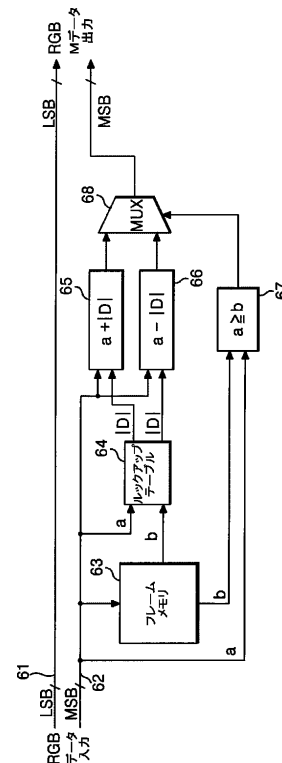
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法及び装置

(57)【要約】

【目的】本発明はデータ修正用のメモリの容量を減らすと共に画質を向上させた液晶表示装置の駆動方法及び装置に関するものである。

【解決手段】本発明による液晶表示装置の駆動方法及び装置は修正データと正常入力データの差を算出し、その算出された差のデータを利用して前記正常入力データを修正する。



## 【特許請求の範囲】

【請求項 1】 予め修正データを設定する段階と、前記修正データと正常の入力データの差を算出する段階と、前記算出された差のデータを利用して前記正常入力データを修正する段階を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 2】 前記差のデータは、その絶対値を算出することを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 3】 前記差を算出する段階は、前記修正データと前記正常入力データを加算する段階と、前記修正データと前記正常入力データを減算する段階を含むことを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 4】 前記正常入力データを遅延させる段階と、前記遅延された正常入力データと前記正常入力データを比較する段階と、前記比較結果により前記加算されたデータと減算されたデータの中のいずれか 1 つを選択する段階を更に含むことを特徴とする請求項 3 に記載の液晶表示装置の駆動方法。

【請求項 5】 前記選択されたデータは、予め設定された前記修正データと同一であることを特徴とする請求項 4 に記載の液晶表示装置の駆動方法。

【請求項 6】 前記修正データと前記正常入力データを加算して予め設定された前記修正データを出力することを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 7】 前記正常入力データを上位ビットと下位ビットに分割する段階と、前記上位ビットを遅延させる段階と、前記修正データと遅延されていない上位ビットを加算する段階と、前記修正データと前記遅延されていない上位ビットを減算する段階と、前記遅延された上位ビットと遅延されていない上位ビットを比較する段階と、前記比較結果により前記加算されたデータと減算されたデータの中のいずれか 1 つを選択することで前記修正データを出力する段階を更に含むことを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 8】 前記正常入力データを上位ビットと下位ビットに分割する段階と、前記上位ビットを 1 フレーム期間遅延させる段階と、前記修正データと遅延されていない上位ビットを加算して既に設定された前記修正データを出力する段階を更に含むことを特徴とする請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 9】 前記修正データは、前記遅延されたデータと遅延されていないデータの相違の有無により選択されることを特徴とする請求項 7 に記載の液晶表示装置の駆動方法。

【請求項 10】 前記修正データは、前記遅延されたデータと遅延されていないデータの相違の有無により選択されることを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

\*【請求項 11】 正常入力データを受ける入力ラインと、予め設定された修正データと前記入力ラインからの正常入力データの差を算出してその差のデータを利用して前記正常入力データを修正する修正器とを具備することを特徴とする液晶表示装置の駆動装置。

【請求項 12】 前記差のデータは絶対値であることを特徴とする請求項 11 に記載の液晶表示装置の駆動装置。

【請求項 13】 前記修正データと前記正常入力データを加算する加算器と、前記修正データと前記正常入力データを減算する減算器とを具備することを特徴とする請求項 11 に記載の液晶表示装置の駆動装置。

【請求項 14】 前記正常入力データを遅延させるフレームメモリと、前記遅延された正常入力データと前記正常入力データを比較する比較機と、前記比較機の比較結果により前記加算されたデータと減算されたデータの中のいずれか 1 つを選択する選択装置とを更に具備することを特徴とする請求項 13 に記載の液晶表示装置の駆動装置。

【請求項 15】 前記選択されたデータは予め設定された前記修正データと同一であることを特徴とする請求項 14 に記載の液晶表示装置の駆動装置。

【請求項 16】 前記修正データと前記正常入力データを加算して予め設定された前記修正データを出力する加算器とを具備することを特徴とする請求項 11 に記載の液晶表示装置の駆動装置。

【請求項 17】 前記正常入力データの上位ビットを遅延させるフレームメモリと、前記修正データと前記遅延されていない上位ビットを加算する加算器と、前記修正データと前記遅延されていない上位ビットを減算する減算器と、前記遅延された上位ビットと遅延されていない上位ビットを比較する比較機と、前記比較結果により前記加算されたデータと減算されたデータの中のいずれか 1 つを選択する選択装置とを更に具備することを特徴とする請求項 11 に記載の液晶表示装置の駆動装置。

【請求項 18】 前記正常入力データの上位ビットを遅延させるフレームメモリと、前記修正データと遅延されていない上位ビットを加算して予め設定された前記修正データを出力する加算器とを更に具備することを特徴とする請求項 11 に記載の液晶表示装置の駆動装置。

【請求項 19】 前記修正データは前記遅延されたデータと遅延されていないデータの変化の有無により選択されることを特徴とする請求項 17 に記載の液晶表示装置の駆動装置。

【請求項 20】 前記修正データは前記遅延されたデータと遅延されていないデータの変化の有無により選択されることを特徴とする請求項 20 に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

\* 50 【0001】

【発明の属する技術分野】本発明は液晶表示装置に関するもので、特にデータ修正用のメモリの容量を減らすと共に画質を向上させた液晶表示装置の駆動方法及び装置に関するものである。

【0002】

【従来の技術】通常、液晶表示装置はビデオ信号により液晶セルの光透過率を調節して画像を表示する。液晶セル毎にスイッチング素子が形成されたアクティブマトリックスタイプの液晶表示装置が動画を表示するのに適している。アクティブマトリックスタイプの液晶表示装置

10 に使用されるスイッチング素子としては主に薄膜トランジスタ（以下、「TFT」という）が利用されている。

【0003】このような液晶表示装置は、数式1及び2から分かるように、液晶に固有の粘性と弾性特性に起因して応答速度が遅いという短所がある。

【数1】

$$\tau_v \propto \frac{\gamma d^2}{\Delta \epsilon |V_a^2 - V_F^2|}$$

ここで、 $\tau_v$ 及び $\gamma$ は液晶に電圧が印加される際の上昇時間

20 間を、 $V_a$ は印加電圧を、 $V_F$ は液晶分子が傾斜運動を始めるフリーデリック遷移電圧（Freederick Transition Voltage）を、 $d$ は液晶セルのセル・ギャップを、 $K$ は液晶分子の回転粘度をそれぞれ意味する。

【数2】

$$\tau_f \propto \frac{\gamma d^2}{K}$$

ここで、 $\tau_f$ 及び $f$ は液晶に印加された電圧がオフにされた後液晶が弾性復元力により元の位置に復元される下降

30 時間を、 $K$ は液晶固有の弾性係数をそれぞれ意味する。

【0004】TNモードの液晶応答速度は液晶材料の物性とセル・ギャップにより変えることができるが、通常、上昇時間が20 - 80msであり下降時間が20 - 30msである。このような液晶の応答速度は動画の1フレーム期間（NTSC；16.67ms）より長い

ため、図1のように、液晶セルに充電される電圧が所望の電圧に到達する前に次のフレームに進行することにより動画で画面がかすむようになるモーション・ブラーリング（Motion Blurring）現象が表れる。

40

【0005】図1に示すように、従来の液晶表示装置は動画を表示する際に応答速度が遅いことにより、データ（VD）が1レベル異なるレベルに変化する時、それに対応する表示輝度（BL）が所望の輝度に到達せず、望む色と輝度が表現できない。その結果、液晶表示装置には動画でモーション・ブラーリング現象が表れ、明暗比の低下により表示品質が劣化する。

【0006】このような液晶表示装置の遅い応答速度を

解決するために、アメリカ特許第5,495,265号とPCT国際公開番号WO 99/05567には、ルックアップ・テーブルを利用してデータの変化の有無によりデータを修正する方法（以下、「高速駆動」という）が提案されている。この高速駆動方法は図2に示す原理でデータを修正する。

【0007】図2に示すように、従来の高速駆動方法は入力データ（VD）を修正して修正データ（MVD）を液晶セルに印加し、望む輝度（MBL）を得る。この高速駆動方法は、1フレーム期間に入力データの輝度値に対応する所望の輝度を得ることができるよう、データの変化の有無に基づき数式1で $|V_a^2 - V_F^2|$ を大きくすることにより、液晶の応答速度を加速する。従って、高速駆動方法を利用する液晶表示装置は、液晶の遅い速度をデータ値の修正で補償することで動画でモーション・ブラーリング現象を緩和することにより、所望の色と輝度で画像を表示することができる。

【0008】さらに詳細には、高速駆動方法は直前のフレーム（Fn-1）と現在のフレーム（Fn）それぞれの最上位ビット・データ（MSB）を比較して最上位ビット・データ（MSB）に変化があると、ルックアップ・テーブルの該当するデータ修正手段（Mデータ）を選択して図3のように修正する。この高速駆動方法は、ハードウェア実現の際にメモリの容量負担を減らすため、上位ビットだけを修正する。このように実現された高速駆動装置を図4に示す。

【0009】図4に示すように、従来の高速駆動装置は上位ビットバスライン（42）に接続されたフレーム・メモリ（43）と、上位ビットバスライン（42）とフレーム・メモリ（43）の出力端子に共通に接続されたルックアップ・テーブル（44）とを具備する。

【0010】フレーム・メモリ（43）は上位ビット（MSB）を1フレーム期間の間保存し、保存されたデータをルックアップ・テーブル（44）に供給する。ここで、上位ビット（MSB）は8ビットのソース・データ（RGB）のうち上位4ビットに設定される。

【0011】ルックアップ・テーブル（44）は、上位ビットバスライン（42）から入力される現在のフレーム（Fn）の上位ビット（MSB）と、フレーム・メモリ（43）から入力される直前のフレーム（Fn-1）の上位ビット（MSB）を、下の表1または表2に当てはめて該当するデータ修正手段（Mデータ）を選択する。データ修正手段（Mデータ）は下位ビット・バスライン（41）からの下位ビット（LSB）と加算されて液晶表示装置に供給される。

【0012】

【表1】

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	3	4	6	7	9	10	11	12	14	16	15	15	15	15
1	0	1	2	4	5	7	9	10	11	12	13	14	15	15	15	15
2	0	1	2	3	5	6	8	9	10	11	12	14	14	15	15	15
3	0	1	2	3	5	6	8	9	10	11	12	14	14	15	15	15
4	0	0	1	2	4	6	7	9	10	11	12	13	14	15	15	15
5	0	0	0	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	0	1	3	4	6	8	9	10	11	13	14	15	15	15
7	0	0	0	1	2	4	5	7	8	10	11	12	14	14	15	15
8	0	0	0	1	2	3	5	6	8	9	11	12	13	14	15	15
9	0	0	0	1	2	3	4	6	7	9	10	12	13	14	15	15
10	0	0	0	0	1	2	4	5	7	8	10	11	13	14	15	15
11	0	0	0	0	0	2	3	5	6	7	9	11	13	14	15	15
12	0	0	0	0	0	1	3	4	5	7	8	10	12	13	15	15
13	0	0	0	0	0	1	2	3	4	6	8	10	11	13	14	15
14	0	0	0	0	0	0	1	2	3	5	7	9	11	13	14	15
15	0	0	0	0	0	0	0	1	2	4	6	9	11	13	14	15

表1において、左側列は直前のフレーム(F<sub>n-1</sub>)のデータ電圧(V<sub>Dn-1</sub>)であり、最上側行は現在のフレーム(F<sub>n</sub>)のデータ電圧(V<sub>Dn</sub>)である。

【0013】このように4ビットの上位ビットデータ(MSB)だけを修正する高速駆動方法及び装置は、フレームメモリ(43)とルックアップ・テーブル(44)のデータ幅が4ビットである。

【0014】しかし、ルックアップ・テーブル(44)のデータ幅が上位ビットデータ(MSB)のビット数に限定されると、ルックアップ・テーブル(44)に登録されたデータ修正手段の値の設定範囲がそれにより制限される。例えば、高いグレーレベルの修正データ値が理想的な値を有することができず、それより低い値に限定されると、高いグレーレベルで所望の輝度が得られないために画質が劣化する。

【0015】このような画質低下を抑えて理想的なデータ修正をするためには、ルックアップ・テーブル(44)に登録されたデータ修正手段のデータ幅が十分に大きいことが必要で、入力されるソースデータをフルビット(8ビット)にすべきである。このためにはルックアップ・テーブル(44)のメモリの大きさを増やすことが不可欠である。即ち、ルックアップ・テーブル(44)に直前のフレーム(F<sub>n-1</sub>)と現在のフレーム(F<sub>n</sub>)それぞれからフルビット(8ビット)のデータを入力し、ルックアップ・テーブル(44)に登録されたデータ修正手段をフルビット(8ビット)に設定すると、ルックアップ・テーブル(44)のメモリの大きさは65536×8=524,000ビットまで大きくなる。ここで、左辺の1番目の項「65536」は直前のフレーム(F<sub>n-1</sub>)と現在のフレーム(F<sub>n</sub>)それぞれのフルビットソースデータの積(256×256)であり、左辺の2番目の項「8」はルックアップ・テーブル(44)内に登録されたデータ修正手段のデータ幅(8ビット)である。

【0016】

【課題を解決するための手段】従って、本発明の目的

は、データ修正用のメモリの容量を減らすと共に画質を向上させた液晶表示装置の駆動方法及び装置を提供することである。

【0017】

【発明の構成及び作用】前記目的を達成するために、本発明による液晶表示装置の駆動方法は液晶表示装置に予めデータ修正手段を設定する段階と、データ修正手段と正常の入力データの差を算出する段階と、算出された差のデータを利用して前記正常入力データを修正する段階を含む。

【0018】本発明による液晶表示装置の駆動方法は、前記差のデータが絶対値で算出されることを特徴とする。

【0019】本発明による液晶表示装置の駆動方法の前記差を算出する段階は、前記修正されたデータと前記正常入力データを加算する段階と、修正されたデータと前記正常入力データを減算する段階を含む。

【0020】本発明による液晶表示装置の駆動方法は、前記正常入力データを遅延させる段階と、遅延された正常入力データと前記正常入力データを比較する段階と、前記比較結果により前記加算されたデータと減算されたデータのうちのいずれか1つを選択する段階を更に含む。

【0021】本発明による液晶表示装置の駆動方法において、前記選択されたデータは予め設定された前記修正されたデータと同一であることを特徴とする。

【0022】本発明による液晶表示装置の駆動方法は、前記データ修正手段と前記正常入力データを加算して予め設定された前記データ修正手段を出力することを特徴とする。

【0023】本発明による液晶表示装置の駆動方法は、正常入力データを上位ビットと下位ビットに分割する段階と、上位ビットを遅延させる段階と、前記修正されたデータと遅延されていない上位ビットを加算する段階と、修正されたデータと前記遅延されていない上位ビットを減算する段階と、遅延された上位ビットと遅延されていない上位ビットを比較する段階と、比較結果により

前記加算されたデータと減算されたデータのうちのいずれか 1 つを選択することにより前記データ修正手段を出力する段階を更に含む。

【0024】本発明による液晶表示装置の駆動方法は、正常入力データを上位ビットと下位ビットに分割する段階と、上位ビットを 1 フレーム期間遅延させる段階と、データ修正手段と遅延されていない上位ビットを加算して既に設定された前記修正データを出力する段階を更に含む。

【0025】本発明による液晶表示装置の駆動方法において前記修正データは前記遅延されたデータと遅延されていないデータの変化の有無により選択されたことを特徴とする。

【0026】本発明による液晶表示装置の駆動方法において前記修正データは前記遅延されたデータと遅延されていないデータの変化の有無により選択されたことを特徴とする。

【0027】本発明による液晶表示装置の駆動装置は正常入力データを入力受ける入力ラインと、予め設定された修正データと前記入力ラインからの正常入力データの差を算出してその差のデータを利用して前記正常入力データを修正する修正器とを具備する。

【0028】本発明による液晶表示装置の駆動装置において前記差のデータは絶対値であることを特徴とする。

【0029】本発明による液晶表示装置の駆動装置は修正データと前記正常入力データを加算する加算器と、修正データと前記正常入力データを減算する減算器とを具備する。

【0030】本発明による液晶表示装置の駆動装置は正常入力データを遅延させるフレームメモリと、遅延された正常入力データと前記正常入力データを比較する比較機と、比較機の比較結果により前記加算されたデータと減算されたデータの中のいずれか 1 つを選択する選択装置とを更に具備する。

【0031】本発明による液晶表示装置の駆動装置において前記選択されたデータは予め設定された前記修正データと同一であることを特徴とする。

【0032】本発明による液晶表示装置の駆動装置において修正データと前記正常入力データを加算して予め設定された前記修正データを出力する加算器とを具備する。

【0033】本発明による液晶表示装置の駆動装置は正常入力データの上位ビットを遅延させるフレームメモリと、修正データと前記遅延されていない上位ビットを加算する加算器と、修正データと前記遅延されていない上位ビットを減算する減算器と、遅延された上位ビットと遅延されていない上位ビットを比較する比較機と、比較結果により前記加算されたデータと減算されたデータの中のいずれか 1 つを選択する選択装置とを更に具備する。

【0034】本発明による液晶表示装置の駆動装置は正常入力データの上位ビットを遅延させるフレームメモリと、修正データと遅延されていない上位ビットを加算して予め設定された前記修正データを出力する加算器とを更に具備する。

【0035】本発明による液晶表示装置の駆動装置において前記修正データは前記遅延されたデータと遅延されていないデータの変化の有無により選択されることを特徴とする。

【0036】本発明による液晶表示装置の駆動装置において前記修正データは前記遅延されたデータと遅延されていないデータの変化の有無により選択されることを特徴とする。

【0037】

【作用】本発明による液晶表示装置の駆動方法及び装置は予め設定された高速駆動データで正常駆動データを引いた差またはその差の絶対値に修正データを決定する。

【0038】

【発明の実施態様】以下、図 5 乃至図 10 を参照して本発明の好ましい実施例について説明する。

【0039】図 5 に示すように、本発明による液晶表示装置の駆動装置は、複数のデータライン(55)と複数のゲートライン(56)の交差部に液晶セル(C1c)を駆動するための TFT が形成された液晶パネル(57)と、液晶パネル(57)のデータライン(55)にデータを供給するためのデータドライバ(53)と、液晶パネル(57)のゲートライン(56)にスキャニングパルスを供給するためのゲート・ドライバ(54)と、デジタル・ビデオ・データと同期信号(H、V)が供給されるタイミング・コントローラ(51)と、タイミング・コントローラ(51)とデータ・ドライバ(53)の間に接続されて入力データ(RGBデータ)を修正するためのデータ修正部(52)とを具備する。

【0040】液晶パネル(57)は二枚のガラス基板の間に液晶が注入されて、その下部ガラス基板の上にデータライン(55)とゲートライン(56)が相互直交になるように形成される。データライン(55)とゲートライン(56)の交差部に形成された TFT はスキャニングパルスにตอบสนองしてデータライン(55)上の液晶セル(C1c)に供給する。このために、TFT のゲート電極はゲートライン(56)に接続されて、ソース電極はデータライン(55)に接続される。そして TFT のドレイン電極は液晶セル(C1c)の画素電極に接続される。

【0041】タイミング・コントローラ(51)は図示しないデジタル・ビデオ・カードから供給されるデジタル・ビデオ・データを再整列する。タイミング・コントローラ(51)により再整列されたデータ(RGBデータ)はデータ修正部(52)とライン・メモリ(59)に供給される。

【0042】また、タイミング・コントローラ(51)は入力される水平/垂直同期信号(H、V)を利用してドットクロック(Dclk)、ゲート・スタート・パルス(GSP)、図示しないゲート・シフト・クロック(GSC)、出力インエーブル/ディスエーブル信号のタイミング制御信号と極性の制御信号を生成してデータ・ドライバ(53)とゲート・ドライバ(54)を制御する。ドットクロック(Dclk)と極性制御信号はデータ・ドライバ(53)に供給されて、ゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)はゲートドライバ(54)に供給される。

【0043】ゲート・ドライバ(54)はタイミング・コントローラ(51)から供給されるゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)にตอบสนองしてスキャンパルス即ち、ゲート・ハイパルスを順次的に発生するシフト・レジスタと、スキャンパルスの電圧を液晶セル(Clc)の駆動に適合のレベルにシフトさせるためのレベル・シフトを含む。このスキャンパルスにตอบสนองしてTFTはターン・オンされる。TFTがターン・オンされる際に、データライン(55)上のビデオ・データは液晶セル(Clc)の画素電極に供給される。

【0044】データ・ドライバ(53)にはデータ修正部(52)により修正された赤(R)、緑(G)及び青(B)色の修正データ(RGB Mデータ)が供給されると共に、タイミング・コントローラ(51)からドットクロック(Dclk)が入力される。このデータ・ドライバ(53)はドットクロック(Dclk)により赤(R)、緑(G)及び青(B)色の修正データ(RGB Mデータ)をサンプリングした後に、1ライン分ずつラッチする。このデータ・ドライバ(53)によりラッチされたデータはアナログ・データに変換されて毎スキャン期間毎にデータライン(55)に供給される。データ・ドライバ(53)は修正データに対応するガンマ電圧をデータライン(55)に供給することもできる。

【0045】データ修正部(52)は直前のフレーム(Fn-1)と現在のフレーム(Fn)の変化の有無によりルックアップ・テーブルを利用して現在入力されるデータ(RGB data)を修正する。ルックアップ・テーブルに登録された修正データは高速駆動に適合に設定されたデータで正常駆動データを引いた差の絶対値または

差値である。ここで、正常駆動データはデータ修正をしない正常的なデータを意味する。

【0046】図6は本発明の第1実施例によるデータ修正部(52)を表す。

【0047】図6を参照すると、本発明によるデータ修正部(52)はタイミングコントローラ(51)から最上位の上位ビットデータ(MSB)が入力されるフレームメモリ(63)と、高速駆動に適合の修正データで正常駆動データを引いた差の絶対値に最上位修正データを修正するためのルックアップ・テーブル(64)と、ルックアップ・テーブル(64)から出力された修正データと上位ビットバスライン(62)からのデータを加算するための加算器(65)と、ルックアップ・テーブル(64)から出力された修正データと上位ビットバスライン(62)からのデータを減算するための減算器(66)と、加算器(65)と減算器(66)の出力を選択するためのマルチプレクサ(以下、「MUX」という)(68)と、MUX(68)を制御するための比較機(67)とを具備する。

【0048】フレームメモリ(63)はタイミングコントローラ(51)の上位ビットバスライン(62)に接続されてタイミングコントローラ(51)から入力される最上位のビットデータ(MSB)を一フレーム期間の間に保存する。そしてフレームメモリ(63)は毎フレームに保存された最上位のビットデータ(MSB)をルックアップ・テーブル(64)に供給する。

【0049】ルックアップ・テーブル(64)には高速駆動方式に適合に設定されたデータで現在入力される正常駆動データを引いた差の絶対値に決定された修正データが登録される。

【0050】フレームメモリ(63)はルックアップ・テーブル(64)に入力される最上位のビットデータ(MSB)を4ビットに仮定したとき、ルックアップ・テーブル(64)に登録された修正データは表1で下の表2のような正常駆動データを引いた差の絶対値に決定される。その絶対値に決定された修正データを表3に示す。

【0051】表2は修正なく正常駆動されるビデオ・データを表1のようなルックアップ・テーブル形式に再構成したことである。

【表2】

12

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
1	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
2	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
3	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
4	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
5	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
6	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
7	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
8	0	1	2	3	4	5	6	7	8	9	10	11	12	15	15	15
9	0	1	2	3	4	5	6	7	8	9	10	11	12	14	15	15
10	0	1	2	3	4	5	6	7	8	9	10	11	12	14	15	15
11	0	1	2	3	4	5	6	7	8	9	10	11	12	14	15	15
12	0	1	2	3	4	5	6	7	8	9	10	11	12	14	15	15
13	0	1	2	3	4	5	6	7	8	9	10	11	12	13	15	15
14	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
15	0	1	2	3	4	5	6	7	8	9	10	11	12	11	13	15

【0052】

【表3】

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	1	1	2	2	3	3	3	3	4	4	3	2	1	0
1	0	0	0	1	1	2	3	3	3	3	3	3	3	2	1	0
2	0	0	0	1	1	2	2	2	2	3	3	3	3	2	1	0
3	0	0	0	0	1	1	2	2	2	2	2	3	2	2	1	0
4	0	1	1	1	0	1	1	2	2	2	2	2	2	2	1	0
5	0	1	2	1	1	0	1	1	1	2	2	2	2	2	1	0
6	0	1	2	2	1	1	0	1	1	1	1	2	2	2	1	0
7	0	1	2	2	2	1	1	0	0	1	1	1	2	1	1	0
8	0	1	2	2	2	2	1	1	0	0	1	1	1	1	1	0
9	0	1	2	2	2	2	2	1	1	0	0	1	1	1	1	0
10	0	1	2	3	3	3	2	2	1	1	0	0	1	1	1	0
11	0	1	2	3	4	3	3	2	2	2	1	0	0	1	1	0
12	0	1	2	3	4	4	3	3	3	2	2	1	0	0	1	0
13	0	1	2	3	4	4	4	4	4	3	2	1	1	0	0	0
14	0	1	2	3	4	5	5	5	5	4	3	2	1	0	0	0
15	0	1	2	3	4	5	6	6	6	5	4	2	1	0	0	0

表2及び表3において、左側列は直前のフレーム(F<sub>n</sub>-1)のデータ電圧(V<sub>Dn-1</sub>)であり、最上側行は現在のフレーム(F<sub>n</sub>)のデータ電圧(V<sub>Dn</sub>)である。

【0053】表3で分かるように、本発明によるルックアップ・テーブル(64)のデータ幅はルックアップ・テーブルに登録されたデータ(以下、「ルックアップ・テーブル・データ」という)が「6」を越えないので3ビットに設定することができる。この場合、ルックアップ・テーブル(64)のメモリの大きさは256×3=768ビットに過ぎなくなる。ここで、左辺の1番目の項「256」は直前のフレーム(F<sub>n-1</sub>)と現在のフレーム(F<sub>n</sub>)それぞれの4ビットの最上位ビットデータ(MSB)のソースデータの積(16×16)であり、左片の2番目の項「3」はルックアップ・テーブル(64)内に登録された表3の修正データのデータ幅(3ビット)である。これに比べて、最上位ビットデータ(MSB)が4ビットに設定された場合に従来の高速駆動方式はそのルックアップ・テーブルのメモリ大きさが256×4=1024ビットである。

【0054】表1のような高速駆動に適合する修正デー

タを得るためには、現在のフレーム(F<sub>n</sub>)と直前のフレーム(F<sub>n-1</sub>)の間のデータ値の大小関係により、現在のフレーム(F<sub>n</sub>)の最上位ビットデータ(a)と表3のルックアップ・テーブルデータを加算するか又は減算する。

【0055】現在のフレーム(F<sub>n</sub>)で入力される最上位ビットデータ(a)の値が直前のフレーム(F<sub>n-1</sub>)のそれ以上であると、ルックアップ・テーブルデータが現在のフレーム(F<sub>n</sub>)に入力される最上位ビットデータ(a)即ち、表2の正常駆動データに加算される。反対に、現在のフレーム(F<sub>n</sub>)に入力される最上位ビットデータ(a)の値が直前のフレーム(F<sub>n-1</sub>)のそれより小さいと、ルックアップ・テーブルデータが現在のフレーム(F<sub>n</sub>)の最上位ビットデータ(a)即ち、表2の正常駆動データに減算される。

【0056】例えば、表3のルックアップ・テーブルデータにおいて直前のフレーム(F<sub>n-1</sub>)と現在のフレーム(F<sub>n</sub>)の間にルックアップ・テーブル(64)に入力された最上位ビットデータ(MSB)が「2」から「9」に変化するルックアップ・テーブルデータ(2、9)は「3」である。このルックアップ・テーブルデー

タ(2、9)の値「3」が表1のような高速駆動修正データ(2、9)のような「12」になるためには現在入力される「9」にルックアップ・テーブルデータ(2、9)の「3」が加算される。反対に、表3のルックアップ・テーブルデータにおいて直前のフレーム(Fn - 1)と現在のフレーム(Fn)の間にルックアップ・テーブル(64)に入力された最上位ビットデータ(MSB)が「13」から「9」に変化したルックアップ・テーブルデータ(13、9)は「3」である。このルックアップ・テーブルデータ(13、9)の値が「3」が表1のような高速駆動修正データ(13、9)のような「6」になるためには現在入力される「9」にルックアップ・テーブルデータ(2、9)の「3」が加算される。このような高速駆動のためのルックアップ・テーブルデータの処理は加算器(65)、減算器(66)、MUX(68)及び比較機(67)により遂行される。

【0057】加算器(65)は現在のフレーム(Fn)に入力される最上位修正ビットデータ(a)とルックアップ・テーブル(64)のルックアップ・テーブルデータ(|D|)を加算してMUX(68)の第1入力端子に供給する。

【0058】減算器(66)は現在のフレーム(Fn)に入力される最上位修正ビットデータ(a)でルックアップ・テーブル(64)のルックアップ・テーブルデータ

$$VD_n < VD_{n-1} \text{ ---> } MVD_n < VD_n \text{ ----}$$

--(1)

$$VD_n = VD_{n-1} \text{ ---> } MVD_n = VD_n \text{ ----}$$

【0062】(1)乃至(3)において、VDn-1は直前のフレームのデータ電圧、VDnは現在のフレームのデータ電圧、そしてMVDnは修正データ電圧をそれぞれ表す。

【0063】このようなデータ修正方法は図7のような流れ図として整理した。

【0064】図7を参照すると、データ修正部(62)は現在のフレーム(Fn)と直前のフレーム(Fn - 1)のそれぞれで最上位ビットデータ(a、b)を読み出す。(S71及びS72段階)

【0065】読み出された最上位ビットデータ(a、b)は比較機(67)により比較される。(S73段階)

【0066】S73段階で、現在のフレーム(Fn)が最上位ビットデータ(a)が直前のフレーム(Fn - 1)のそれ以上と判断されると、加算器(65)により加算されたデータが選択される。(S74段階)反面、S73段階で、現在のフレーム(Fn)が最上位ビットデータ(a)が直前のフレーム(Fn - 1)のそれより小さいと判断されると、減算器(66)により減算されたデータが選択される。(S75段階)

【0067】図8は本発明の第2実施例によるデータ修正部(52)を表す。

\*タ(|D|)を減算してMUX(68)の第2入力端子に供給する。

【0059】比較機(67)は上位ビットバスライン(62)から入力される現在のフレーム(Fn)の最上位ビットデータ(a)とフレームメモリ(63)により遅延された直前のフレーム(Fn - 1)の最上位ビットデータ(b)を比較する。現在のフレーム(Fn)の最上位ビットデータ(a)が直前のフレーム(Fn - 1)のそれ以上であると、比較機(67)はハイ論理「1」のMUX制御信号を発生する。反面、現在のフレーム(Fn)の最上位ビットデータ(a)が直前のフレーム(Fn - 1)のそれより小さいと、比較機(67)はロー論理「0」のMUX制御信号を発生する。

【0060】MUX(68)は比較機(67)からのMUX制御信号に応答して加算器(65)と減算器(66)の出力信号の中のいずれか1つを選択する役割をする。MUX制御信号の論理値がハイ論理「1」であると、MUX(68)は加算器(65)の出力信号を選択する。反面、MUX制御信号の論理値がロー論理「0」であると、MUX(68)は減算器(66)の出力信号を選択する。

【0061】MUX(68)により選択されたデータは下の関係式(1)乃至(3)のような高速駆動条件を満足するようにその値が設定される。

【0068】図8を参照すると、本発明によるデータ修正部(52)はタイミングコントローラ(51)から8ビットのフルビットデータ(MSB)が入力されるフレームメモリ(83)と、高速駆動に適合の修正データで正常駆動データを引いた差の絶対値にフルビットのデータを修正するためのルックアップ・テーブル(84)と、ルックアップ・テーブル(84)から出力された修正データと入力ライン(81)からのデータを加算するための加算器(85)と、ルックアップ・テーブル(84)から出力された修正データと入力ライン(81)からのデータを減算するための減算器(86)と、加算器(85)と減算器(86)の出力を選択するためのMUX(88)と、MUX(88)を制御するための比較機(87)とを具備する。

【0069】フレームメモリ(83)は入力ライン(81)を経由してタイミングコントローラ(51)から入力されるフルビットのデータを一フレーム期間の間に保存する。そしてフレームメモリ(83)は毎フレームに保存されたフルビットのデータをルックアップ・テーブル(84)に供給する。

【0070】ルックアップ・テーブル(84)には高速駆動方式に適合に予め設定されたデータで現在入力される正常駆動データを引いた差の絶対値に決定されたルッ

クアップ・テーブルデータ ( | D | ) が登録される。ルックアップ・テーブルデータ ( | D | ) は前記差の絶対値に決定されるためにそのデータ幅がフルビットのソースデータ ( 8 b ) のそれより小さく設定される。ルックアップ・テーブル ( 8 4 ) に入力される直前のフレーム ( F n - 1 ) と現在のフレーム ( F n ) のソースデータ ( 8 b ) がそれぞれ 8 ビットであり、ルックアップ・テ

ルックアップテーブルデータのデータ幅	ルックアップテーブルのメモリの大きさ
7 bits	65536×7=459 kbits
6 bits	65536×6=393 kbits

加算器 ( 8 5 ) は現在フレーム ( F n ) に入力されるフルビットのソースデータ ( 8 b ) とルックアップ・テーブル ( 8 4 ) のルックアップ・テーブルデータ ( | D | ) を加算して M U X ( 8 8 ) の第 1 入力端子に供給する。

【 0 0 7 2 】 減算器 ( 8 6 ) は現在フレーム ( F n ) に 20 入力されるフルビットのソースデータ ( 8 b ) とルックアップ・テーブル ( 8 4 ) のルックアップ・テーブルデータ ( | D | ) を減算して M U X ( 8 8 ) の第 2 入力端子に供給する。

【 0 0 7 3 】 比較機 ( 8 7 ) は入力ライン ( 8 1 ) から入力される現在フレーム ( F n ) のソースデータ ( 8 b ) とフレームメモリ ( 8 3 ) により遅延された直前のフレーム ( F n - 1 ) のデータ ( D 8 b ) を比較する。現在フレーム ( F n ) のソースデータ ( 8 b ) が直前のフレーム ( F n - 1 ) のそれ以上であると、比較機 ( 8 7 ) はハイ論理「 1 」の M U X 制御信号が発生する。反面、現在フレーム ( F n ) のソースデータ ( 8 b ) が直前のフレーム ( F n - 1 ) のそれより小さいと、比較機 ( 8 7 ) はロー論理「 0 」の M U X 制御信号が発生する。

【 0 0 7 4 】 M U X ( 8 8 ) は比較機 ( 8 7 ) からの M U X 制御信号に応答して加算器 ( 8 5 ) と減算器 ( 8 6 ) の出力信号の中のいずれか一つを選択する役割をする。 M U X 制御信号の論理値がハイ論理「 1 」であると、 M U X ( 8 8 ) は加算器 ( 8 5 ) の出力信号を選択 40 する。反面、 M U X 制御信号の論理値がロー論理「 0 」であると、 M U X ( 8 8 ) は減算器 ( 8 6 ) の出力信号を選択する。

【 0 0 7 5 】 M U X ( 8 8 ) により選択されたデータは関係式 ( 1 ) 乃至 ( 3 ) のような高速駆動条件を満足す

るようにその値が設定される。ルックアップ・テーブルデータ ( | D | ) のデータ幅が 7 ビットまたは 6 ビットに設定されると仮定するとき、ルックアップ・テーブル ( 8 4 ) のメモリの大きさは下の表 4 のようにそれぞれ 4 5 9 K b または 3 9 3 K b 以下になる。

【 0 0 7 1 】

【表 4】

るようにその値が設定される。

【 0 0 7 6 】 図 9 は本発明の第 3 実施例によるデータ修正部 ( 5 2 ) を表す。

【 0 0 7 7 】 図 9 を参照すると、本発明によるデータ修正部 ( 5 2 ) はタイミング・コントローラ ( 5 1 ) から最上位の上位ビットデータ ( M S B ) が入力されるフレームメモリ ( 9 3 ) と、高速駆動に適合の修正データで正常駆動データを引いた差の絶対値に最上位修正データ ( M S B ) を修正するためのルックアップ・テーブル ( 9 4 ) と、ルックアップ・テーブル ( 9 4 ) から出力された修正データと上位ビットバスライン ( 9 2 ) からのデータを加算するための加算器 ( 9 5 ) とを具備する。

【 0 0 7 8 】 フレームメモリ ( 9 3 ) はタイミングコントローラ ( 5 1 ) の上位ビットバスライン ( 9 2 ) に接続されてタイミングコントローラ ( 5 1 ) から入力される最上位のビットデータ ( M S B ) を一フレーム期間の間に保存する。そしてフレームメモリ ( 9 3 ) は毎フレームに保存された最上位のビットデータ ( M S B ) をルックアップ・テーブル ( 9 4 ) に供給する。

【 0 0 7 9 】 ルックアップ・テーブル ( 9 4 ) には高速駆動方式に適合に予め設定されたデータで現在入力される正常駆動データを引いた差の絶対値に決定された修正データが登録される。このルックアップ・テーブルデータは表 3 で符号が付加されて表 5 のようになる。従って、ルックアップ・テーブル ( 9 4 ) のメモリの大きさは図 6 に図示されたそれに符号ビットとして追加された 1 ビットだけ増加しないが、ルックアップ・テーブルデータの値が前記差の値に決定されて従来のルックアップ・テーブルよりは小さくなる。

【表 5】

18

区分	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	1	1	2	2	3	3	3	3	4	4	3	2	1	0
1	0	0	0	1	1	2	3	3	3	3	3	3	3	2	1	0
2	0	0	0	1	1	2	2	2	2	3	3	3	3	2	1	0
3	0	0	0	0	1	1	2	2	2	2	2	3	2	2	1	0
4	0	-1	-1	-1	0	1	1	2	2	2	2	2	2	2	1	0
5	0	-1	-2	-1	-1	0	1	1	1	2	2	2	2	2	1	0
6	0	-1	-2	-2	-1	-1	0	1	1	1	1	2	2	2	1	0
7	0	-1	-2	-2	-2	-1	-1	0	0	1	1	1	2	1	1	0
8	0	-1	-2	-2	-2	-2	-1	-1	0	0	1	1	1	1	1	0
9	0	-1	-2	-2	-2	-2	-2	-1	-1	0	0	1	1	1	1	0
10	0	-1	-2	-3	-3	-3	-2	-2	-1	-1	0	0	1	1	1	0
11	0	-1	-2	-3	-4	-3	-3	-2	-2	-2	-1	0	0	1	1	0
12	0	-1	-2	-3	-4	-4	-3	-3	-3	-2	-2	-1	0	0	1	0
13	0	-1	-2	-3	-4	-4	-4	-4	-4	-3	-2	-1	-1	0	0	0
14	0	-1	-2	-3	-4	-5	-5	-5	-5	-4	-3	-2	-1	0	0	0
15	0	-1	-2	-3	-4	-5	-6	-6	-6	-5	-4	-2	-1	0	0	0

表5において、左側列は直前のフレーム(Fn-1)のデータ電圧(VDn-1)であり、最上側行は現在のフレーム(Fn)のデータ電圧(VDn)である。負の符号が付加されたルックアップ・テーブルデータは関係式(1)の条件に当たって、符号が付加されない即ち、量の正数であるルックアップ・テーブルデータは関係式(2)及び(3)に当たる。このように符号が併記された表5のルックアップ・テーブルデータは表2の正常駆動データに単純に加算されると表1のような高速駆動データになる。

【0080】加算器(95)は表2のような現在のフレーム(Fn)の最上位修正データとルックアップ・テーブル(94)の表5のルックアップ・テーブルデータを加算する。このように加算器(95)により加算されたデータは関係式(1)乃至(3)のような高速駆動条件を満足する。

【0081】図10は本発明の第3実施例によるデータ修正部(52)を表す。

【0082】図10を参照すると、本発明によるデータ修正部(52)はタイミング・コントローラ(51)から8ビットのデータ(MSB)が入力されるフレームメモリ(103)と、高速駆動に適合の修正データで正常駆動データを引いた差の絶対値にフルビットのデータを修正するためのルックアップ・テーブル(104)と、ルックアップ・テーブル(104)から出力された修正データと入力ライン(101)からのデータを加算するための加算器(105)とを具備する。

【0083】フレームメモリ(103)は入力ライン(101)を経由してタイミングコントローラ(51)から入力されるフルビットのデータを一フレーム期間(30)間に保存する。そしてフレームメモリ(103)は毎フレームに保存されたフルビットのデータをルックアップ・テーブル(104)に供給する。

【0084】ルックアップ・テーブル(104)には高速駆動方式に適合に予め設定されたデータで現在入力される正常駆動データを引いた差の絶対値に決定されたル

\*ックアップ・テーブルデータが登録される。ルックアップ・テーブルデータには表4のように符号ビットが追加される。このルックアップ・テーブルデータは前記差に決定されるためにそのデータ幅が符号ビットが付加されたとともにフルビットのソースデータのそれより小さく設定される。

【0085】加算器(105)は現在のフレーム(Fn)に入力されるフルビットのソースデータと表4のようなルックアップ・テーブルデータを加算する。加算器(105)により加算されたデータは関係式(1)乃至(3)のような高速駆動条件を満足する。

【0086】  
【発明の効果】上述のように、本発明による液晶表示装置の駆動方法及び装置は予め設定された高速駆動データで正常駆動データを引いた差またはその差の絶対値に修正データを決定する。その結果、ルックアップ・テーブルのメモリの大きさが減るようになることは勿論、液晶の応答速度を補正するための修正データとして入力データを修正するので画質がその分向上する。更に、フルビット比較方式にデータが修正されると共にフルビットに修正データが精製されてもルックアップ・テーブルのメモリの大きさが小さくて修正データの値の決定の自由度が大きくなる。

【0087】以上説明した内容を通し、当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。例えば、データ修正部はルックアップ・テーブル以外にもプログラムとこれを実行するためのマイクロプロセッサのような異なる形態にすることもできる。また、本発明による技術的思想はデータ修正が必要なすべての分野、例えば、通信、光メディア、液晶表示装置以外の異なるデジタル平板表示装置に適用することができる。従って、本発明の技術的な範囲は、明細書の詳細な説明に記載された内容に限定されず、特許請求の範囲によって定められる。

【図面の簡単な説明】  
【図1】 図1は通常の液晶表示装置においてデータに

よる輝度変化を表す波形図である。

【図2】 図2は従来の高速駆動方法においてデータ修正による輝度変化の一例を表す波形図である。

【図3】 図3は8ビットのデータで従来の高速駆動方法の一例を表す図面である。

【図4】 図4は従来の高速の駆動装置を表すブロック図である。

【図5】 図5は本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。

【図6】 図6は図5に図示されたデータ修正部の第1実施例を表すブロック図である。

【図7】 図7は図6に図示されたデータ修正部の制御手順を段階的に表す流れ図である。

【図8】 図8は図5に図示されたデータ修正部の第2実施例を表すブロック図である。

【図9】 図9は図5に図示されたデータ修正部の第3実施例を表すブロック図である。

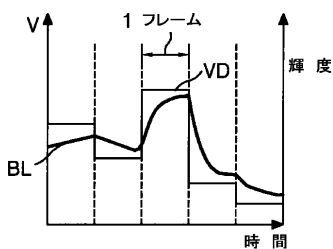
【図10】 図10は図5に図示されたデータ修正部の\*

\*第4実施例を表すブロック図である。

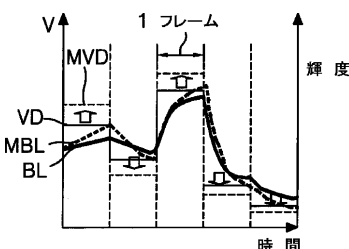
【符号の説明】

- 42、62：上位ビット・バスライン
- 43、63、83、93、103：フレーム・メモリ
- 44、64、84、94、104：ルックアップ・テーブル
- 51：タイミング・コントローラ
- 52、62：データ修正部
- 53：データ・ドライバ
- 54：ゲート・ドライバ
- 55：データライン
- 56：ゲートライン
- 57：液晶パネル
- 65、85、95、105：加算器
- 66、86：減算器
- 67、87：比較機
- 68、88：マルチプレクサ(MUX)
- 81、101：入力ライン

【図1】



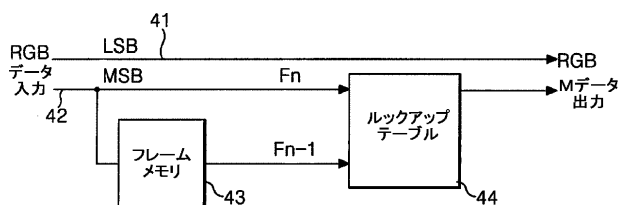
【図2】



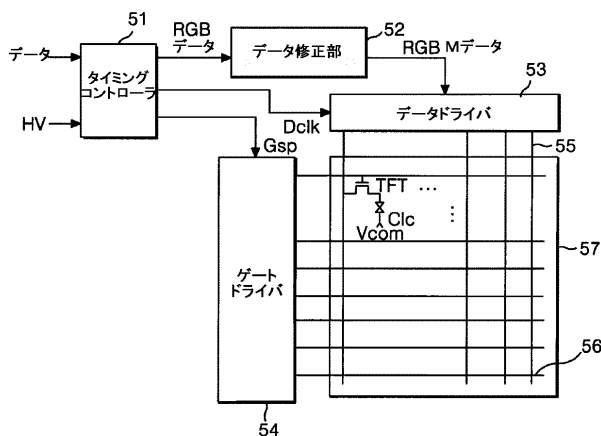
【図3】



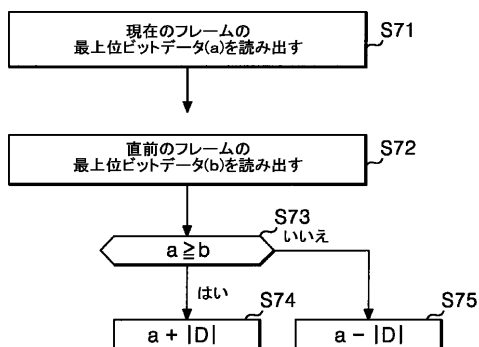
【図4】



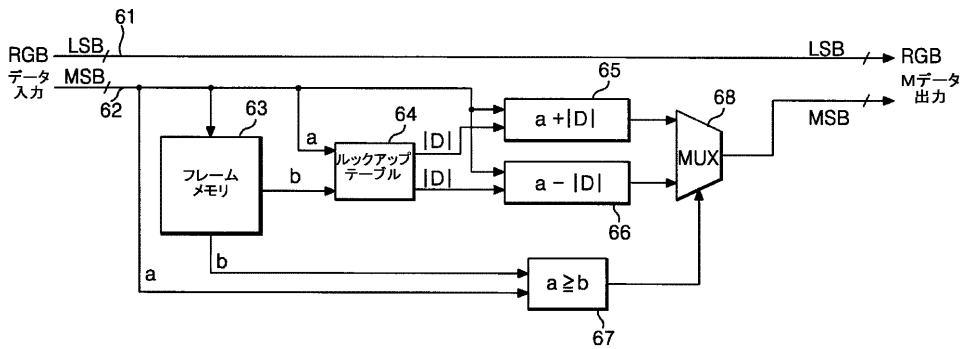
【図5】



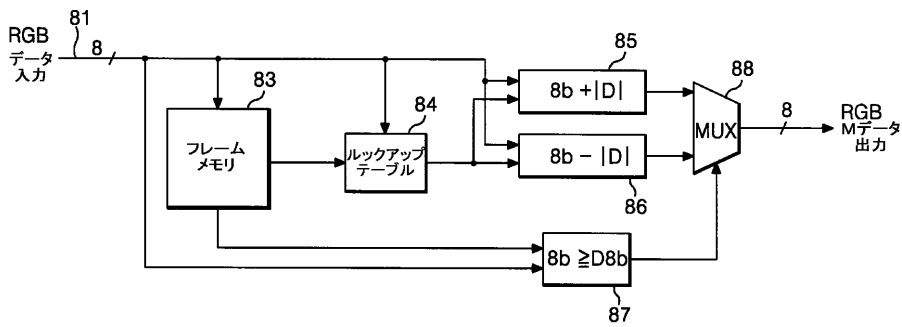
【図7】



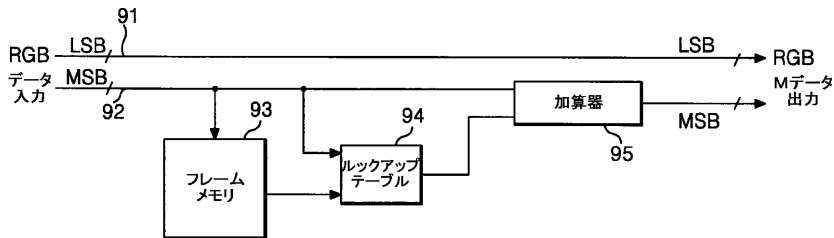
【図6】



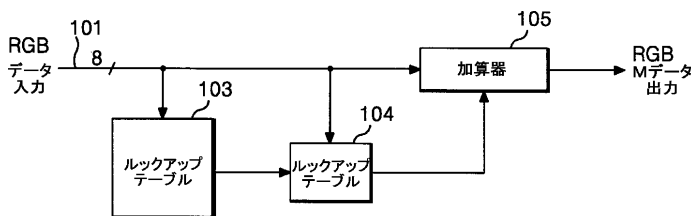
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
G 0 9 G 3/20

識別記号  
6 4 1

F I  
G 0 9 G 3/20

テ-マコード<sup>\*</sup>(参考)  
6 3 1 V  
6 4 1 P

6 6 0

6 6 0 V

Fターム(参考) 2H093 NC11 NC14 NC25 NC29 NC34  
ND06 ND32 ND49  
5C006 AA01 AF13 AF45 AF46 AF47  
BB16 BC16 BF02 BF14 BF28  
FA14 FA29 FA44 FA56  
5C080 AA10 BB05 DD05 DD08 DD22  
EE19 EE29 FF11 GG10 GG12  
JJ02 JJ04 JJ07

专利名称(译)	用于驱动液晶显示装置的方法和设备		
公开(公告)号	<a href="#">JP2003084743A</a>	公开(公告)日	2003-03-19
申请号	JP2002186921	申请日	2002-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji 飞利浦杜迪股份有限公司		
[标]发明人	ハムヨンスン		
发明人	ハム, ヨン スン		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/2092 G09G3/3611 G09G3/3648 G09G2320/0252 G09G2320/0285 G09G2340/16 G09G2360/18		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.U G09G3/20.621.F G09G3/20.631.R G09G3/20.631.V G09G3/20.641.P G09G3/20.660.V		
F-TERM分类号	2H093/NC11 2H093/NC14 2H093/NC25 2H093/NC29 2H093/NC34 2H093/ND06 2H093/ND32 2H093/ND49 5C006/AA01 5C006/AF13 5C006/AF45 5C006/AF46 5C006/AF47 5C006/BB16 5C006/BC16 5C006/BF02 5C006/BF14 5C006/BF28 5C006/FA14 5C006/FA29 5C006/FA44 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD22 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG10 5C080/GG12 5C080/JJ02 5C080/JJ04 5C080/JJ07 2H193/ZA04		
优先权	1020010054125 2001-09-04 KR		
其他公开文献	JP4262449B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的方法和装置，其降低了用于数据调制的存储器的容量并改善了图像质量。解决方案：在用于驱动液晶显示器的方法和装置中，计算校正数据和正常输入数据之间的差值，并利用计算出的差值的数据调制正常输入数据。

