

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003 - 66461

(P2003 - 66461A)

(43)公開日 平成15年3月5日(2003.3.5)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-ト* (参考)

G 0 2 F 1/1339

500

G 0 2 F 1/1339

500

2 H 0 8 9

審査請求 未請求 請求項の数 4 O L (全 9 数)

(21)出願番号 特願2001 - 256962(P2001 - 256962)

(22)出願日 平成13年8月27日(2001.8.27)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 村田 充弘

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100075557

弁理士 西教 圭一郎

F タ-ム (参考) 2H089 LA09 LA20 MA04X QA10 QA12

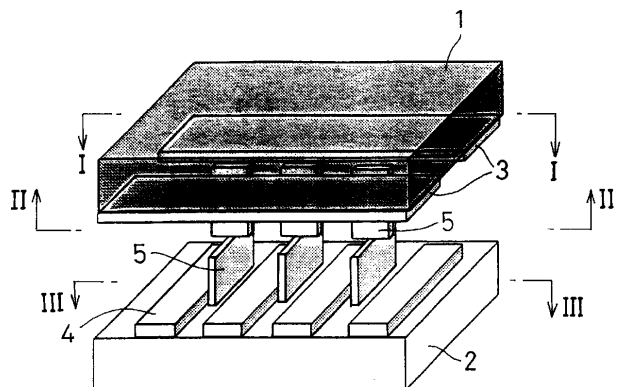
QA14 QA16 RA10 TA01

(54)【発明の名称】 液晶表示素子

(57)【要約】

【課題】 製造工程での静電気を大幅に抑え、かつ、セル厚均一化に伴う表示品位を改善する液晶表示素子のスペーサ製造方法を提供する。

【解決手段】 一对のプラスチック基板 1、2 の各々に、順次、電極 3、4、柱状スペーサ 5、配向膜を形成し、その柱状スペーサ 5 を、ブロック状で、基板面 1 m m²あたりの総表面積が 8 7 0 0 μ m²以上で画素に平行し、かつ、その底面の短辺が 1 0 μ m 以下で、長辺が平行対峙する側の 1 画素の辺よりも短くなるように、少なくともシール部に設け、それらの一对のプラスチック基板をシール材によってシール部に貼合わせて液晶表示素子を作製する。



【特許請求の範囲】

【請求項 1】 一対のプラスチック基板がシール材によってシール部で貼合わされてなる液晶表示素子において、

前記一対のプラスチック基板の各々は、少なくとも順次、柱状スペーサ、配向膜が形成されてなり、前記柱状スペーサは、ブロック状で、基板面 1mm^2 あたりの総表面積が $8700\mu\text{m}^2$ 以上で画素に平行して、少なくともシール部に設けられ、かつ、その底面の短辺が $10\mu\text{m}$ 以下で、長辺が平行対峙する側の 1 画素 10 の辺よりも短いことを特徴とする液晶表示素子。

【請求項 2】 前記ブロック状スペーサは、短辺が $5\mu\text{m}$ で、長辺が $30\mu\text{m}$ であり、高さが $2\mu\text{m} \sim 4\mu\text{m}$ であることを特徴とする請求項 1 記載の液晶表示素子。

【請求項 3】 各基板に設けられたブロック状スペーサが、それらの底面の長辺が直行して十字に重なって対峙するように、一対の基板が貼合わされてなることを特徴とする請求項 1 または 2 記載の液晶表示素子。

【請求項 4】 前記ブロック状スペーサが、一対のプラスチック基板の間隙を均一に保つためのスペーサとして 20 表示領域に設けられていることを特徴とする請求項 1 ~ 4 のうちのいずれか 1 記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、製造時に発生する静電気の影響を防止するプラスチック基板を用いた液晶表示素子に関する。

【0002】

【従来の技術】近年、液晶表示装置は、ディスプレイとしてマルチメディア機器に搭載され、その機器を簡易に 30 携帯して使用できるように、軽量で、高い表示品位を同時に達成するプラスチック液晶表示素子が製造されている。

【0003】このようなプラスチック液晶表示素子においては、対峙する液晶表示素子用基板のセル厚を均一化するためのスペーサとして、プラスチックビーズや透明電極上に形成された感光性柱状スペーサが使用される。

【0004】図 8 は、柱状スペーサが形成された従来の液晶表示素子の構成を示す斜視図である。図 9 は、プラスチックビーズスペーサが形成された従来の液晶表示素子の構成を示す断面図である。図 10 は、柱状スペーサが形成された従来の液晶表示素子の構成を示す断面図である。図 9 に示すように、プラスチックビーズは、セル厚を制御するために、貼合わせの散布工程で片側基板上に均一に散布され、プラスチック基板に挟持される。この際、スペーサを支える基板がひずみ、セル厚ムラを生じることがある。これを解決するために、図 10 に示すように、感光性柱状スペーサを一方の基板上の非画素部に均一に配置することによって、セル厚を制御することが提案されている。該感光性柱状スペーサは、一方の液 50

晶駆動電極 (ITO) をパターン形成した後、感光性樹脂をスピンコートなどで基板上に塗布し、フォトリソグラフィ工程によって形成されて配置される。

【0005】前記感光性柱状スペーサは、一方の基板側に、液晶層の厚み、すなわちセル厚を維持するために、一般的には、高さ $6\mu\text{m}$ 程度、画素間距離のほぼ半分の直径 $10\mu\text{m}$ 程度の円柱または角柱状などの柱状に形成される。これ以上大きいとスペーサ周りの液晶の配向が乱れ、ストライブドメインという不具合が生じるからである。この柱状スペーサを形成した後、配向膜を塗布してラビング (RUB) 処理する。この後、柱状スペーサが形成された基板の対向側基板にシール材を印刷し、上下基板を貼合わせ、液晶を注入することによって液晶表示装置を完成させている。

【0006】また、特開平 6 - 337427 号公報では、プラスチック基板上に柱状スペーサとしての突起を形成し、液晶表示素子を得ることが示されている。

【0007】さらに、特開平 1 - 134336 号公報では、感光性柱状スペーサが、1 組の電極付基板の両方に形成され、かつ、対向するスペーサが当接して形成された液晶表示素子が示されている。

【0008】

【発明が解決しようとする課題】前述のような柱状スペーサを設けた液晶表示素子において、プラスチック基板はガラス基板と異なり、静電気がたまりやすく、配向膜をオフセット印刷するときや、シール材をスクリーン印刷するとき、プラスチック基板が印刷版に貼付くという問題が発生する。

【0009】図 11 は、液晶表示素子の製造工程において印刷版に基板が貼付いた状態を示す断面図である。シール材印刷版 30 に貼付いた基板 31 と、剥離用ピン 33 で通常剥離された基板 32 の位置とを示している。静電気によりプラスチック基板が印刷版に貼付く状態とは、配向膜やシール材の印刷の際に、図 11 のように基板が静電気によって印刷版に貼付いた状態、すなわち装置の印刷ステージから浮いた状態である。この状態になると、印刷版に貼付いた基板を剥離用ピン 33 によって剥離しても、通常剥離した基盤 32 の位置が印刷版に貼付かなかった場合よりずれ、次の基板が搬送されて前の基板と接触したりすることによって、基板に欠けが発生したり、基板上に傷が残って液晶表示素子の表示不良が発生するという不具合が生じる。特に、スペーサを設けない対向側基板の静電気による印刷版への貼付きと、シール材のスクリーン印刷への貼付きが目立つという問題がある。

【0010】特開平 6 - 337427 号公報および特開平 1 - 134336 号公報では、このような静電気による貼付きなどの問題について触れられていないだけでなく、柱状スペーサの大きさなども示されておらず、前述のように所定の大きさより大きい場合にはストライブド

メインという不具合が生じることにもなる。

【0011】本発明の目的は、製造工程での静電気の発生を大幅に抑え、かつ、セル厚均一化に伴う表示品位を改善する液晶表示素子のスペーサ製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、一对のプラスチック基板がシール材によってシール部で貼合わされる液晶表示素子において、前記一对のプラスチック基板の各々は、少なくとも順次、柱状スペーサ、配向膜が形成されてなり、前記柱状スペーサは、ブロック状で、基板面 1mm^2 あたりの総表面積が $8700\mu\text{m}^2$ 以上で画素に平行して、少なくともシール部に設けられ、かつ、その底面の短辺が $10\mu\text{m}$ 以下で、長辺が平行対峙する側の 1 画素の辺よりも短いことを特徴とする液晶表示素子である。

【0013】本発明に従えば、上下のプラスチック基板上に柱状スペーサを設けることによって、配向膜形成時の静電気の影響による基板の貼付きを防止できる。また、その柱状スペーサを、ブロック状とし、少なくともシール部の基板上に 1mm^2 あたり総表面積 $8700\mu\text{m}^2$ 以上で設けることによって、 $8700\mu\text{m}^2$ 未満では貼合わせ用シール印刷時に静電気の影響を受けて印刷版に基板が貼付く事態を回避することができる。したがって、シール領域に開口を有するスクリーン版をプラスチック基板上に持っていき、スクリーン版状のシール樹脂をスキージすることによってシール材をプラスチック基板上に印刷するスクリーン印刷を用いる場合には、特に有用である。

【0014】さらに、そのブロック状スペーサの底面の短辺が $10\mu\text{m}$ 以下であることによって、前述の条件を満足しても角柱状、円柱状、または、短辺が $10\mu\text{m}$ より大きいブロック状スペーサでは、スペーサ周りの配向が乱れて発生するストライブドメインを防止することができる。また、長辺を平行対峙する側の 1 画素の辺よりも短く設定したので、1 画素の辺よりも長い場合には、スムーズに行えない液晶の注入をスムーズに行うことができる。このように構成された両基板を貼合わせることによって、表示品位の高い液晶表示素子が得られる。

【0015】また本発明は、前記ブロック状スペーサは、短辺が $5\mu\text{m}$ で、長辺が $30\mu\text{m}$ であり、高さが $2\mu\text{m} \sim 4\mu\text{m}$ であることを特徴とする。

【0016】本発明に従えば、上下のプラスチック基板上に形成されるブロック状スペーサが短辺 $5\mu\text{m} \times$ 長辺 $30\mu\text{m}$ であり、高さが $2\mu\text{m} \sim 4\mu\text{m}$ であることによって、静電気を受けないブロック状スペーサのサイズが小さく、すなわち表面積が小さくなるので、スペーサ周りの液晶の配向が良好で、非常に良好な表示品位を得ることができる。

【0017】また本発明は、各基板に設けられたブロッ

ク状スペーサが、それらの底面の長辺が直行して十字に重なって対峙するように、一对の基板が貼合わされることを特徴とする。

【0018】本発明に従えば、上下基板のブロック状スペーサが、互いの上底面が十字に位置するように対峙させて貼合わせることによって、上下基板の貼合わせのずれに対して、上下基板のスペーサの位置精度に余裕が生じるので、特に、伸縮の大きいプラスチック基板を用いる場合に有効で、安定して生産することができる。また、十字に位置するように対峙させるという構成は、特に、上下基板に形成されたストライブド電極を直交するように貼合わせ、電極が重なったところが画素となるマトリクスタイプの液晶表示素子において有効に適用することができる。このとき、スペーサの高さを前述の $2\mu\text{m} \sim 4\mu\text{m}$ の範囲内で形成すれば、この範囲外で発生する、静電気による印刷版へのプラスチック基板の貼付きや、セル厚ムラ、ストライブドメインなどの表示品位の不良を防止することができる。

【0019】また本発明は、前記ブロック状スペーサが、一对のプラスチック基板の間隙を均一に保つためのスペーサとして、表示領域に設けられていることを特徴とする。

【0020】本発明に従えば、前記ブロック状スペーサが、一对のプラスチック基板の間隙を均一に保つためのスペーサとして、表示領域にも設けることによって、基板の間隙を均一に保つとともに、シール部だけに設ける場合よりも、より静電気による貼付きを防止できる液晶表示素子を、工程を増やすことなく得ることができる。

【0021】

【発明の実施の形態】図 1 は、本発明の実施の一形態による液晶表示素子の一部の構成を示す斜視図である。図 2 は、図 1 の切断面線 I - I から見た断面図である。図 3 は、図 1 の切断面線 II - II から見た平面図である。図 4 は、図 1 の切断面線 III - III から見た平面図である。該液晶表示素子は、位相差板方式プラスチック STN (Super Twisted Nematic) 型液晶表示素子であり、その製造工程において静電気対策を採用している。上側液晶表示素子用基板 1 上に形成された液晶駆動用電極である ITO 電極 3 の間と、下側液晶表示素子用基板 2 上に形成された液晶駆動用電極である ITO 電極 4 の間とに、それぞれ形成された感光性柱状スペーサ 5 がそれらの底面の長辺が直交して十字に位置するように、貼合わせて構成されている。該感光性柱状スペーサ 5 は、図 3 および図 4 に示すように、底面が矩形のブロック状スペーサであり、上下基板において、それぞれ底面の長辺が画素 7 と平行になるように各画素間に形成され、貼合わされたときに十字に位置する。また、図示した表示領域の外側でシール材により上下基板 1, 2 が貼合わされるシール部においても、表示領域と全く同様に感光性柱状スペーサが形成される。

【0022】上側および下側液晶表示素子用基板1, 2は、ともにプラスチックなどで構成され、感光性柱状スペーサ5は、J S R社製J N P Cなどの感光性樹脂などで構成される。なお、ITO電極3, 4および感光性柱状スペーサ5が形成された基板1上には、図示しない配向膜が形成されている。

【0023】図5は、感光性柱状スペーサ5の表面積と基板面積との関係を説明するための概念図である。下側液晶表示素子用基板2に形成された感光性柱状スペーサ5において、その表面積は、対峙する上側液晶表示素子用基板1に接触する上部分12の面積と、4つの側面13の面積の合計との和である。上側液晶表示素子用基板1に形成された感光性柱状スペーサ5についても全く同様である。該感光性柱状スペーサ5は、基板上1mm²あたりに総表面積が8700μm²以上となるように配置され、かつ、底面すなわち上部分12の短辺が10μm以下で、その長辺は、当該長辺が平行して配置されている画素7の1画素分の辺よりも短く設定される。

【0024】このように構成されている液晶表示素子の製造プロセスフローは、ITO電極形成工程、フォトリソグラフィ工程、配向膜印刷工程、配向膜RUB処理工程、貼合わせ用シール印刷工程、上下基板の貼合わせ工程の順で実施される。すなわち、上下基板のセル厚制御用スペーサは、通常の液晶表示素子の製造プロセスフローでは、貼合わせ用シール印刷工程の後に実施される上下基板のセル厚制御用スペーサの散布工程において形成されるが、本実施形態の製造プロセスフローでは、ITO電極形成後に、フォトリソグラフィ工程において感光性柱状スペーサ5として先に形成される。

【0025】前記製造プロセスフローにおいて、配向膜印刷工程および貼合わせ用シール印刷工程で、静電気が発生すると、印刷版に液晶表示素子用基板が貼付く不具合が生じる。この不具合が生じないように、本実施形態では、前述のように、感光性柱状スペーサ5の形状や基板上への配置を工夫している。すなわち、感光性柱状スペーサ5は、上部分12の短辺が10μm以下で、その長辺は、当該長辺が平行して配置される画素7の1画素分の辺よりも短く設定されたブロック状スペーサとして、基板面1mm²あたりに総表面積が8700μm²以上となるように、少なくともシール部に配置される。また、前記ブロック状スペーサは、上下基板に、それぞれ底面の長辺が画素7と平行になるように各画素間に形成されている。さらに、それらの底面の長辺が直行して十字に位置するように貼合わせて構成される。

【0026】このように設定する意義は以下の通りである。まず、基板上に形成された柱状スペーサは、静電気を受けないので、製造プロセスにおける静電気による両基板の貼付きを防止するためには、両基板上に柱状スペーサを形成する必要がある。その際、スペーサの高さは、セル厚に対して分割して設定される。

【0027】また、感光性柱状スペーサ5は、基板面1mm²あたりに総表面積が8700μm²未満で設けられると、シール印刷時において静電気の影響を受けて印刷版に液晶表示素子用基板が貼付いてしまう。

【0028】また、ブロック状スペーサの上部分12の短辺が10μmより大きい場合、スペーサ周りの配向が乱れ、ストライプドメインを発生する。また、その上部分12の長辺がそれに平行する1画素の辺よりも大きい場合、液晶の注入がスムーズに行えない。

【0029】さらに、このようなブロック状スペーサは、少なくともシール部に配置されていなければ、静電気が発生しやすい貼合わせ用シール印刷工程での静電気発生を抑えることができない。

【0030】これらの要件を満足するためには、たとえば、基板上に、短辺5μm×長辺30μm×高さ2μmの感光性ブロック状スペーサを基板面1mm²あたり30個配置すると、基板上に形成されたブロック状スペーサの基板面1mm²あたりの総表面積が8700μm²となる。この1mm²あたり30個とする数値的意義は、以下の通りである。一般的な表示画素1個のサイズは250μm×100μmである。これは、RGBの3画素を、SVG A程度の表示で画素パターンを配置した場合における一画素のピッチである。表示画素間の線間は20μm程度である。よって、1mm²中に存在する表示画素は約30画素程度となる。その表示画素ごとに1つのブロック状スペーサを配置すると、1mm²で約30個のブロック状スペーサが配置される換算になる。

【0031】また、プラスチック基板は熱などによって基板が伸縮みしやすいので、両基板に柱状スペーサが形成された上下基板を貼合わせる際、一般に用いられる底面の直径が10μm程度の柱状スペーサでは、対向側のスペーサとの嵌合がずれて嵌合精度が低下する可能性があり、セル厚ムラが生じる。このような嵌合ずれが起こらないように、図3および図4に示したように、上下基板において、ITO電極3, 4の間に、ブロック状スペーサの底面の長辺がITO電極3, 4(画素)と平行になり、かつ1本のストライプのITO電極3, 4上で隣合う画素間に位置するように、ブロック状スペーサを配置する。そして、上下基板を貼合わせたときに、上下基板のスペーサの底面の長辺が直行して十字に位置し、対向側のスペーサとの嵌合ずれを起こすことなく、セル厚ムラやストライプドメインなどの表示品位の不良が発生することを回避することができる。

【0032】(実施例1)300cm×420cm角のプラスチック基板上に、ITO電極を形成した後、フォトリソグラフィにより、スペーサの上部分(底面)5μm×30μm、高さ2.0μmの感光性ブロック状スペーサを、基板面1mm²あたり30個の割合で、図3および図4に示したように、その底面の長辺が画素となるストライプ状のITO電極に平行となるようにITO電

極間に形成し、配向膜印刷時と、貼合わせ用シール印刷時に静電気を測定した。

【0033】(実施例2) スペースの高さを3.0 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0034】(実施例3) スペースの高さを4.0 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0035】(実施例4) スペースの高さを4.5 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0036】(実施例5) スペースの高さを6.0 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0037】(実施例6) スペースの上部分(底面)を5 $\mu\text{m} \times 50 \mu\text{m}$ とし、かつ高さを2 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0038】(実施例7) スペースの上部分を5 $\mu\text{m} \times 50 \mu\text{m}$ とし、かつ高さを4 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0039】(実施例8) スペースの上部分を10 $\mu\text{m} \times 30 \mu\text{m}$ とし、かつ高さを2 μm とした以外は実施例1と全く同様にしてブロック状スペースを形成し、静電気を測定した。

【0040】(実施例9) スペースの上部分を10 $\mu\text{m} \times 30 \mu\text{m}$ とし、かつ高さを4 μm とした以外は実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0041】(比較例1) 感光性スペースを使用せず、通常の製造プロセスのフローに従い、プラスチック基板上にITO電極を形成後、配向膜印刷時と、貼合わせ用シール印刷時に、静電気を測定した。

【0042】(比較例2) スペースの上部分を5 $\mu\text{m} \times 15 \mu\text{m}$ とし、かつ高さを2 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0043】(比較例3) スペースの上部分を5 $\mu\text{m} \times 15 \mu\text{m}$ とし、かつ高さを4 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定し

た。

【0044】(比較例4) スペースの上部分が10 $\mu\text{m} \times 10 \mu\text{m}$ で高さが6 μm の角柱状スペースとした以外は、実施例1と同様にしてスペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0045】(比較例5) 図6は、上側液晶表示素子用基板1上での円柱状スペース15の配置状態を示す平面図である。図7は、下側液晶表示素子用基板2上での円柱状スペース15の配置状態を示す平面図である。前述のように、プラスチック基板は熱などによって基板が伸縮しやすいため、両基板に柱状スペースが形成された上下基板を貼合わせる際、一般に用いられる底面の直径が10 μm 程度の柱状スペースでは、対向側のスペースとの嵌合がずれて嵌合精度が低下する可能性があり、セル厚ムラが生じる。このような嵌合ずれが起こらないように、上下基板には、セル厚に等しい高さの円柱状スペースを、図6および図7に示すように表示画素2個に対して1個となるようにクシバ状に、基板面1 mm^2 あたり15個設ける。上下基板の貼合わせ時には、各基板上に形成された円柱状スペースは対向する基板と接し、嵌合ずれを防止している。

【0046】プラスチック基板上に、ITO電極を形成した後、フォトリソグラフィにより、スペースの上部分(底面)の直径10 μm 、高さ6 μm の感光性円柱状スペースを、基板面1 mm^2 あたり15個の割合で、図6および図7に示したように、対向する基板と接するようにITO電極間に形成し、配向膜印刷時と、貼合わせ用シール印刷時に静電気を測定した。

【0047】(比較例6) スペースの上部分の直径を15 μm とした以外は、比較例5と全く同様にして円柱状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0048】(比較例7) スペースの高さを1.5 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と、貼合わせ用シール印刷時に静電気を測定した。

【0049】(比較例8) スペースの上部分を15 $\mu\text{m} \times 30 \mu\text{m}$ とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0050】(比較例9) スペースの上部分を15 $\mu\text{m} \times 30 \mu\text{m}$ とし、かつ高さを4 μm とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0051】(比較例10) スペースの上部分を20 $\mu\text{m} \times 30 \mu\text{m}$ とした以外は、実施例1と全く同様にしてブロック状スペースを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0052】(比較例11) スペースの上部分を20 μ

m×30μmとし、かつ高さを4μmとした以外は、実施例1と全く同様にしてブロック状スペーサを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0053】(比較例12)スペーサの上部分の直径を20μmとした以外は、比較例5と全く同様にして円柱状スペーサを形成し、配向膜印刷時と貼合わせ用シール印刷時に静電気を測定した。

【0054】(評価方法)実施例1～9および比較例1～12の静電気量測定において、感光性柱状スペーサの高さ、総表面積および液晶表示素子基板への静電気量と、基板貼付きとの関係性を評価した結果を表1に示す。なお、表面積は、ブロック状スペーサの場合、図5に示したように、対峙する基板に接触する上部分12の面積と、4つの側面13の面積の合計との和とする。円柱状スペーサの表面積は、対峙する基板に接触する上部分面積と、周方向の側面面積との和とする。

【0055】また実施例1～3、6～9および比較例8～12において静電気量測定試験を実施したプラスチック基板を用い、両基板を貼合わせ、表示品位などを確認するために、図3、4、6、7に示したようにして液晶表示素子を作製し、その評価結果を表2に示す。なお、液晶表示素子のセル厚は、表示品位および応答速度の観点から、すべての実施例および比較例について6μmとした。

【0056】

【表1】

形状	線寸法	構造法	上部分面積	柱状スペーサ形状			総表面積(μm ² /1mm ²)	印刷膜への電荷保持特性と静電気量		
				高さ	表面積(μm ²)	面積(μm ²)		配向膜印刷時	シール印刷時	
比較例1	無し	無し	0	無し	無し	無し	無し	1.3KV	1.6KV	
比較例2	5μm	15μm	75	2μm	15	450	450	1.0KV	1.2KV	
比較例3	10μm	10μm	100	4μm	235	1050	1050	0.8KV	1.0KV	
比較例4	10μm	10μm	100	6μm	340	910	910	0.8KV	1.0KV	
比較例5	10μm	10μm	785	6μm	267	405	405	0.8KV	1.0KV	
比較例6	10μm	10μm	177	6μm	460	684	684	0.8KV	1.0KV	
比較例7	10μm	10μm	177	6μm	255	650	650	0.8KV	1.0KV	
実施例1	5μm	30μm	150	2μm	290	8700	8700	0.8KV	0.9KV	
実施例2	5μm	30μm	150	3μm	360	10800	10800	0.7KV	0.8KV	
実施例3	5μm	30μm	150	4μm	430	12900	12900	0.6KV	0.7KV	
実施例4	5μm	30μm	150	4.5μm	465	13950	13950	0.6KV	0.7KV	
実施例5	5μm	30μm	150	5μm	570	17100	17100	0.6KV	0.7KV	
実施例6	5μm	30μm	150	6μm	470	14100	14100	0.6KV	0.7KV	
実施例7	5μm	30μm	150	2μm	690	20700	20700	0.3KV	0.4KV	
実施例8	10μm	30μm	300	2μm	460	13800	13800	0.6KV	0.7KV	
実施例9	10μm	30μm	300	2μm	620	18600	18600	0.4KV	0.5KV	
比較例8	15μm	30μm	450	2μm	630	18900	18900	0.4KV	0.5KV	
比較例9	20μm	30μm	600	4μm	810	24300	24300	0.2KV	0.3KV	
比較例10	20μm	30μm	600	2μm	800	24000	24000	0.2KV	0.3KV	
比較例11	20μm	30μm	600	4μm	1000	30000	30000	0.2KV	0.3KV	
比較例12	20μm	30μm	314	6μm	691	10365	10365	0.4KV	0.5KV	

【0057】

【表2】

上側基板	形状	柱状スペーサ形状					組合わせる 下側基板	合計 総表面積 ($\mu\text{m}^2/\text{1mm}^2$)	液晶表示素子の表示品位	
		縦寸法	横寸法	上部分 面積	高さ	表面積 (μm^2)				総表面積 ($\mu\text{m}^2/\text{1mm}^2$)
実施例 1	ブロック	5 μm	30 μm	150	2 μm	290	8700	実施例 3	21600	非常に良好
実施例 2					3 μm	360	10800	実施例 2	21600	非常に良好
実施例 3					4 μm	430	12900	実施例 1	21600	非常に良好
実施例 6		5 μm	50 μm	250	2 μm	470	14100	実施例 7	34800	良好
実施例 7					4 μm	690	20700	実施例 6	34800	良好
実施例 8		10 μm	30 μm	300	2 μm	460	13800	実施例 9	32400	良好
実施例 9					4 μm	620	18600	実施例 8	32400	良好
比較例 8		15 μm	30 μm	450	2 μm	630	18900	比較例 9	43200	表示素子のコントラストの低下 、ストライプドメインの発生
比較例 9					4 μm	810	24300	比較例 8	43200	表示素子のコントラストの低下 、ストライプドメインの発生
比較例 10		20 μm	30 μm	600	2 μm	800	24000	比較例 11	54000	表示素子のコントラストの低下 、ストライプドメインの発生
比較例 11					4 μm	1000	30000	比較例 10	54000	表示素子のコントラストの低下 、ストライプドメインの発生
比較例 12	円柱状	直径 20 μm		314	6 μm	691	10365	比較例 12	20730	柱状スペーサが対峙基板をよれ させ、セル厚ムラを発生

【0058】(評価結果)表1から、

配向膜印刷時に静電気量が1.3 kV以上である比較例1や、シール印刷時に静電気量が1.0 kV以上である比較例1、～7では、図11に示したように、印刷版に液晶表示素子用基板が貼付くことが確認された。

プラスチック基板上に感光性スペーサを形成しない通常の製造フローのプロセスで作製された比較例1の基板は、配向膜印刷版に静電気によって基板が貼付き工程不具合を発生した。

プラスチック基板上に、感光性スペーサを、直径105 μm 以下の円柱状で形成した比較例5、6は、シール材印刷版に基板が貼付いた。

プラスチック基板上のブロック状スペーサ1 mm²あたりの総表面積が、8700 μm^2 未満の比較例1～7では、シール材印刷版に静電気によって基板が貼付き、工程不具合を発生した。

【0059】以上の結果から、実施例1～9のように、総表面積が8700 μm^2 以上のブロック状スペーサは、工程プロセスのフローにおいて、配向膜印刷時の静電気量が1.3 kV以上で、シール印刷時の静電気量が201.0 kV以上となり、静電気による印刷版への基板の貼付きを防止することができることが判った。

【0060】表2から、

プラスチック上下基板に、挟持される感光性スペーサが、図6および図7のように直径20 μm の円柱状で、形成された比較例12の2枚の基板を用いて作製した液晶表示素子は、対向側基板が柱状スペーサの応力でひずみ、セル厚ムラが発生した。

プラスチック上下基板に、挟持される感光性スペーサが、図3および図4のように短辺の長さが15 μm 以上のブロック状で、形成された比較例8～11の基板を用いて作製した液晶表示素子は、ブロック状スペーサがスペーサ周り部分の液晶の配向を乱し、コントラストの低下を招くとともに、ストライプドメインを発生した。

プラスチック上下基板上にブロック状に感光性スペーサを形成した実施例1～3、6～9の基板が貼合わされた液晶表示素子は、上下基板のスペーサと各々対峙する基板のスペーサとの嵌合精度が優れ、良好な表示品位を有していた。

ブロック状スペーサ周りの液晶の配向状態は、スペーサの表面積が小さくなるほど良好であった。実施例2と実施例4とを組合わせた設定および実施例3同士を組合わせた設定が最も良好な表示状態を有していた。

【0061】以上の結果から、プラスチック基板の組合わせを用いてセル厚が6 μm となるように作製された液晶表示素子においては、実施例1～3、6～9のように、総表面積が8700 μm^2 以上のブロック状で、かつ、その底面の短辺が10 μm 以下、長辺が1画素分の辺より短いスペーサが対峙するように上下基板に形成されたものの良好な表示品位を有することが判った。

【0062】

【発明の効果】本発明によれば、上下のプラスチック基板上に設けた柱状スペーサを、ブロック状とし、少なくともシール部の基板上に1 mm²あたり総表面積8700 μm^2 以上で、かつ、底面の短辺が10 μm 以下で長辺が平行対峙する側の1画素の辺よりも短いことによって、工程プロセスのフローで静電気の影響で液晶表示素子用プラスチック基板が印刷版に貼付くことがなく、安定して生産できるという効果がある。特に、シール材の形成がスクリーン印刷によって行われる液晶表示素子に適用する場合に有用である。

【0063】また、ブロック状スペーサを小さくすることによって、液晶の配向への悪影響が少なく、かつ、液晶注入工程での時間短縮が図れる。

【0064】また、ブロック状スペーサを上下基板貼付けの際に互いの上底面が十字に位置するように対峙させることによって、セル厚制御が均一に実施され、表示品位の向上が確認されるという効果があり、セル厚制御の

均一性が向上したプラスチック液晶表示素子は、中間調表示や最適電圧表示の表示ムラの発生を極力抑える効果が得られる。

【0065】さらに、ブロック状スペーサに、間隙を均一に保つスペーサとしての役割を兼ねさせることによって、工数を増やすことなく、従来と同様の工程で液晶表示素子を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態による液晶表示素子の一部の構成を示す斜視図である。

【図2】図1の切断面線Ⅰ-Ⅰから見た断面図である。

【図3】図1の切断面線ⅡⅡ-ⅡⅡから見た平面図である。

【図4】図1の切断面線ⅢⅢ-ⅢⅢから見た平面図である。

【図5】感光性柱状スペーサ5の表面積と基板面積との関係を説明するための概念図である。

【図6】上側液晶表示素子用基板1上での円柱状スペーサ15の配置状態を示す平面図である。

10

*【図7】下側液晶表示素子用基板2上での円柱状スペーサ15の配置状態を示す平面図である。

【図8】柱状スペーサが形成された従来の液晶表示素子の構成を示す斜視図である。

【図9】プラスチックビーズスペーサが形成された従来の液晶表示素子の構成を示す断面図である。

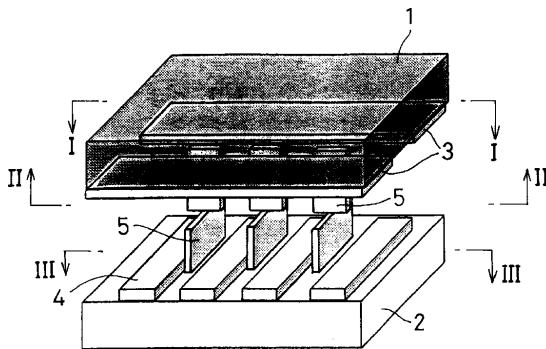
【図10】柱状スペーサが形成された従来の液晶表示素子の構成を示す断面図である。

【図11】液晶表示素子の製造工程において印刷版に基板が貼付いた状態を示す断面図である。

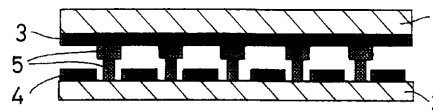
【符号の説明】

- 1 上側液晶表示素子用基板
- 2 下側液晶表示素子用基板
- 3, 4 ITO電極
- 5 感光性柱状スペーサ
- 7 画素
- 12 上部分
- 13 側面

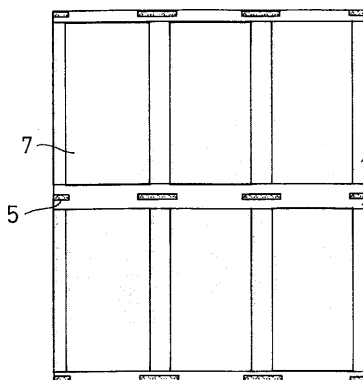
【図1】



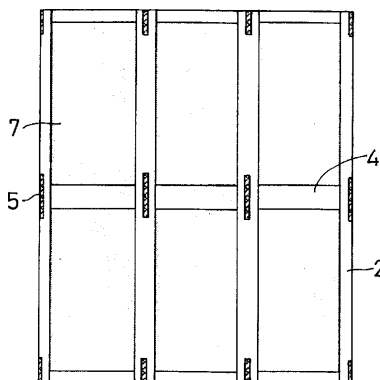
【図2】



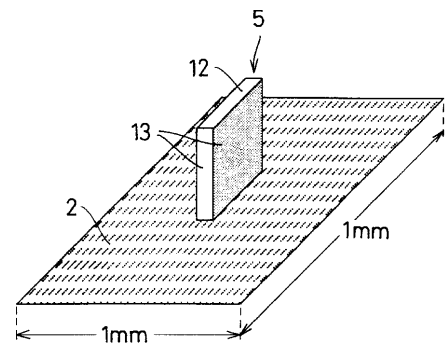
【図3】



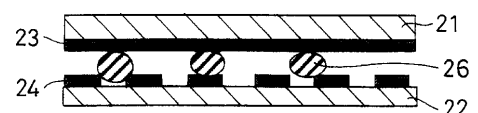
【図4】



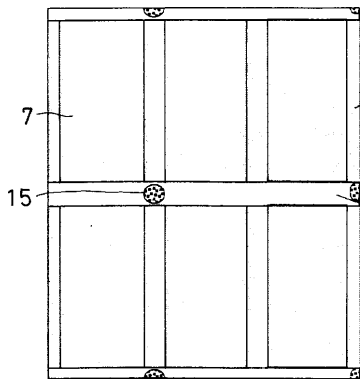
【図5】



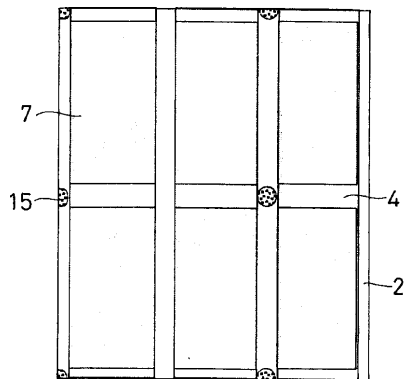
【図9】



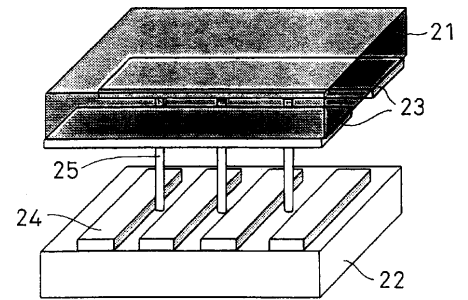
【図 6】



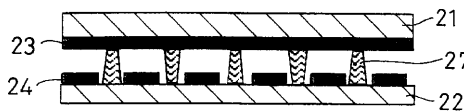
【図 7】



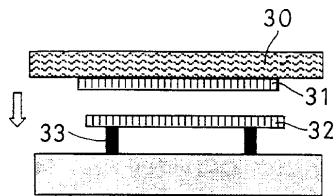
【図 8】



【図 10】



【図 11】



专利名称(译)	液晶显示元件		
公开(公告)号	JP2003066461A	公开(公告)日	2003-03-05
申请号	JP2001256962	申请日	2001-08-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	村田充弘		
发明人	村田 充弘		
IPC分类号	G02F1/1339		
FI分类号	G02F1/1339.500		
F-TERM分类号	2H089/LA09 2H089/LA20 2H089/MA04X 2H089/QA10 2H089/QA12 2H089/QA14 2H089/QA16 2H089/RA10 2H089/TA01 2H189/DA08 2H189/DA12 2H189/DA18 2H189/DA19 2H189/DA30 2H189/DA34 2H189/DA48 2H189/DA49 2H189/EA06X 2H189/FA16 2H189/FA46 2H189/FA81 2H189/HA10 2H189/HA12 2H189/HA14 2H189/HA15 2H189/JA08 2H189/LA01		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示元件的隔离物的制造方法，该方法在制造过程中显著抑制静电并由于均匀的单元厚度而提高了显示质量。 解决方案：电极3和4，在一对塑料基板1和2的每个上依次形成柱状垫片5和取向膜，并且柱状垫片5在每个基板表面1 mm²处形成为块状。 至少在密封部分中提供的总表面积为8700μm²以上且与像素平行，底面的短边小于或等于10μm，长边短于一个像素在平行面对侧的一侧。 然后，在密封部分处通过密封剂将一对塑料基板粘合在一起以产生液晶显示元件。

