

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	505	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	631	631 V	

審査請求 未請求 請求項の数 8 O L (全 10数)

(21)出願番号	特願2001 - 120222(P2001 - 120222)	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成13年4月18日(2001.4.18)	(72)発明者	新村 稔 長野県諏訪市大和3丁目3番5号 セイコーエ プソン株式会社内
		(72)発明者	木村 隆 長野県諏訪市大和3丁目3番5号 セイコーエ プソン株式会社内
		(74)代理人	100095728 弁理士 上柳 雅誉 (外 1 名)

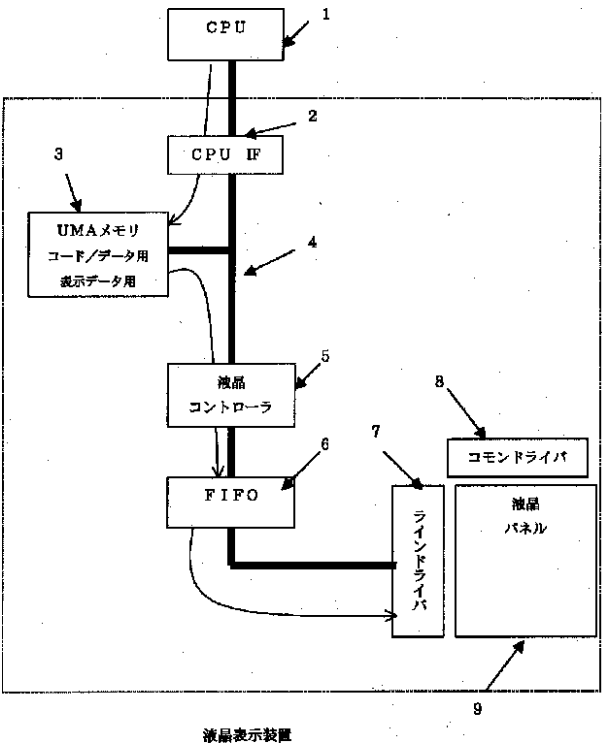
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 UMAを採用したシステムでは、CPUのメモリアクセス帯域幅が制限され、システム全体の性能が落ち込む。また表示にかかるメモリアクセスが常に発生するためシステム全体の消費電力が増大する。

【解決手段】 UMAメモリ内の画像表示用メモリ領域から読み出した表示用データをFIFOに書きこみ、液晶パネルの必要とするタイミングでFIFOから表示用データを送ることにより、表示用データをUMA領域から読み出すタイミングと、液晶パネルに表示用データを伝送するタイミングを非同期化した。また表示用データ領域への書き込みがなされたことを検出して、フレーム1画面分の表示データを液晶パネルに送付することで、UMAにかかるCPUのメモリアクセス帯域幅の減少を防ぐとともに、表示システム全体の消費電力低減を実現した。



【特許請求の範囲】

【請求項 1】 コモン駆動用ドライバと、ライン駆動用ドライバとを備えた液晶表示パネル（以下液晶表示パネルと呼ぶ）と、

液晶表示パネルに表示用データを送る手段（以下液晶コントローラと呼ぶ）と、

データを保持する半導体メモリと、

中央演算処理装置（以下 CPU と呼ぶ）とのインターフェイス手段とを備えた液晶表示装置において、

該半導体メモリが、CPU の実行用コードとデータと、 10 該液晶コントローラ用の表示データを保持し（以下、UMA メモリと呼ぶ）、

かつ、

該液晶コントローラが複数ワードの深さの FIFO を持ち、該 UMA メモリ内の画像表示用メモリ領域から読み出した表示用データを該 FIFO に書きこみ、該液晶パネルの必要とするタイミングで FIFO から表示用データを送ることにより、表示用データを該 UMA 領域から読み出すタイミングと、該液晶パネルに表示用データを伝送するタイミングを非同期化し、UMA メモリの帯域 20 の有効利用を図れることを特徴とする、液晶表示装置。

【請求項 2】 請求項 1 記載の液晶表示装置において、該ライン駆動用ドライバが表示データ記憶用メモリを搭載し、液晶パネル自身で表示のリフレッシュができることで、UMA メモリバスの帯域幅の減少を押さえることを特徴とする、液晶表示装置。

【請求項 3】 請求項 2 記載の液晶表示装置において、該液晶コントローラが、複数ワードの深さの FIFO を持ち、該半導体メモリ内の UMA 領域に設定された画像表示用メモリ領域のデータが書き換えられることを検出し、該半導体メモリから表示用データを取得し、該表示用データを該 FIFO に書き込み、該液晶パネルの必要とするタイミングで該 FIFO から該表示用データを送ることにより、表示用データを UMA 領域から読み出すタイミングと、液晶パネルに表示用データを伝送するタイミングの非同期化を図れることを特徴とする、液晶表示装置。 30

【請求項 4】 請求項 2 記載の液晶表示装置において、該液晶コントローラが、複数ワードの深さの FIFO を持ち、ソフトウェアの指示により、該半導体メモリから表示用データを取得し、該表示用データを該 FIFO に書き込み、該液晶パネルの必要とするタイミングで該 FIFO から該表示用データを送ることにより、表示用データを UMA 領域から読み出すタイミングと、液晶パネルに表示用データを伝送するタイミングの非同期化を図れることを特徴とする、液晶表示装置。 40

【請求項 5】 請求項 3 記載の液晶表示装置において、該液晶コントローラが保有する複数ワードの深さの FIFO の空き状況を監視する手段と、該 FIFO のしきい値をプログラムするレジスタを持ち、該レジスタに書き*50

*込まれた値と該 FIFO の空き状況が一致する状況になったときに、該液晶コントローラが該 UMA メモリ内の画像表示用メモリ領域から、表示用データを読み出し、該 FIFO に書きこむことを特徴とする、液晶表示装置。

【請求項 6】 請求項 3 記載の液晶表示装置において、該半導体メモリ内の UMA 領域に設定された、画像表示用メモリ領域のデータの書き換えが一定時間以上発生しないとき、該液晶コントローラの動作クロック（以下、表示用クロックと呼ぶ）を停止させ、低消費電力モードに入りつつ、表示を持続させられることを特徴とする、液晶表示装置。

【請求項 7】 請求項 6 記載の液晶表示装置において、該半導体メモリ内の UMA 領域に設定された、画像表示用メモリ領域へのデータ書き込み発生を検出して、前記表示用クロックを再開させることを特徴とする、液晶表示装置。

【請求項 8】 コモン駆動用ドライバと、ライン駆動用ドライバとを備えた液晶表示パネルと、

液晶表示パネルに表示用データを送る手段と、

データを保持する半導体メモリと、

中央演算処理装置とのインターフェイス手段とを備えた液晶表示装置において、

該半導体メモリが、CPU の実行用コードとデータと、該液晶コントローラ用の表示データを保持し（UMA メモリ）、該ライン駆動用ドライバが表示データ記憶用メモリを搭載し、該液晶コントローラが、該半導体メモリ内の UMA メモリに設定された画像表示用メモリ領域のデータが書き換えられることを検出し、該半導体メモリから表示用データを取得し、該表示用データを該ライン駆動用ドライバのメモリに書き込むことを特徴とする、液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示用メモリと CPU の実行コードやデータの記憶用メモリを兼用した、いわゆる、Unified Memory Architecture (UMA) を用いた、液晶表示装置に関する。特に、液晶パネルのライン駆動用ドライバにメモリを搭載し、液晶コントローラの表示用メモリに UMA を採用した、液晶表示装置に関する。

【0002】

【従来の技術】従来の液晶表示装置は、図1に示されるように UMA 構成をとるものも見られたが、液晶表示のリフレッシュに同期させて表示用データを転送しなければならず、UMA メモリの接続されたバスの帯域をある程度占有していた。図1の矢印は、表示に関するデータの流れを示したものである。

【0003】CPU 1 は、UMA メモリ 3 を、プログラムの実行とともに、表示用データの保管場所としても使

用する。液晶コントローラ 5 は、CPU インターフェイス 2 を介して UMA メモリ 3 にアクセスして表示用データを読み出し、液晶のライン駆動用ドライバ 7 に送る。液晶パネル 9 はラインドライバ 7 とコモンドライバ 8 を使って表示を行う。

【0004】この時、液晶コントローラ 5 は、ラインドライバ 7 の要求するタイミングに合わせてデータを書き込まなければならない。表示のためのメモリアクセスは、CPU や他のバスマスターと同じメモリバス 4 を使用するが、表示を最優先させないと表示にちらつきが発生するので、CPU や他のバスマスターはその間待ちの状態となる。そのタイミングを図 2 に示した。

【0005】タイミングチャート 20 は、CPU 1 が UMA メモリ 3 へアクセス可能な期間を示した。タイミングチャート 21 は、液晶コントローラ 5 が UMA メモリ 3 へ定期的にアクセスするタイミングを示した。液晶表示のリフレッシュが 50 Hz の場合、表示データのアクセスは 20 ms おきに発生する。その結果、CPU 1 が UMA メモリ 3 へアクセスできる期間が分断されている。

【0006】

【発明が解決しようとする課題】つまり、従来の UMA メモリを使った表示装置では、CPU や他のバスマスターがメモリバスを使用する帯域幅が制限され、動画処理のように頻繁にメモリにアクセスするようなアプリケーションの動作に、しばしば支障を来すことがあった。

【0007】本発明では、かかるメモリバスの帯域幅減少の影響を下げつつ、表示を効率的に行い、かつ、表示にかかる全体の消費電力の低減を図ることを目的とする。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明の液晶表示装置は、コモン駆動用ドライバと、ライン駆動用ドライバとを備えた液晶表示パネルと、液晶表示パネルに表示用データを送る手段と、データを保持する半導体メモリと、中央演算処理装置とのインターフェイス手段とを備え、該半導体メモリが、CPU の実行用コードとデータと、該液晶コントローラ用の表示データを保持し、かつ、該液晶コントローラが複数ワードの深さの FIFO を持ち、該 UMA メモリ内の画像表示用メモリ領域から読み出した表示用データを該 FIFO に書き込み、該液晶パネルの必要とするタイミングで FIFO から表示用データを送ることにより、表示用データを該 UMA 領域から読み出すタイミングと、該液晶パネルに表示用データを伝送するタイミングを非同期化し、UMA メモリの帯域の有効利用を図れ、かつ表示にかかる全体の消費電力の低減を図れることを特徴とする。

【0009】また、該ライン駆動用ドライバが表示データ記憶用メモリを搭載し、液晶パネル自身で表示のリフ

レッシュができることで、UMA メモリバスの帯域幅の減少を押さえることを特徴とする。

【0010】また、該液晶コントローラが、複数ワードの深さの FIFO を持ち、該半導体メモリ内の UMA 領域に設定された画像表示用メモリ領域のデータが書き換えられることを検出し、該半導体メモリから表示用データを取得し、該表示用データを該 FIFO に書き込み、該液晶パネルの必要とするタイミングで該 FIFO から該表示用データを送ることにより、表示用データを UMA 領域から読み出すタイミングと、液晶パネルに表示用データを伝送するタイミングの非同期化を図れることを特徴とする。

【0011】また、該液晶コントローラが、複数ワードの深さの FIFO を持ち、ソフトウェアの指示により、該半導体メモリから表示用データを取得し、該表示用データを該 FIFO に書き込み、該液晶パネルの必要とするタイミングで該 FIFO から該表示用データを送ることにより、表示用データを UMA 領域から読み出すタイミングと、液晶パネルに表示用データを伝送するタイミングの非同期化を図れることを特徴とする。

【0012】また、該液晶コントローラが保有する複数ワードの深さの FIFO の空き状況を監視する手段と、該 FIFO のしきい値をプログラムするレジスタを持ち、該レジスタに書き込まれた値と該 FIFO の空き状況が一致する状況になったときに、該液晶コントローラが該 UMA メモリ内の画像表示用メモリ領域から、表示用データを読み出し、該 FIFO に書きこむことを特徴とする。

【0013】また、該半導体メモリ内の UMA 領域に設定された、画像表示用メモリ領域のデータの書き換えが一定時間以上発生しないとき、該液晶コントローラの動作クロックを停止させ、低消費電力モードに入りつつ、表示を持続させられることを特徴とする。

【0014】また、該半導体メモリ内の UMA 領域に設定された、画像表示用メモリ領域へのデータ書き込み発生を検出して、前記表示用クロックを再開させることを特徴とする。

【0015】また、本発明の装置が FIFO を持たず、該ライン駆動用ドライバが表示データ記憶用メモリを搭載する場合、該液晶コントローラが、該半導体メモリ内の UMA メモリに設定された画像表示用メモリ領域のデータが書き換えられることを検出し、該半導体メモリから表示用データを取得して、該表示用データを該ライン駆動用ドライバのメモリに書き込むことを特徴とする。

【0016】

【発明の実施の形態】以下、本発明の液晶表示装置について、図面を参照しつつ詳細に説明する。

【0017】図 3 は請求項 1 記載の液晶表示装置の構成を示した図である。従来の構成を示した図 1 に対して、FIFO 6 を追加して、液晶コントローラ 5 の UMA メ

メモリ3への読み出しサイクルと、ラインドライバ7への書き込みタイミングを切り離すことが可能となっている。

【0018】図4は図3の装置の動作を説明したタイミングチャートである。FIFO6は複数ワードの深さを持つが、中身が空の場合、タイミングチャート24のように、液晶コントローラ5にデータ要求を発する。液晶コントローラ5はその要求に合わせてUMAメモリ3からデータを読み出し、ラインドライバ7へデータをタイミングチャート25のように書き込む。つまり液晶コントローラは、FIFOのワードの深さ分だけまとまって表示データを取りこめるので、CPUのメモリアクセスを分断する機会が減少し、CPUのメモリ帯域の減少を少なくすることが可能となる。

【0019】図5は請求項2記載の液晶表示装置の構成を示した図である。図3の装置のラインドライバ7にメモリ10を搭載していることで、液晶コントローラ5のUMAメモリ3へのアクセス頻度を更に低下させることが可能となっている。

【0020】図6は図5の装置の動作を説明したタイミングチャートである。液晶パネル9は、表示に必要なデータをメモリ10に記憶しているので、そのデータを使ってリフレッシュすることが可能である。つまりリフレッシュサイクルよりも間引いたタイミングで表示データを取りこんでも、表示にちらつきが発生することがない。例えばリフレッシュ50Hzの場合、その4分の1の15Hzで表示データを液晶パネルに送り込んでも、表示にちらつきが出ないのである。タイミングチャート28、29は、FIFO6からのデータ要求が画面1フレーム分続き、画面1フレーム分の表示データをラインドライバ搭載のメモリ10に送りこみ、しばらくしてからまた画面1フレーム分の表示データを送ることを示している。つまりCPUのメモリアクセスの帯域幅は、タイミングチャート27で示されるバースト的に発生する表示メモリアクセスの間のみ制限を受けるが、その割合は液晶のリフレッシュを間引くことが可能となったため、大幅に減少している。

【0021】図7は請求項3記載の液晶表示装置の構成を示した図である。請求項2記載の液晶表示装置では、表示データのラインドライバへの転送を間引いたが、その間引きの間にUMAメモリ領域の表示データが更新された場合、その更新は表示に反映されない場合がある。請求項3記載の装置はその可能性を排除するため、CPU1や他のバスマスターがUMAメモリの表示データ保管領域のデータを書き換えることを検出する手段、UMAメモリアドレス領域を保持するレジスタ11とアドレスコンパレータ12を追加した。つまり、メモリバス4に現れるメモリ書き込みサイクルの上位アドレスを、アドレスコンパレータ12が11に保管されたアドレスと比較し、一致した場合液晶コントローラ5に信号を出力

し、液晶コントローラ5はUMAメモリ3から表示データを読み出し、ラインドライバ搭載のメモリ10に書き込む。ただし、液晶コントローラ5とラインドライバ7の間には、前述のFIFO6を入れているため、液晶コントローラ5のUMAメモリ3からの読み出しタイミングと、ラインドライバ7へのFIFO6の書き込みタイミングの非同期化を図っている。

【0022】図8は図7の装置の動作を説明したタイミングチャートである。タイミングチャート30のようにCPU1からUMAメモリ3への書き込みが発生すると、タイミングチャート31のようにアドレスコンパレータ12から信号が出力される。その信号を受け液晶コントローラ5はタイミングチャート32のようにUMAメモリ3から表示データを読み出し、FIFO6へと書き込む。タイミングチャート33はFIFO6が空になってデータを液晶コントローラ5に要求しているタイミングを示している。タイミングチャート34はFIFO6からラインドライバ搭載メモリ10への表示データの書き込みタイミングを示している。

【0023】図9は請求項4記載の液晶表示装置の構成を示した図である。基本構成は請求項2記載の装置と似ているが、CPU1が液晶コントローラ5に明示的に表示データの転送を指示する点で異なる。ソフトウェアが画面1フレーム分、ないし部分的に書き換えを行った場合、その作業終了をもって液晶パネルの表示更新を指令することが可能となる。つまり、画面データの更新をソフトウェアが指示しない限り、液晶パネル9はラインドライバ搭載メモリ10に保持された表示データを使って画面のリフレッシュを行うことが可能となるので、メモリバス4のトラフィックを大幅に減らすことが可能となる。

【0024】図10は図9の装置の動作を説明したタイミングチャートである。タイミングチャート36のようにCPU1からソフトウェアでの指示が発生すると、その信号を受け液晶コントローラ5はタイミングチャート37のようにUMAメモリ3から表示データを読み出し、FIFO6へと書き込む。タイミングチャート38はFIFO6が空になってデータを液晶コントローラ5に要求しているタイミングを示している。タイミングチャート39はFIFO6からラインドライバ搭載メモリ10への表示データの書き込みタイミングを示している。

【0025】図11は請求項5記載の液晶表示装置の構成を示した図である。請求項1ないし請求項2では、FIFO6からのデータ要求はFIFOが空になったときに発生していたが、FIFOがある程度の深さ、例えば128ワードなど、になると、ある程度のワードまでFIFOが空いてきた段階でデータ転送要求を出せば、FIFOが空になってから初めて新しいデータを転送するよりも待ち時間が短くなり、転送の効率が向上する。1

3 はデータ転送を開始すべき F I F O の深さを管理するレジスタで、14 は F I F O 6 の空き具合と 13 で保持された値とを比較し、F I F O 6 の空きが一致したとき、液晶コントローラ 5 にデータ転送開始を指示する。

【0026】図 12 は図 11 の装置の動作を説明したタイミングチャートである。タイミングチャート 42 のように F I F O コンパレータ 14 が F I F O 6 の空き状態がプログラムされた値 13 と一致したことを検出すると液晶コントローラ 5 へ通知し、液晶コントローラ 5 はタイミングチャート 41 のように、F I F O 6 が満杯になるまで表示データを U M A メモリ 3 の表示データ領域から読み出して書き込む。F I F O 6 はタイミングチャート 43 にあるように、ラインドライバ搭載のメモリ 10 に一気に表示データを転送する。

【0027】図 13 は請求項 6 記載の液晶表示装置の構成を示した図である。請求項 3 記載の装置に、ダウンカウンタ 15 とダウンカウンタ 15 の出力で制御可能なクロック発生器 16 を追加した。ダウンカウンタ 15 はアドレスコンパレータ 12 の出力を監視し、一定期間該出力が観測されないと値がゼロになり、クロック発生器 16 の出力を停止させる。つまり、C P U 1 や他のバスマスターが U M A メモリ 3 の表示データ領域への書き込みがない場合、表示系の動作クロックを停止させ、表示に係わる消費電力を低減させる。この場合、液晶パネル 9 はラインドライバ搭載のメモリ 10 に表示データが保持されているので、そのデータを使って表示のリフレッシュを行うので、表示には一切影響が出ない。表示クロックの再開は、図に矢印 17 にあるように C P U 1 が明示的に指示を出し、ダウンカウンタを初期値に戻すことで行う。

【0028】図 14 は図 13 の装置の動作を説明したタイミングチャートである。タイミングチャート 44 は C P U 1 が U M A メモリ 3 の表示データ領域への書き込みがあることを示し、タイミングチャート 45 は、該書き込みをアドレスコンパレータ 12 が検出していることを示している。該検出があるまではダウンカウンタ 15 はカウントダウンを続け、該検出があるとダウンカウンタはリセットされ、また該検出がないとカウントダウンを続け、値がゼロになることを、タイミングチャート 46 が表している。ダウンカウンタ 15 の値がゼロになったとき、タイミングチャート 47 のようにダウンカウンタ 15 の出力が変化し、タイミングチャート 48 にあるように表示クロックが停止する。

【0029】図 15 は請求項 7 記載の液晶表示装置の構成を示した図である。請求項 6 記載の装置と基本構成は同じであるが、クロック発生器 16 の再開手段が異なる。図 16 を使いその動作を説明する。タイミングチャート 54 に示されるようにダウンカウンタ 15 は停止している状態にある。タイミングチャート 52 にあるように C P U 1 が U M A メモリ 3 の表示データ領域への書き

*込みを行うと、タイミングチャート 53 のようにアドレスコンパレータ 12 が出力信号を出し、該信号を受けダウンカウンタ 15 は初期値に戻り、クロック発生器 16 へ出していた停止信号を解除する。この動作は請求項 7 にあるような C P U 1 からの明示的な指示を必要としない。

【0030】図 17 は請求項 8 記載の液晶表示装置の構成を示した図である。請求項 3 記載の装置と基本構成は同じであるが、本発明は F I F O を有しない。図 18 を使いその動作を説明する。タイミングチャート 60 は、C P U 1 が U M A メモリ 3 の表示データ領域への書き込みタイミングを示し、タイミングチャート 61 はそれをアドレスコンパレータ 12 が検出しているところを示している。液晶コントローラ 5 は検出の後一定時間経過後、タイミングチャート 63 にあるように U M A メモリ 3 からの読み出しとラインドライバ搭載のメモリ 10 への書き込みを交互に行い、1 フレーム分の表示データを転送する。

【0031】

【発明の効果】このように本発明の液晶表示装置は、U M A メモリを採用しながら、液晶表示への影響を与えずに C P U の U M A メモリアクセス帯域幅の減少を抑制し、また表示に伴う消費電力の減少に寄与することが可能である。

【図面の簡単な説明】

【図 1】従来の技術を説明した図。

【図 2】従来の技術を用いた場合の、U M A メモリへのアクセスタイミングを示した図。

【図 3】請求項 1 記載の液晶表示装置を説明した図。

【図 4】請求項 1 記載の液晶表示装置の、U M A メモリへのアクセスタイミングを示した図。

【図 5】請求項 2 記載の液晶表示装置を説明した図。

【図 6】請求項 2 記載の液晶表示装置の、U M A メモリへのアクセスタイミングを示した図。

【図 7】請求項 3 記載の液晶表示装置を説明した図。

【図 8】請求項 3 記載の液晶表示装置の、U M A メモリへのアクセスタイミングを示した図。

【図 9】請求項 4 記載の液晶表示装置を説明した図。

【図 10】請求項 4 記載の液晶表示装置の、U M A メモリへのアクセスタイミングを示した図。

【図 11】請求項 5 記載の液晶表示装置を説明した図。

【図 12】請求項 5 記載の液晶表示装置の、U M A メモリへのアクセスタイミングを示した図。

【図 13】請求項 6 記載の液晶表示装置を説明した図。

【図 14】請求項 6 記載の液晶表示装置の、表示クロックの動作を示した図。

【図 15】請求項 7 記載の液晶表示装置を説明した図。

【図 16】請求項 7 記載の液晶表示装置の、表示クロックの動作を示した図。

【図 17】請求項 8 記載の液晶表示装置を説明した図。

【図18】請求項8記載の液晶表示装置の、UMAメモリへのアクセスタイミングを示した図。

【符号の説明】

- 1 CPU
- 2 CPUインターフェイス
- 3 UMAメモリ
- 4 メモリバス
- 5 液晶コントローラ
- 6 FIFO
- 7 ラインドライバ
- 8 コモンドライバ

*9 液晶パネル

10 ラインドライバ搭載メモリ

11 UMAメモリのうち表示メモリアドレス領域を保持するジスタ

12 アドレスコンパレータ

13 FIFOのデータの深さを管理するレジスタ

14 FIFOの空き具合を監視するコンパレータ

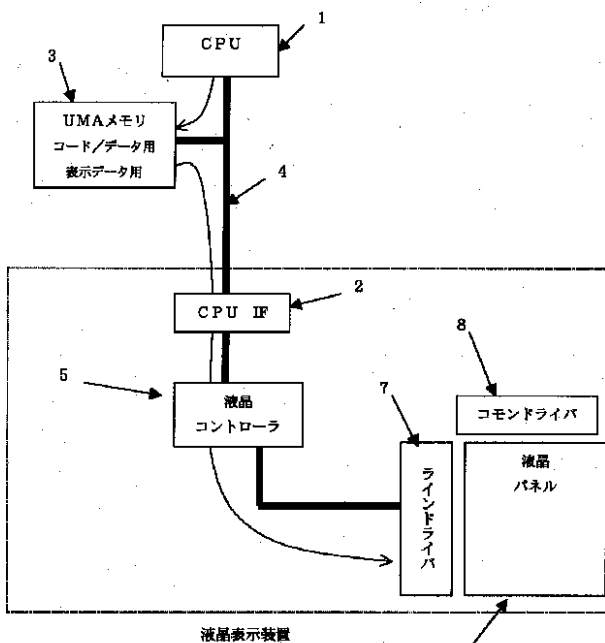
15 ダウンカウンタ

16 表示クロック発生器

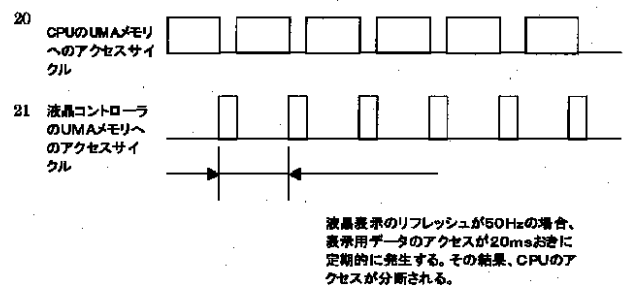
10 17 表示クロック再開の指示

*

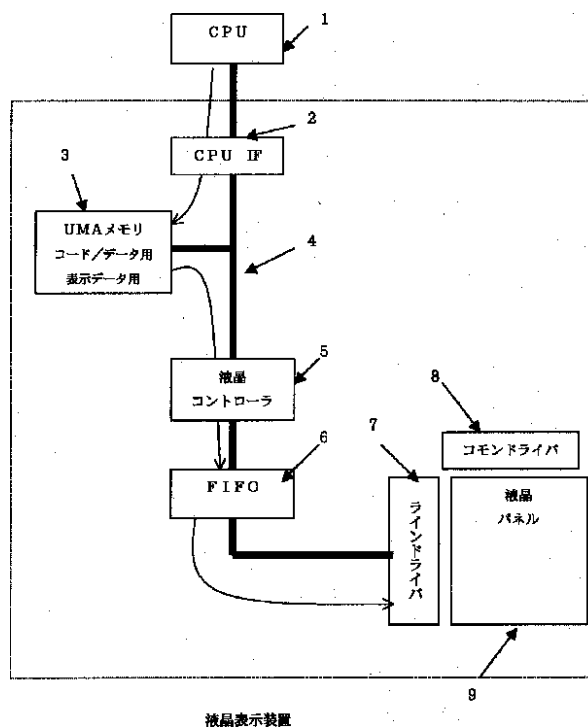
【図1】



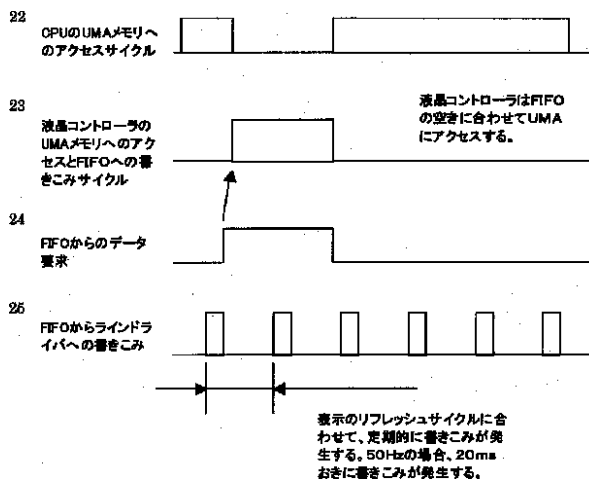
【図2】



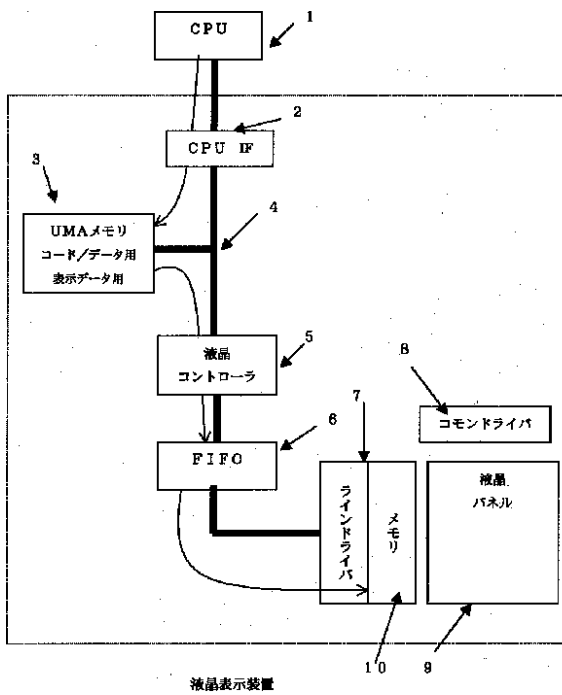
【図3】



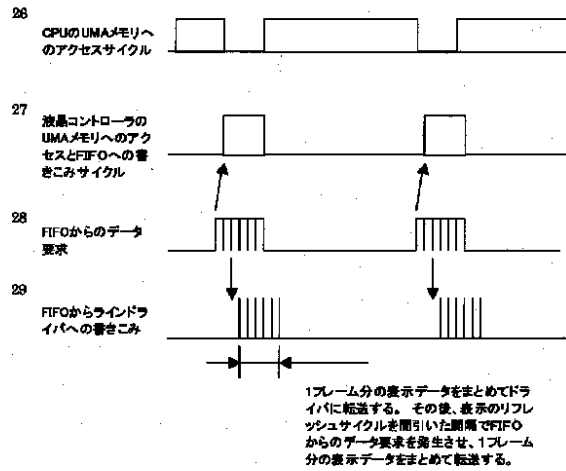
【図4】



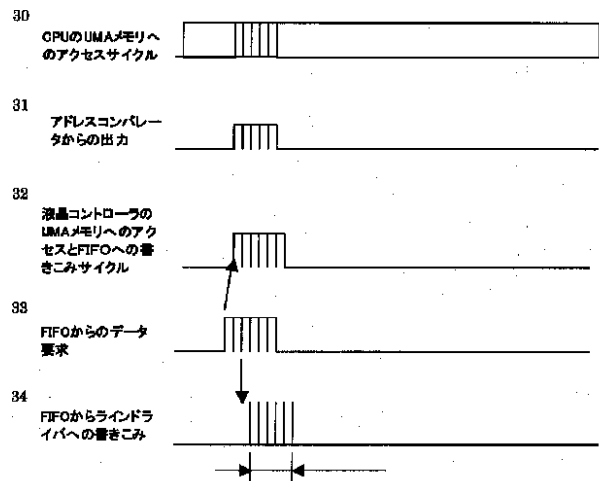
【図5】



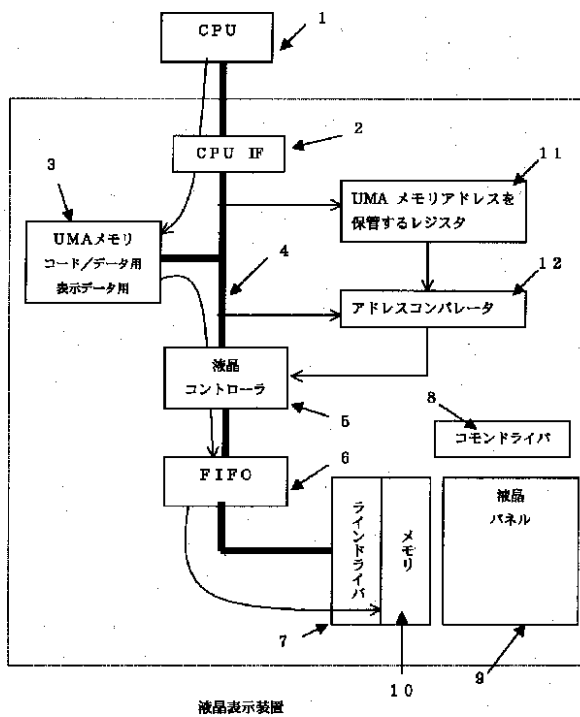
【図6】



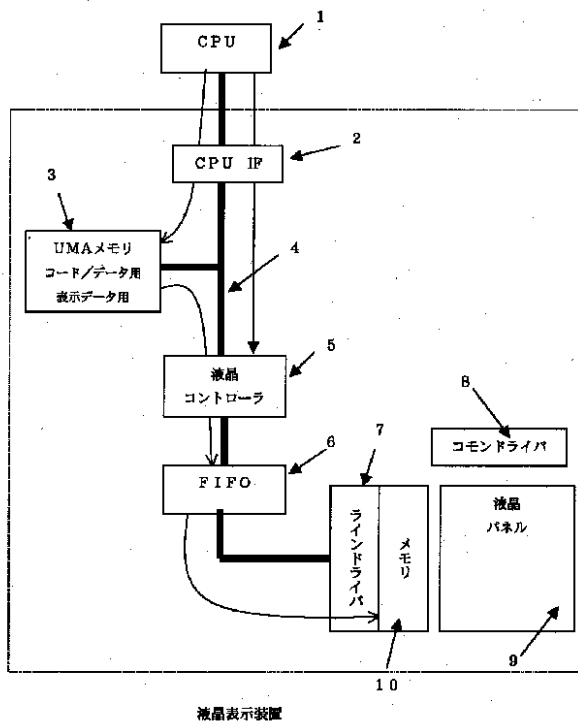
【図8】



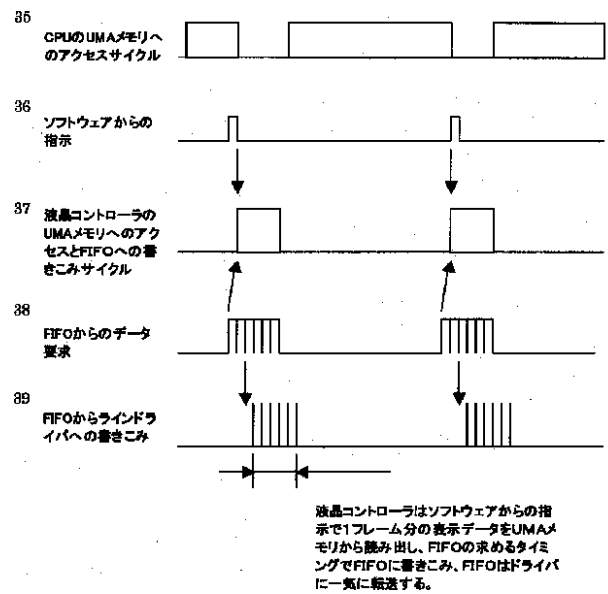
【図7】



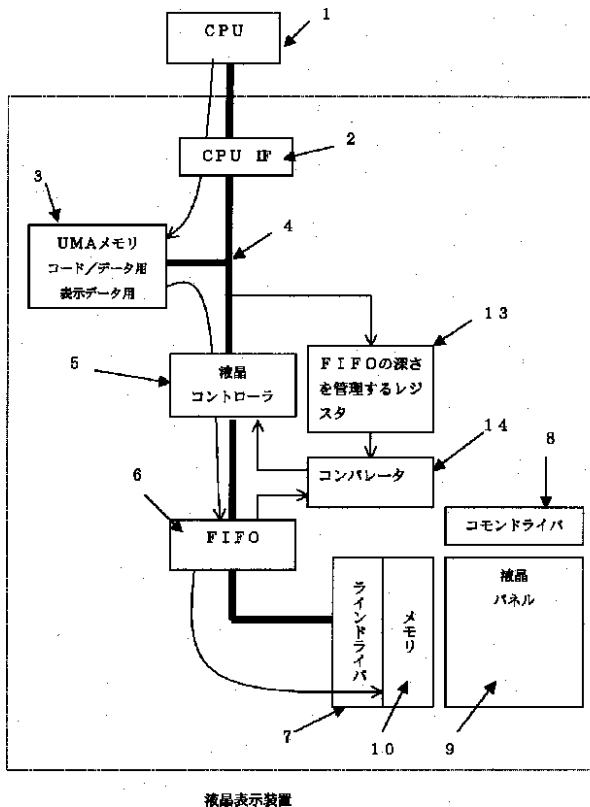
【図9】



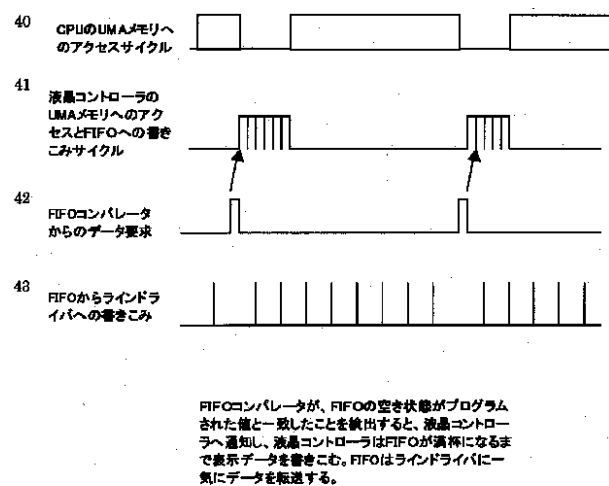
【図10】



【図11】

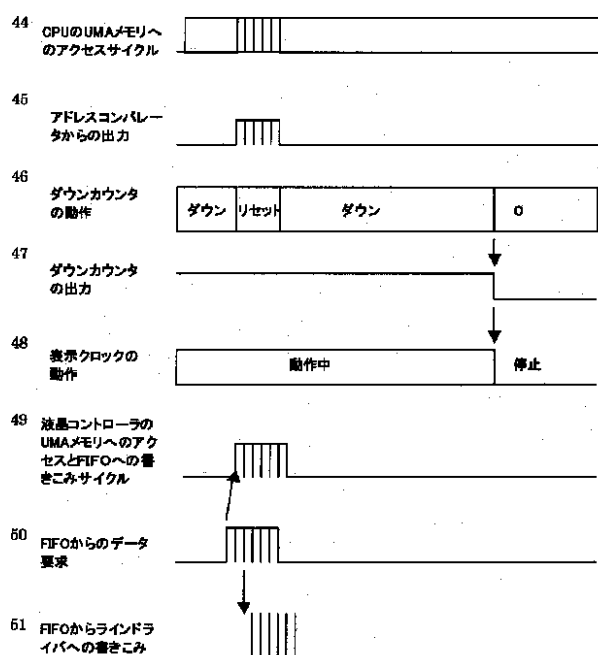


【図12】



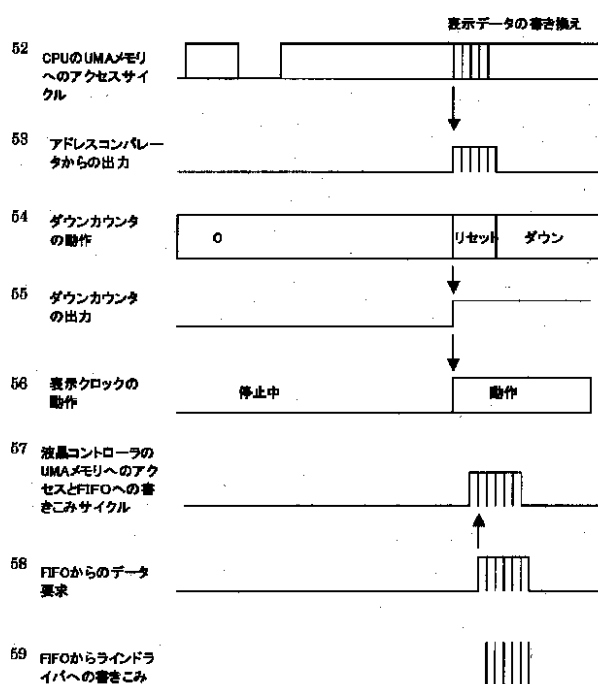
液晶表示装置

【图 14】



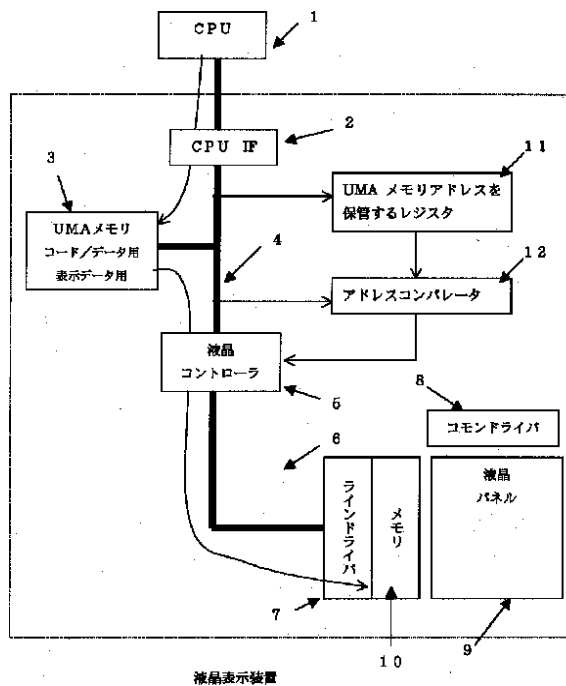
アドレスコンパレータがUMAの表示データ領域へのCPU書き込みを検出すると、ダウンカウンタは減算するのをやめ、初期値に戻る。書き込みの検出が一定時間ないとき、ダウンカウンタは0になり、表示クロックの動作を止める。

【图 16】

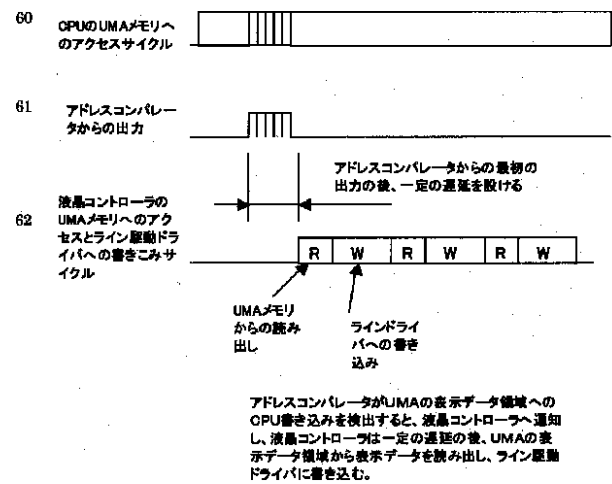


アドレスコンバータがUMAの表示データ領域へのCPU書き込みを検出すると、ダウンカウンタを初期値へ戻し、表示クロックの動作を再開させる。

【図17】



【図18】



フロントページの続き

(72)発明者 塚田 克巳
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(72)発明者 三浦 弘綱
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

Fターム(参考) 2H093 NC11 NC28 NC50 ND39
5C006 AC21 AF03 AF04 AF44 BB11
BF02 BF16 FA44 FA47
5C080 AA10 BB05 DD22 DD26 EE26
FF12 GG02 GG15 GG17 JJ02
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002311918A	公开(公告)日	2002-10-25
申请号	JP2001120222	申请日	2001-04-18
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	新村 稔 木村 隆 塚田 克巳 三浦 弘綱		
发明人	新村 稔 木村 隆 塚田 克巳 三浦 弘綱		
IPC分类号	G02F1/133 G06F3/147 G06F12/00 G09G1/16 G09G3/20 G09G3/36 G09G5/00 G09G5/39		
CPC分类号	G09G5/001 G09G3/3611 G09G5/39 G09G2360/125		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.A G09G3/20.631.V G06F12/00.580		
F-TERM分类号	2H093/NC11 2H093/NC28 2H093/NC50 2H093/ND39 5C006/AC21 5C006/AF03 5C006/AF04 5C006/AF44 5C006/BB11 5C006/BF02 5C006/BF16 5C006/FA44 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD26 5C080/EE26 5C080/FF12 5C080/GG02 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ04 5B060/GA00 5B060/GA19 5B060/KA03 5B060/KA04		
外部链接	Espacenet		

摘要(译)

要解决的问题：在采用UMA的系统中限制CPU的内存访问带宽，并降低整个系统的性能。另外，由于总是进行用于显示的存储器访问，因此整个系统的功耗增加。SOLUTION：从UMA存储器中的图像显示存储区读取的显示数据被写入FIFO，并且在液晶面板要求的时间从FIFO发送显示数据，以便从UMA区域传输显示数据。使读取定时和将显示数据传输到液晶面板的定时是异步的。另外，通过检测对显示数据区域的写入并将一个屏幕帧的显示数据发送到液晶面板，可以防止UMA所需的CPU的存储器访问带宽的减少并显示显示系统。整体功耗已降低。

