

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 207458

(P2002 - 207458A)

(43)公開日 平成14年7月26日(2002.7.26)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	5 C 0 0 6
3/20	612	3/20	612 G 5 C 0 8 0
	633		633 D
	670		670 F

審査請求 未請求 請求項の数 5 O L (全 9 数)

(21)出願番号 特願2001 - 2005(P2001 - 2005)

(22)出願日 平成13年1月10日(2001.1.10)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72)発明者 山岸 康彦

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74)代理人 100083552

弁理士 秋田 収喜

最終頁に続く

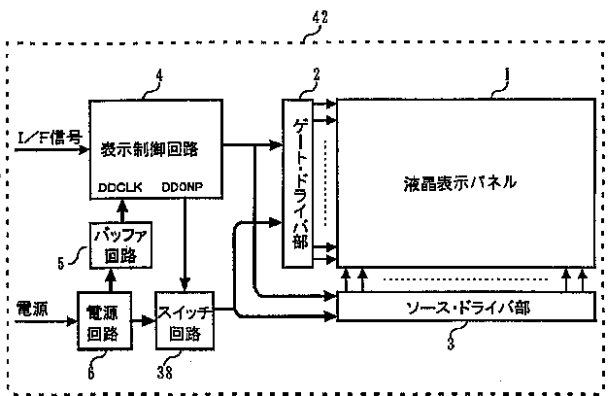
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 外部から入力される外部クロックが停止した場合に、液晶表示素子に直流電圧が印加されるのを防止できる液晶表示装置を提供する。

【解決手段】 複数の画素を有する液晶表示素子と、前記液晶表示素子の前記画素を駆動する駆動手段と、前記駆動手段に表示データ、表示制御信号を送出する表示制御装置と、前記駆動手段に電源電圧を供給する電源回路と、前記電源回路と前記駆動手段との間に設けられるスイッチ手段とを具備する液晶表示装置であって、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントするカウンタと、前記カウンタでのカウント値が0の場合に、前記スイッチ手段に対して、前記スイッチ手段をオフとする制御信号を送出する判定手段とを有する。

図1



【特許請求の範囲】

【請求項 1】 複数の画素を有する液晶表示素子と、前記液晶表示素子の前記画素を駆動する駆動手段と、前記駆動手段に表示データ、表示制御信号を送出する表示制御装置と、前記駆動手段に電源電圧を供給する電源回路と、前記電源回路と前記駆動手段との間に設けられるスイッチ手段とを具備する液晶表示装置であって、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントするカウンタと、前記カウンタでのカウント値が 0 の場合に、前記スイッチ手段に対して、前記スイッチ手段をオフとする制御信号を送出する判定手段とを有することを特徴とする液晶表示装置。

【請求項 2】 複数の画素を有する液晶表示素子と、前記液晶表示素子の前記画素を駆動する駆動手段と、前記駆動手段に表示データ、表示制御信号を送出する表示制御装置と、前記駆動手段に電源電圧を供給する電源回路とを具備する液晶表示装置であって、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントするカウンタと、 N を前記カウンタでの前記サンプリング期間内における、前記外部クロックの正規なクロック数、 N_{min} を前記 N のクロック数に基づき予め決定され、 N より小さな数、 N_{max} を前記 N のクロック数に基づき予め決定され、 N より大きな数とすると、前記カウンタでのカウント値 (N_0) が、 $N_0 < N_{min}$ 、あるいは、 $N_0 > N_{max}$ のときに、「黒」あるいは「白」の表示データを前記駆動手段に対して送出する判定手段とを有することを特徴とする液晶表示装置。

【請求項 3】 前記表示制御装置の外部あるいは内部に設けられる発振回路を備え、前記表示制御装置の前記カウンタは、前記発振回路から出力される出力信号、あるいは、 $n(n-2)$ 分周された前記発振回路から出力される出力信号が、 H レベル（または L レベル）の間、前記外部クロックのクロック数をカウントすることを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】 前記電源回路は発振回路を有し、前記表示制御装置の前記カウンタは、前記電源回路の前記発振回路から出力される出力信号、あるいは、 $n(n-2)$ 分周された前記電源回路の前記発振回路から出力される出力信号が、 H レベル（または L レベル）の間、前記外部クロックのクロック数をカウントすることを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 5】 前記表示制御装置の前記カウンタは、前

記電源回路の内部で生成されるパルス信号、あるいは、 $n(n-2)$ 分周された前記電源回路の内部で生成されるパルス信号が、 H レベル（または L レベル）の間、前記外部クロックのクロック数をカウントすることを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係わり、特に、液晶表示装置に異常信号が入力された場合に、表示画面の乱れなどを防止する液晶表示装置に関する。

【0002】

【従来の技術】図 7 は、従来の液晶表示装置の概略構成を示すブロック図である。図 7 に示すように、従来の液晶表示装置 40 は、液晶表示パネル 1 と、ゲートドライバ部 2、ソースドライバ部 3 と、表示制御回路 41 と、電源回路 6 とを具備する。ここで、ゲートドライバ部 2 には、複数個のゲートドライバが配置され、また、ソースドライバ部 3 には、複数個のソースドライバ（または、ドレインドライバともいう）が配置される。パーソナルコンピュータ（PC；以下、パソコンと称する。）本体 39 から液晶表示装置 40 に送出される I/F 信号は、表示制御回路 41 に入力され、表示制御回路 41 において、タイミング調整と、液晶表示パネル 1 の各画素の液晶に直流電圧が印加されないようにする（交流化）ための表示制御信号を生成し、これらの表示制御信号と表示データとをソースドライバ部 3 の各ドライバ、また、表示制御信号をゲートドライバ部 2 の各ドライバに送出することにより、液晶表示パネル 1 の表示画面に画像が表示される。ここで、パソコン本体 39 から送出される I/F 信号には、TFT 表示データ、ドットクロック（DCLK）、水平同期信号（Hsync）、垂直同期信号（Vsync）、およびディスプレイタイミング信号（DTMG）がある。

【0003】液晶表示パネル 1 は、現在、XGA 表示モードの解像度が 1024×768 のものが一般に広く使われており、以下説明においては、前記解像度を備えた液晶表示装置について述べる。また、パソコン本体 39 と液晶表示装置 40 との間の I/F 信号は、アナログ信号、または、デジタル信号で伝送する方式があり、一般に、後者のデジタル伝送方式は、例えば、LVDS（Low Voltage Differential Signaling）インターフェースが広く使用されている。この LVDS インターフェースでは、パソコン本体 39 に LVDS ドライバ IC（図示せず）を、液晶表示装置 40 に LVDS レシーバ IC（図示せず）を配置し、パソコン本体 39 から送出される I/F 信号（前述した、TFT 表示データ、ドットクロック（DCLK）、水平同期信号（Hsync）、垂直同期信号（Vsync）、ディスプレイタイミング信号（DTMG）などを、低電圧の差動信号に

より転送するものである。

【0004】

【発明が解決しようとする課題】例えば、パソコン本体 39 と液晶表示装置 40 との間の I/F 信号の伝送方式として、前述したような LVDS インターフェースを備えた液晶表示装置 40 において、電源投入後、パソコン本体 39 が起動するある一定期間、パソコン本体 39 から、液晶表示装置 40 の規格外の周波数やタイミングで信号が出力される場合があり、このような場合には、液晶表示パネル 1 に表示される表示画像が一時的に乱れる、または、液晶表示パネル 1 に画像が表示されなくなる現象が発生する。例えば、液晶表示装置 40 は、液晶表示パネル 1 の各画素の液晶に直流電圧が印加されないように、表示制御回路 41 で交流化を行なっているが、パソコン本体 39 の起動時にドットクロック (DCLK) が一時的に停止する場合があります、この場合には、表示制御回路 41 において、交流化を行うための表示制御信号が生成できなくなり、ゲートドライバ部 2 およびソースドライバ部 3 の各ドライバに表示制御信号を送出することができなくなる。その結果、液晶表示パネル 1 の各画素の液晶に直流電圧が印加され、液晶が劣化するという問題が生じる。

【0005】また、一時的にも、液晶表示パネル 1 の各画素の液晶に直流電圧が印加されると、液晶表示パネル 1 に表示する画像を代えても、以前表示された画像が焼き付いた状態で残り、液晶表示パネル 1 に表示される表示画像の表示品質を低下させる。また、パソコン本体 39 は、一般に、VESA (Video Electronics Standards Association) で規定されたドットクロック (DCLK) が 25.175 MHz、解像度が 640 × 480 の VGA 表示モードから、ドットクロック (DCLK) が 65 MHz、解像度が 1024 × 768 の XGA 表示モードに遷移しながら起動する。その際、クロック切り替え時に周波数が不安定となり、垂直同期信号の n 倍の期間に渡って、ドットクロック (DCLK)、水平同期信号、および垂直同期信号の周波数が、液晶表示装置 40 の規定範囲外まで任意に変化することが原因となり、結果して、表示制御回路 41 で生成される信号に、タイミングエラーが発生し、液晶表示パネル 1 の表示画面の横方向または縦方向にスジ状ノイズ、フリッカが生じるという問題点があった。

【0006】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、外部から入力される外部クロックが停止した場合に、液晶表示素子に直流電圧が印加されるのを防止することが可能となる技術を提供することにある。本発明の他の目的は、液晶表示装置において、外部から入力される外部クロックの周波数が規定範囲外の周波数となった場合に、液晶表示素子の表示画面の画面乱れを防止することが可能となる技術を提供することにある。

る。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、複数の画素を有する液晶表示素子と、前記液晶表示素子の前記画素を駆動する駆動手段と、前記駆動手段に表示データ、表示制御信号を送出する表示制御装置と、前記駆動手段に電源電圧を供給する電源回路と、前記電源回路と前記駆動手段との間に設けられるスイッチ手段とを具備する液晶表示装置に適用される。本発明において、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントするカウンタと、前記カウンタでのカウント値が 0 の場合に、前記スイッチ手段に対して、前記スイッチ手段をオフとする制御信号を送出する判定手段とを有する。

【0008】前記手段によれば、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントし、カウント値が 0 の場合に、前記スイッチ手段に対して、前記スイッチ手段をオフとする制御信号を送出して、前記電源回路から前記駆動手段に対する電源電圧の供給をオフとする。これにより、外部から入力される外部クロックが停止した場合に、液晶表示素子に直流電圧が印加されるのを防止することが可能となる。

【0009】また、本発明は、複数の画素を有する液晶表示素子と、前記液晶表示素子の前記画素を駆動する駆動手段と、前記駆動手段に表示データ、表示制御信号を送出する表示制御装置と、前記駆動手段に電源電圧を供給する電源回路とを具備する液晶表示装置に適用される。本発明において、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントするカウンタと、N を前記カウンタでの前記サンプリング期間内における、前記外部クロックの正規なクロック数、N_{min} を前記 N のクロック数に基づき予め決定され、N より小さな数、N_{max} を前記 N のクロック数に基づき予め決定され、N より大きな数とすると、前記カウンタでのカウント値 (N0) が、N0 < N_{min}、あるいは、N0 > N_{max} のときに、「黒」あるいは「白」の表示データを前記駆動手段に対して送出的判定手段とを有する。

【0010】前記手段によれば、前記表示制御装置は、あるサンプリング期間内に、外部から入力される外部クロックのクロック数をカウントし、カウント値 (N0) が、N0 < N_{min}、あるいは、N0 > N_{max} のときに、「黒」あるいは「白」の表示データを前記駆動手段に対して送出的。ここで、N_{min} は、前記カウンタでの前記サンプリング期間内における、前記外部クロック

クの正規なクロック数 (N) に基づき予め決定され、 N より小さな数、 N_{max} は、前記 N のクロック数に基づき予め決定され、 N より大きな数である。これにより、外部から入力される外部クロックの周波数が規定範囲外の周波数となった場合に、液晶表示素子の表示画面は、「黒」あるいは「白」の表示画面となるので、表示画面の画面乱れを防止することが可能となる。

【0011】本発明の好ましい実施の形態では、前記表示制御装置の外部あるいは内部に設けられる発振回路を備え、前記表示制御装置の前記カウンタは、前記発振回路から出力される出力信号、あるいは、 $n(n-2)$ 分周された前記発振回路から出力される出力信号が、 H レベル (または L レベル) の間、前記外部クロックのクロック数をカウントすることを特徴とする。本発明の好ましい実施の形態では、前記電源回路は発振回路を有し、前記表示制御装置の前記カウンタは、前記電源回路の前記発振回路から出力される出力信号、あるいは、 $n(n-2)$ 分周された前記電源回路の前記発振回路から出力される出力信号が、 H レベル (または L レベル) の間、前記外部クロックのクロック数をカウントすることを特徴とする。本発明の好ましい実施の形態では、前記表示制御装置の前記カウンタは、前記電源回路の内部で生成されるパルス信号、あるいは、 $n(n-2)$ 分周された前記電源回路の内部で生成されるパルス信号が、 H レベル (または L レベル) の間、前記外部クロックのクロック数をカウントすることを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。図1は、本発明の実施の形態の液晶表示装置の概略構成を示す図である。本実施の形態の液晶表示装置42は、液晶表示パネル1と、ゲートドライバ部2と、ソースドライバ部3と、表示制御回路4と、液晶表示パネル1を駆動するために必要な内部電源を生成する電源回路6と、前記電源回路の出力の ON/OFF 制御するスイッチ回路38と、前記電源回路6のパルス制御信号を表示制御回路4の電源レベルに変換するバッファ回路 (または、レベル変換回路) 5とを有する。本実施の形態の液晶表示装置42も、図7に示す従来の液晶表示装置40と同様に、 $LVD SI/F$ 入力に対応した液晶表示装置42である。また、液晶表示パネル1は、マトリクス状に配置された画素を有する。

【0013】図1に示す電源回路6は、各画素を駆動するために必要な内部電源電圧、例えば、 $+1.5V$ 、 $+2.0V$ 、 $-5V$ 等の電圧を、 $+3V$ の入力電圧から生成して、ゲートドライバ部2およびソースドライバ部3の各ドライバに供給する。内部電源電圧を生成するために、電源回路6は、ある一定周波数のパルス制御信号で駆動

されている。本実施の形態の液晶表示装置42は、前述一定周波数のパルス制御信号により生成されるパルス信号を表示制御回路4に入力し、表示制御回路4において、前記一定周波数のパルス信号に基づき、外部から入力されるドットクロック (外部クロック; 以下、単に、 $DCLK$ と称する。) の停止、および周波数が規定範囲外の周波数であることを検出する。

【0014】まず、電源回路6のパルス信号を表示制御回路4に送るためのバッファ回路5の詳細手段について以下に述べる。図2は、本実施の形態の電源回路、および、バッファ回路5の一例の回路構成示す回路図である。図2に示す電源回路6は、 V_{in} の入力電源電圧から、一般的な昇圧 DC/DC コンバータ回路により、 V_{in} より高い、 V_{o1} の出力電圧を生成し、さらに、一般的なチャージポンプ回路 (CP) 18により、 V_{o1} より高い V_{o2} の出力電圧 V_{o2} を生成する回路を表している。具体的には、ダイオード7、インダクタ8、 n p n 型トランジスタ (以下、 NPN と称する。) 9、平滑コンデンサ10からなる昇圧回路部と、パルス幅変調方式 (以下、 PWM (Pulse Width Modulation) と称する。) によるフィードバック制御を行なう IC 回路13とで構成されている。

【0015】この IC 回路13は、発振器16 (OSC) と、出力制御部17のブロックからなり、発振器16では、抵抗14、コンデンサ15の時定数により任意の電源制御周波数 (一般的には、 $100kHz \sim 500kHz$ の発振周波数) を決定し、出力制御部17では、 NPN 9の ON/OFF 制御と、抵抗 ($11, 12$) によるフィードバック制御により、電源回路6から V_{o1} の電源電圧を出力する。ここで、出力制御部17は、発振器16からの一定周波数の出力電圧 (または、出力電流) に応じて、 NPN 9を ON/OFF するデューティ比を可変しており、 NPN 9のコレクタ側、つまり図中 (A) 点のインダクタ8とダイオード7との接続点には、 V_{o1} より高い電圧のパルス信号が現われる。このパルス信号を、表示制御回路4に伝送するためのバッファ回路5の構成について説明する。

【0016】図2に示すバッファ回路5は、電源回路6と AC 結合するためのカップリング・コンデンサ19、ダイオード20、 NPN 23、 NPN 23にバイアス電圧を印加するバイアス抵抗 ($21, 22$)、および、負荷抵抗24で構成されており、前述した (A) 点のパルス信号を、表示制御回路4の V_{in} の電源電圧レベルのパルス信号に変換する回路である。このバッファ回路5では、コンデンサ19から入力されたパルス信号を、ダイオード20により、パルス信号のローレベルをダイオード20の順方向電圧 (V_F : 約 $0.7V$) 以下にクランプし、このクランプ信号で NPN 23を ON/OFF させる。 NPN 23の負荷抵抗24は、表示制御回路4と同等の電圧 (V_{in}) に接続されているため、入力さ

れるパルス信号とは位相が 180 度異なり、かつ、電圧レベルが、0 ~ VCC のパルス信号 (DDCLK) が得られる。

【0017】本実施の形態において、前述のパルス信号 (DDCLK) を得る手段として、前述した AC 結合による手法以外に、IC 回路 13 の発振器 16 の出力信号を直接利用するようにしてもよく、その場合の、バッファ回路 5 の回路構成を図 3 に示す。図 3 に示す電源回路 6 は、図 2 に示す回路と同じ回路構成であるので、回路構成及び動作の説明を省略する。図 3 に示す IC 回路 13 の発振器 16 は、前述したように、抵抗 14 とコンデンサ 15 の時定数による充放電により発振周波数を決定しているが、この時、一般的な IC 回路 13 において、図 3 の (A) 点の電圧波形は、周波数一定で、且つ、0.7 V 以上の振幅の三角波となる。この三角波を、バッファ回路 5 のバイアス抵抗 25 を経由して、NPN 27 のベース電極に印加することで、NPN 27 が ON / OFF し、バッファ回路 5 に入力される小振幅の信号から、電圧レベルが、0 ~ VCC のパルス信号 (DDCLK) が得られる。

【0018】次に、バッファ回路 5 から出力されるパルス信号 (DDCLK) を基に、表示制御回路 4 において、外部から入力されるドットクロック (DCLK) の停止、および、外部から入力されるドットクロック (DCLK) の周波数が規定範囲外の周波数であることを検出する異常検出回路について説明する。図 4 は、本実施の形態の表示制御回路内の異常検出回路 35 の回路構成を示すブロック図である。図 4 に示す異常検出回路 35 は、バッファ回路 5 から出力されるクロック信号 (DDCLK) を分周する分周回路 29 と、分周回路 29 で分周されたパルス信号 (D) とドットクロック (DCLK) との論理積をとる 2 入力 AND 回路 31 と、分周回路 29 で分周されたパルス信号 (D) が High レベル (以下、H レベルと称する。) 期間内に動作するカウンタ (CU1) 回路 30 と、カウンタ回路 30 のカウント値から、ドットクロック (DCLK) の停止、および、ドットクロック (DCLK) の周波数が規定範囲外の周波数であることを判別する比較判定回路 32 と、判定信号等からデータのイネーブル制御信号を生成するための 3 入力 AND 回路と、ある一定時間遅延 (TD1) を行なうカウンタ (CU2) 回路 34 と、DDONP 信号を生成する 2 入力 AND 回路 36、TFT 表示データをラッチし、遅延するフリップフロップ (例えば、以下、FF と称する。) 37 とを有する。

【0019】図 4 に示すカウンタ回路 34 は、分周回路 29 で分周されたパルス信号のカウントが終了した時点で、出力信号 (A) が H レベルとなる。また、比較判定回路 32 は、ドットクロック (DCLK) が停止した場合、出力信号 (B) が Low レベル (以下、L レベルと称する。) 、周波数が規定範囲外の周波数である場合

に、出力信号 (F) が H レベルとなる。また、出力信号 (B) 、および出力信号 (F) は、ドットクロック (DCLK) が正常である場合には、H レベルの状態を維持する。図 4 に示す異常検出回路 35 は、周波数が規定範囲外の周波数であるドットクロック (DCLK) が入力されると、FF 回路 37 を制御して、ソースドライバに送出する TFT 表示データを、「1」または「0」として、液晶表示パネル 1 の表示画面を、全て黒状態、あるいは、白状態の画面とする。また、ドットクロック (DCLK) が停止すると、液晶表示パネル内の液晶層に直流電圧が印加されないように、スイッチ回路 38 を OFF とする DDONP 信号を生成し、これにより、スイッチ回路 38 を OFF とし、電源回路 6 から、ゲートドライバ部 2 およびソースドライバ部 3 の各ドライバに供給する電源電圧を遮断する。

【0020】前述した動作を、図 5、図 6 に示すタイミングチャートを用いて説明する。図 5 は、表示制御回路 4 に、周波数が規定範囲外の周波数であるドットクロック (DCLK) が入力された場合の、異常検出回路 35 の動作を説明するためのタイミングチャートである。図 5 中の (A) 、(D) 、(E) 、(F) の各信号は、図 4 中の出力信号 (A) 、出力信号 (D) 、出力信号 (E) 、出力信号 (F) の各信号に対応する。図 5 中の RESET 信号は、表示制御回路 4 の電源が入力されると L レベルから H レベルに遷移し、同時に、カウンタ回路 34 が、分周回路 29 で分周されたパルス信号を、TD1 の時間分だけカウントし、出力信号 (A) を H レベルにした後、カウンタ回路 34 は停止する。この時、表示制御回路 4 には、正常なドットクロック (DCLK) が入力されているため、比較判定回路 32 の出力信号 (B) が H レベルとなり、DDONP 信号が、L レベルから H レベルに遷移する。これにより、図 1 に示すスイッチ回路 38 が ON し、電源回路 6 から、ゲートドライバ部 2 およびソースドライバ部 3 の各ドライバに電源電圧が供給されるので、液晶表示パネル 1 の表示画面に画像が表示される。

【0021】図 5 中の (D) の信号は、図 4 に示す分周回路 29 の分周比 (n) を $n = 2$ とすれば、ドットクロック (DCLK) を 2 分周した信号が得られる。AND 回路 31 で、ドットクロック (DCLK) を 2 分周した信号と、ドットクロック (DCLK) との論理積を取った出力信号 (E) を、カウンタ回路 30 でカウントする。ここで、図 5 に示すように、表示制御回路 4 に入力されるドットクロック (DCLK) の周波数が、一時的に正常な周波数から規定範囲外の周波数になった場合、例えば、表示制御回路 4 におけるドットクロック (DCLK) の許容周波数範囲より低くなる、または、高くなった場合には、図 5 中の異常信号期間にカウンタ回路 30 でカウントされる値 (N0) は、ドットクロック (DCLK) の周波数に依存して増減する。今、比較判定回路

32にセットされた比較判定値の最小値を N_{min} 、最大値を N_{max} とすれば、カウンタ回路30のカウンタ値($N0$)が、 $N_{min} < N0 < N_{max}$ の条件の場合、比較判定回路32は、入力されるドットクロック(DCLK)は正常と判定する。

【0022】これに対して、異常信号期間では、 $N0 < N_{min}$ 、あるいは、 $N0 > N_{max}$ となるため、比較判定回路32は、入力されるドットクロック(DCLK)は、異常であると判定し、比較判定回路32の出力信号(F)をHレベルからLレベルに変化させる。出力信号(F)がLレベルになると、3入力AND回路33の出力信号がLレベルとなり、これにより、FF回路37の出力が、Lレベル(黒表示)、又はHレベル(白表示)にセットされる。即ち、ソースドライバに送出されるTFT表示データが、「1」または「0」となり、液晶表示パネル1の表示画面は、黒状態、あるいは、白状態の画面となる。これにより、異常信号期間内に、液晶表示パネル1の表示画面に、乱れた画像が表示されるの防止することが可能となる。

【0023】なお、異常信号期間内に、DDONP信号をLレベルに変化させ、図1に示すスイッチ回路38をOFFとし、電源回路6から、ゲートドライバ部2およびソースドライバ部3の各ドライバに供給される電源電圧をOFFとしても良い。しかしながら、この場合には、パソコン起動時に、規定範囲外の周波数のドットクロック(DCLK)が、ある低い周期で連続入力された場合、ゲートドライバ部2およびソースドライバ部3の各ドライバに供給される電源電圧のON/OFFが頻繁におこり、液晶表示パネル1の表示画面がフラッシュバックする問題がある。したがって、本実施の形態のように、異常信号期間に、TFT表示データだけを制御し、液晶表示パネル1の表示画面に、乱れた画像が表示されるの防止するほうが好ましい。

【0024】次に、ドットクロック(DCLK)が停止した場合の異常検出回路35の動作について図6を用いて説明する。図6は、表示制御回路4に入力されるドットクロック(DCLK)が一時的に停止した場合の、異常検出回路35の動作を説明するためのタイミングチャートである。図中(A)~(E)の信号は、図4中に示した出力(A)、出力信号(B)、出力信号(C)、出力信号(D)、出力信号(E)、出力信号(F)の各信号に対応する。ドットクロック(DCLK)が停止する信号停止期間においては、カウンタ回路30にクロックが入力されないため、カウンタ回路30のカウンタ値は、 $n = 0$ となる。カウンタ値が0の場合に、比較判定回路32では、信号停止と判定し、出力信号(B)をHレベルからLレベルに変化させる。これにより、DDONP信号がHレベルからLレベルに変化するので、図1に示すスイッチ回路38がOFFとなり、電源回路6から電源電圧が、ゲートドライバ部2およびソースドライ

バ部3の各ドライバに供給されなくなり、液晶表示パネル1の各画素の液晶に直流電圧が印加されるのを防止することが可能となる。

【0025】次に、ドットクロック(DCLK)が正常に入力されると、出力信号(B)はLレベルからHレベルになるが、同時に、比較判定回路32の出力信号(C)(出力信号(B)を微分した信号)により、カウンタ回路34のカウンタ値がクリアされるため、カウンタ回路34の出力信号(A)がLレベルとなり、DDONP信号はLレベルを維持する。一方、カウンタ回路34は、再度、分周回路29で分周されたパルス信号を、TD1の時間分だけカウントし、出力信号(A)をHレベルにした後、カウンタ回路34は停止する。その結果として、DDONP信号がHレベルとなり、電源回路6から、ゲートドライバ部2およびソースドライバ部3の各ドライバに、電源電圧が供給されるので、液晶表示パネル1の表示画面に画像が表示される。このように、本実施の形態では、ドットクロック(DCLK)の停止を判別することができるので、例えば、パソコンで使用されるサスペンドモード等の省電力制御を簡単に実行することが可能となる。

【0026】この場合に、一時的に、正常→信号停止→正常が早い周期で連続すると、この周期で、電源回路6から、ゲートドライバ部2およびソースドライバ部3の各ドライバに供給される電源電圧もON/OFFし、液晶表示パネル1の表示画面がフラッシュバックするだけでなく、電源ON時に流れる過大な突入電流により、電源回路6の回路寿命が低下する問題が発生する。本実施の形態においては、DDONP信号がHレベルとなる時点を、前述した周期より長いTD1の時間だけを遅延させて、この問題を回避している。なお、前述の説明では、電源回路6の内部で生成されるパルス信号の電圧レベルを、バッファ回路5でレベル変換して、パルス信号(DDCLK)を生成し、このパルス信号(DDCLK)を、表示制御回路4の異常検出回路35に入力して、外部から入力されるドットクロック(DCLK)の停止状態、あるいは、外部から入力されるドットクロック(DCLK)が規定範囲外の周波数である状態を検出する場合について説明したが、本発明はこれに限定されるものではなく、表示制御回路4の外部、または内部に、新たに発振回路を設け、この発振回路の出力をパルス信号(DDCLK)としてもよい。

【0027】ただし、電源回路6はパルス制御信号が必要とされ、その内部に、発振回路を内蔵するのが一般的であり、本実施の形態のように、電源回路6の内部で生成されるパルス信号をパルス信号(DDCLK)とするほうが効率的である。さらに、前述の説明では、本発明をTFT方式の液晶表示装置に適用した場合について説明したが、本発明はこれに限定されるものではなく、例えば、STN方式の液晶表示装置にも適用可能である。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0028】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明の液晶表示装置によれば、外部から入力される外部クロックが停止した場合に、液晶表示素子に直

流電圧が印加されるのを防止することが可能となる。
(2) 本発明の液晶表示装置によれば、外部から入力される外部クロックの周波数が規定範囲外の周波数となった場合に、液晶表示素子の表示画面の画面乱れを防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置の概略構成を示す図である。

【図2】本発明の実施の形態の電源回路、および、バッファ回路の一例の回路構成を示す回路図である。

【図3】本発明の実施の形態のバッファ回路の他の例の回路構成を示す回路図である。

【図4】本発明の実施の形態の表示制御回路内の異常検出回路の回路構成を示すブロック図である。

【図5】本発明の実施の形態の表示制御回路に、周波数

が規定範囲外の周波数であるドットクロック(DCLK)が入力された場合の、異常検出回路の動作を説明するためのタイミングチャートである。

【図6】本発明の実施の形態の表示制御回路に入力されるドットクロック(DCLK)が一時的に停止した場合の、異常検出回路の動作を説明するためのタイミングチャートである。

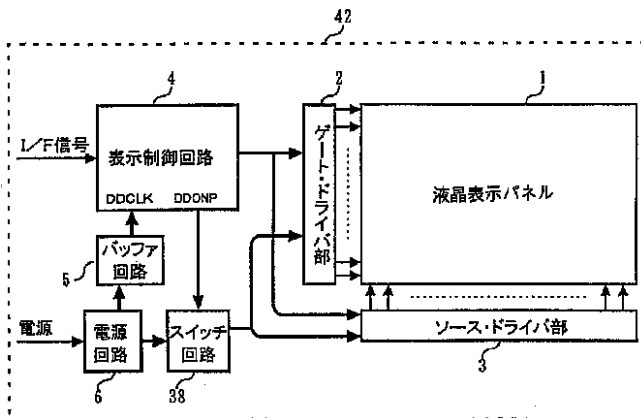
【図7】従来の液晶表示装置の概略構成を示すブロック図である。

【符号の説明】

1...液晶表示パネル、2...ゲートドライバ部、3...ソースドライバ部、4, 41...表示制御回路、5...バッファ回路、6...電源回路、7, 20...ダイオード、8...インダクタ、9, 23, 27...n p n型トランジスタ、10, 15, 19...コンデンサ、11, 12, 14, 21, 22, 24, 25, 26, 28...抵抗、13...IC回路、16...発振器(OSC)、17...出力制御部、18...チャージポンプ回路(CP) 29...分周回路、30...カウンタ回路(CU1)、31, 36...2入力AND回路、32...比較判定回路、33...3入力AND回路、34...カウンタ回路(CU2)、35...異常検出回路、37...フリップフロップ回路(FF)、38...スイッチ回路、39...パーソナルコンピュータ本体、40, 42...液晶表示装置。

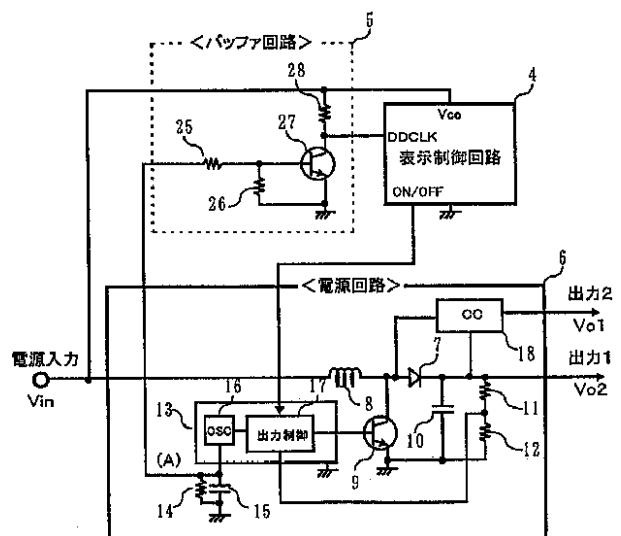
【図1】

図1



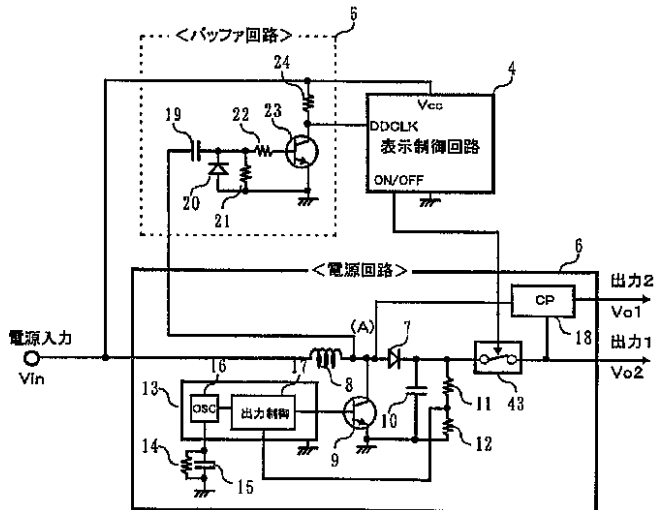
【図3】

図3



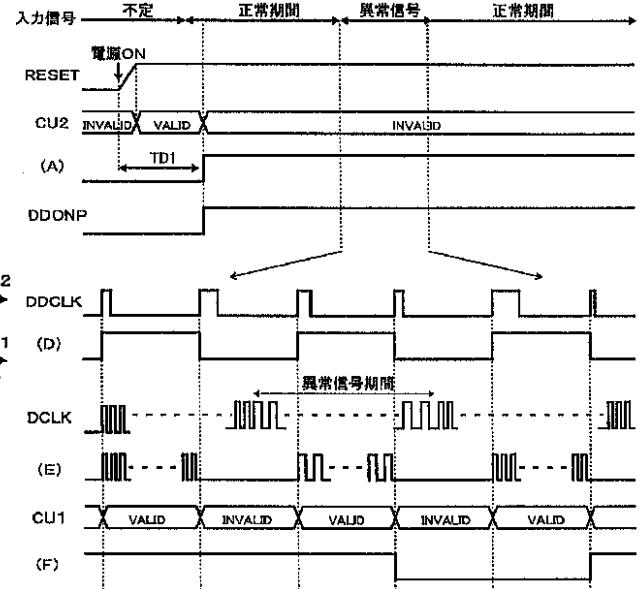
【図2】

図2



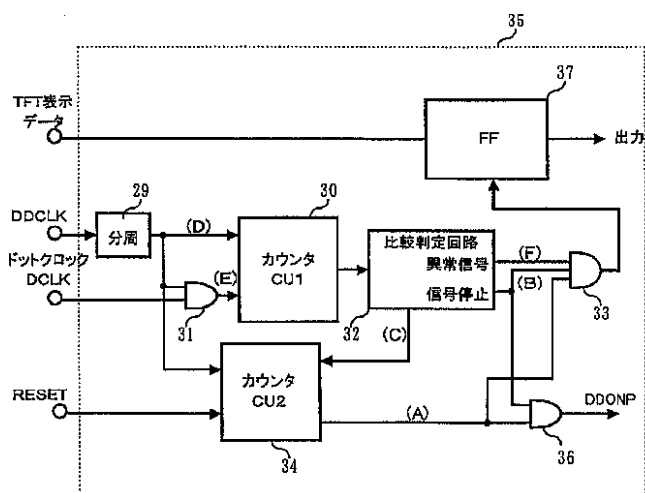
【図5】

図5



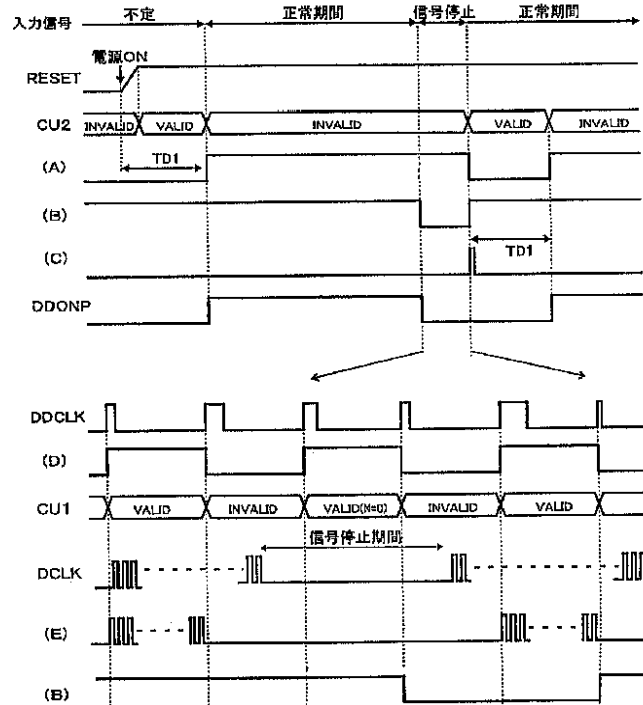
【図4】

図4



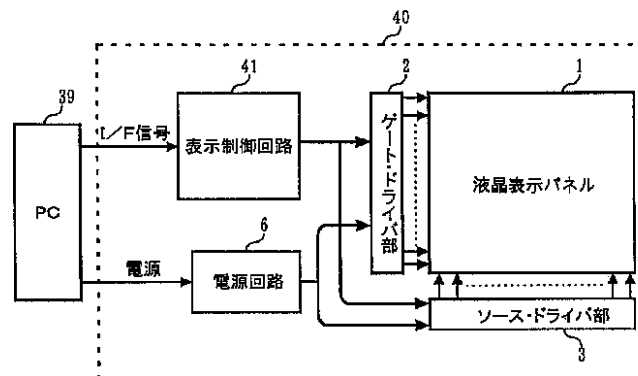
【図6】

図6



【図7】

図7



フロントページの続き

(72)発明者 大平 智秀
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 5C006 AF65 AF67 AF68 AF72 BB11
BF06 BF14 BF22 BF23 BF26
BF36 BF37 BF42 FA34
5C080 AA10 BB05 DD09 DD29 JJ02
JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002207458A	公开(公告)日	2002-07-26
申请号	JP2001002005	申请日	2001-01-10
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	山岸康彦 大平智秀		
发明人	山岸 康彦 大平 智秀		
IPC分类号	G09G3/36 G09G3/20		
FI分类号	G09G3/36 G09G3/20.612.G G09G3/20.633.D G09G3/20.670.F		
F-TERM分类号	5C006/AF65 5C006/AF67 5C006/AF68 5C006/AF72 5C006/BB11 5C006/BF06 5C006/BF14 5C006/BF22 5C006/BF23 5C006/BF26 5C006/BF36 5C006/BF37 5C006/BF42 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD29 5C080/JJ02 5C080/JJ03 5C080/JJ04		
其他公开文献	JP3739284B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够防止在停止从外部输入的外部时钟时向液晶显示元件施加直流电压。具有多个像素的液晶显示元件，用于驱动液晶显示元件的像素的驱动装置，用于将显示数据和显示控制信号发送至驱动装置的显示控制装置，以及驱动装置。一种液晶显示装置，包括：用于提供电源电压的电源电路；以及设置在所述电源电路和所述驱动装置之间的开关装置，其中，所述显示控制装置在一定采样周期内从外部源接收输入。用于对要生成的外部时钟的时钟数进行计数的计数器，以及用于在计数器的计数值为0时向开关装置发送用于使开关装置断开的控制信号的控制信号的判断装置。

