

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 38262

(P2002 - 38262A)

(43)公開日 平成14年2月6日(2002.2.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
C 2 3 C 14/34		C 2 3 C 14/34	R 2 H 0 9 2
			M 4 K 0 2 9
14/00		14/00	B 5 G 3 2 3
14/08		14/08	D
G 0 2 F 1/1343		G 0 2 F 1/1343	
審査請求 未請求 請求項の数 10 O L (全 5 数) 最終頁に続く			

(21)出願番号 特願2000 - 222484(P2000 - 222484)

(22)出願日 平成12年7月24日(2000.7.24)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 日高 浩二

埼玉県深谷市幡羅町一丁目9番地2号 株式
会社東芝深谷工場内

(72)発明者 大塚 茂樹

埼玉県深谷市幡羅町一丁目9番地2号 株式
会社東芝深谷工場内

(74)代理人 100062764

弁理士 樺澤 襄 (外 2 名)

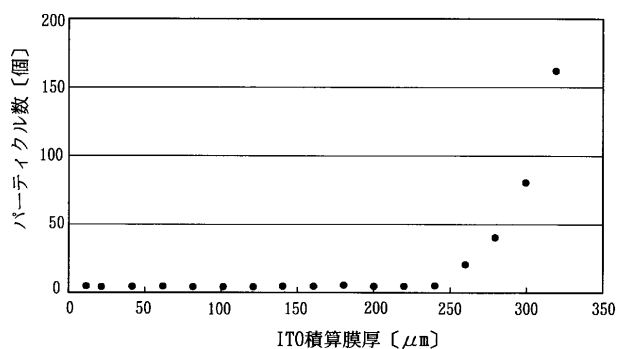
最終頁に続く

(54)【発明の名称】 透明導電性膜の形成方法、アレイ基板および液晶表示装置

(57)【要約】

【課題】 製品歩留を向上できる透明導電性膜の形成方法を提供する。

【解決手段】 チャンバ内でスパッタリングによりガラス基板にITO膜を形成する。ガラス基板へのITO膜の積算した膜厚が240μmを越えるとパーティクル数が増加する。ガラス基板へのITO膜の積算した膜厚が240μm以下の状態で、チャンバ内の防着板の表面およびターゲットの非エロージョン領域に堆積したパーティクルを除去する。ガラス基板に付着するパーティクル数の増加を防止し、製品歩留まりが向上する。



【特許請求の範囲】

【請求項 1】 チャンバ内でスパッタリングにより被処理体に透明導電性膜を形成する透明導電性膜の形成方法であって、

前記被処理体への前記透明導電性膜の積算成膜厚が 240 μm 以下の状態で、前記チャンバ内を掃除することを特徴とした透明導電性膜の形成方法。

【請求項 2】 透明導電性膜は、インジウム・スズ酸化物 (In - Sn - O) であることを特徴とした請求項 1 記載の透明導電性膜の形成方法。

【請求項 3】 透明導電性膜は、インジウム・亜鉛酸化物 (In - Zn - O) であることを特徴とした請求項 1 記載の透明導電性膜の形成方法。

【請求項 4】 チャンバ内に水蒸気を導入してスパッタリングを行うことを特徴とした請求項 1 ないし 3 いずれかに記載の透明導電性膜の形成方法。

【請求項 5】 被処理体は、透光性を有する絶縁基板であることを特徴とした請求項 1 記載の透明導電性膜の形成方法。

【請求項 6】 被処理体は、液晶表示装置用のアレイ基板であることを特徴とした請求項 1 記載の透明導電性膜の形成方法。

【請求項 7】 被処理体への積算成膜厚が 240 μm 以下の状態で、チャンバ内の防着板およびターゲットの表面を掃除することを特徴とした請求項 1 記載の透明導電性膜の形成方法。

【請求項 8】 被処理体への積算成膜厚が 240 μm 以下の状態で、ターゲットの非エロージョン領域に堆積した堆積物を除去することを特徴とした請求項 1 記載の透明導電性膜の形成方法。

【請求項 9】 透光性を有する絶縁基板と、積算成膜厚が 240 μm 以下でチャンバ内を掃除した状態で、このチャンバ内でスパッタリングにより前記絶縁基板に形成された透明導電性膜とを具備していることを特徴としたアレイ基板。

【請求項 10】 請求項 9 記載のアレイ基板と、このアレイ基板に対向した対向基板と、この対向基板と前記アレイ基板との間に配設される液晶とを具備していることを特徴とした液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャンバ内でスパッタリングにより被処理体に透明導電性膜を形成する透明導電性膜の形成方法、アレイ基板および液晶表示装置に関する。

【0002】

【従来の技術】現在、高画質、薄型、軽量、低消費電力などの理由から、ノート型コンピュータや、様々な携帯機器などのディスプレイにアクティブマトリックス駆動液晶ディスプレイが使用されている。そして、このアク

ティブマトリックス駆動液晶ディスプレイを用いた液晶表示装置用のアレイ基板の画素電極材料としては、In - Sn - O 系の透明導電性膜、例えば ITO (Indium Tin Oxide) 膜が主に用いられている。

【0003】この ITO 膜は、スパッタリング法による形成が一般的であり、低抵抗率および高透過率を得るために 150 ~ 200 以上の温度で結晶化させている。

【0004】ところが、結晶化した ITO 膜は、エッチングレートが非常に遅いため、まずは低温で非晶質な ITO 膜を形成し、エッチング加工をした後に、150 ~ 200 以上の温度で結晶化させている。

【0005】また、単に低温で成膜しただけでは ITO 膜が完全な非晶質とはならず微結晶粒を含んだ構造となるため、この微結晶粒がエッチング残渣として残りやすい。このため、スパッタリング中の雰囲気中に水蒸気を微量添加している。この結果、ITO 膜中の微結晶粒径が小さくなり、エッチング残渣が生じなくなる。

【0006】

【発明が解決しようとする課題】しかしながら、上述のような ITO 膜の形成方法では、水蒸気を添加して成膜した ITO 膜は非晶質であるため、この ITO 膜が防着板およびターゲットの非エロージョン領域に堆積した場合には、非常に脆い構造となり、剥離しやすい。そして、防着板およびターゲットの非エロージョン領域から剥離した ITO 膜がアレイ基板に付着した場合には、パターン不良の原因となり、製品歩留が低下するという問題を有している。

【0007】本発明は、このような点に鑑みなされたもので、製品歩留を向上できる透明導電性膜の形成方法、アレイ基板および液晶表示装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、チャンバ内でスパッタリングにより被処理体に透明導電性膜を形成する透明導電性膜の形成方法であって、前記被処理体への前記透明導電性膜の積算成膜厚が 240 μm 以下の状態で、前記チャンバ内を掃除するものである。

【0009】そして、この構成では、チャンバ内でスパッタリングにより被処理体に透明導電性膜を形成する際に、この被処理体への透明導電性膜の積算成膜厚が 240 μm を越えると、パーティクル数が増加するので、この透明導電性膜の積算成膜厚が 240 μm 以下の状態で、チャンバ内を掃除することにより、被処理体に付着するパーティクル数の増加を防止して、製品歩留まりが向上する。

【0010】

【発明の実施の形態】以下、本発明の透明導電性膜の形成方法の一実施の形態の構成を図 1 ないし図 3 を参照して説明する。

【0011】図 3 において、1 はスパッタ成膜装置で、

このスパッタ成膜装置 1 は、マグネトロン式であり、内部にアルゴン (Ar) と、プロセスガスとして図示しない水蒸気とが導入されたチャンバ 2 を備えている。また、水蒸気は、チャンバ 2 内に分圧として 0.001 Pa 程度添加されている。さらに、このチャンバ内 2 は、150 以下である。

【0012】また、このスパッタ成膜装置 1 は、チャンバ 2 内でスパッタリングにより図示しない液晶表示装置用のアレイ基板に用いられる被処理体としての透光性を有する絶縁基板であるガラス基板 3 の一主面上に、図示しないインジウム・すず酸化物 (In-Sn-O) で形成された In-Sn-O 系の透明導電性膜としての ITO (Indium Tin Oxide) 膜を形成する。

【0013】この ITO 膜は、アクティブマトリクス駆動液晶ディスプレイを用いた液晶表示装置用のアレイ基板の画素電極材料である。また、ガラス基板 3 は、このガラス基板 3 に対向した図示しない対向基板と、この対向基板とガラス基板との間に配設される図示しない液晶とにより液晶表示装置を形成する。

【0014】そして、チャンバ 2 は、放電空間 4 を有しており、この放電空間 4 の一側には、インジウム・すず酸化物 (In-Sn-O) で形成されたターゲット 5 が配設されている。また、チャンバ 2 内であるターゲット 5 の外周域には、ターゲット 5 以外への放電を防止するアースシールド 6 が配設されており、ターゲット 5 に対向する放電空間 4 の他側には、ガラス基板 3 が配設される。この放電空間 4 内に配設されたガラス基板 3 とアースシールド 6 との間である放電空間 4 の外周域には、ガラス基板 3 の端部に成膜されることを防止する防着板 7 が配設されている。

【0015】さらに、ターゲット 5 に対向する放電空間 4 の外域、すなわちチャンバ 2 の外部には、一対の磁石体であるマグネット 8a, 8b が移動可能に配設されている。これらマグネット 8a, 8b は、チャンバ 2 の外部から放電空間 4 に磁界を形成し、この放電空間 4 内でグロー放電されるアルゴンのプラズマを集束させる。

【0016】そして、図 1 に示すように、複数枚のガラス基板 3 への ITO 膜の積算した膜厚が 240 μm を越えると、このガラス基板 3 に付着するパーティクル数が急激に増加するので、この ITO 膜の積算した膜厚が 240 μm 以下の状態でチャンバ 2 内を掃除する。

【0017】なお、個々に成膜するときの ITO 膜の膜厚は、例えば 1 枚毎の膜厚が予め設定されているので、240 μm を 1 枚毎の膜厚で除することにより、チャンバ内を掃除するまでの枚数を予め決定しておく。また、例えばカウンタなどを設け、所定の枚数に達した際に、報知するようにすることもできる。

【0018】特に、チャンバ 2 内の防着板 7 およびターゲット 5 の図示しない非エロージョン領域に堆積した堆積物を除去することにより、これら防着板 7 およびター

ゲット 5 の非エロージョン領域に堆積した堆積物は、非常に脆い構造となり剥離しやすいので、より効率良くガラス基板 3 に付着するパーティクル数が減少する。

【0019】ここで、非エロージョン領域とは、ガラス基板 3 をスパッタリングした際におけるターゲット 5 の浸食しない領域のことをいう。

【0020】次に、上記一実施の形態のスパッタ成膜装置での透明導電性膜の形成方法について説明する。

【0021】まず、スパッタ成膜装置 1 のチャンバ 2 内にガラス基板 3 を配設し、このチャンバ 2 の放電空間 4 にアルゴンガスおよび水蒸気を導入する。

【0022】次いで、チャンバ 2 内の放電空間 3 でグロー放電させ、アルゴンのプラズマを発生させる。

【0023】すると、このアルゴンのプラズマがマグネット 8a, 8b により集束され、ターゲット 5 に衝突する。この結果、ターゲット 5 を構成する原子が、放電空間 3 へと飛び出す。

【0024】この後、この原子がガラス基板 3 の一主面上に衝突し、このガラス基板 3 の一主面上に ITO 膜を形成する。

【0025】このとき、放電空間 4 に漂うターゲット 5 を構成する原子は、ガラス基板 3 の一主面上以外であるチャンバ 2 の内面、特に、防着板 7 の表面およびターゲット 5 の非エロージョン領域などに衝突して堆積する。

【0026】この結果、図 1 に示すように、ガラス基板 3 への ITO 膜の積算した膜厚と、このガラス基板 3 に付着したパーティクル数との関係から、ガラス基板 3 への ITO 膜の積算した膜厚が 240 μm を越えるとパーティクル数が増加する。

【0027】このため、ガラス基板 3 への ITO 膜の積算した膜厚が 240 μm 以下の状態で、チャンバ 2 内の防着板 7 の表面およびターゲット 5 の非エロージョン領域に堆積した堆積物を除去する。

【0028】この結果、図 2 に示すように、ガラス基板 3 の処理製品数と、このガラス基板 3 に付着したパーティクル数との関係から、ITO 膜の積算した膜厚 240 μm 毎に防着板 7 の表面およびターゲット 5 の非エロージョン領域に堆積した堆積物を除去、すなわちクリーニングすることにより、製品への成膜処理を続けた場合の処理基板数と製品に付着したパーティクル数の増大が抑えられる。

【0029】上述したように、上記一実施の形態によれば、ガラス基板 3 への ITO 膜の積算した膜厚が 240 μm を越えると、チャンバ 2 内でのスパッタリング時におけるガラス基板 3 に付着するパーティクル数が増加する。このため、この ITO 膜の積算した膜厚が 240 μm 以下の状態で、チャンバ 2 内を掃除することにより、ガラス基板 3 に付着するパーティクル数の増加を防止でき、製品歩留を向上できる。

【0030】また、チャンバ 2 内に分圧として 0.00

1 Pa 程度、プロセスガスとして水蒸気を添加したことにより、ITO 膜中の微結晶粒径を小さくできるので、スパッタリング後に行うエッチングの際に、残渣を生じさせなくできる。

【0031】さらに、ガラス基板 3 への ITO 膜の積算した膜厚が 240 μm 以下の状態で、パーティクルが剥離しやすい防着板 7 の表面およびターゲット 5 の非エロージョン領域を掃除することにより、ガラス基板 3 に付着するパーティクル数の増加をより効率良く防止でき、製品歩留をより向上できる。

【0032】なお、上記一実施の形態では、スパッタリングによりガラス基板 3 に ITO 膜、すなわちインジウム・スズ酸化物 (In-Sn-O) 膜を成膜する構成について説明したが、このような構成に限定されることはなく、インジウム・亜鉛酸化物 (In-Zn-O) 膜などでもスパッタリングによりガラス基板 3 に成膜することができる。

【0033】また、ITO 膜の積算した膜厚を検知する図示しないセンサなどを設け、この ITO 膜の積算した膜厚が 240 μm に近づいたら報知するようにすること

【0034】さらに、上記一実施の形態で用いた形容詞*

*などは、あくまで例示であり、これらの記載に限定されることはない。

【0035】

【発明の効果】本発明によれば、被処理体への透明導電性膜の積算成膜厚が 240 μm 以下の状態でチャンバ内を掃除することにより、被処理体に付着するパーティクル数の増加を防止できるので、製品歩留を向上できる。

【図面の簡単な説明】

【図 1】本発明の透明導電性膜の形成方法を用いた際の ITO 膜積算膜厚とガラス基板に付着したパーティクル数との関係を示したグラフである。

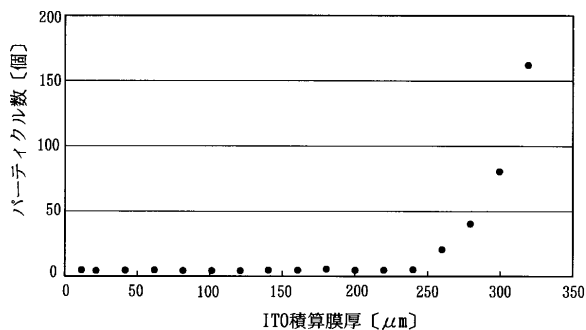
【図 2】同上透明導電性膜の形成方法を用いた際のガラス基板の処理製品数とこのガラス基板に付着したパーティクル数との関係を示したグラフである。

【図 3】同上透明導電性膜の形成方法を用いるためのスパッタ成膜装置を示す説明図である。

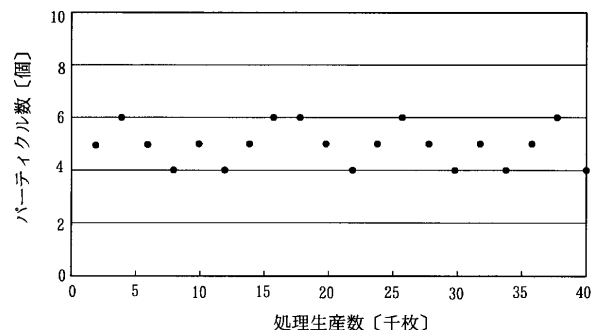
【符号の説明】

- 2 チャンバ
- 3 被処理体としてのガラス基板
- 5 ターゲット
- 7 防着板

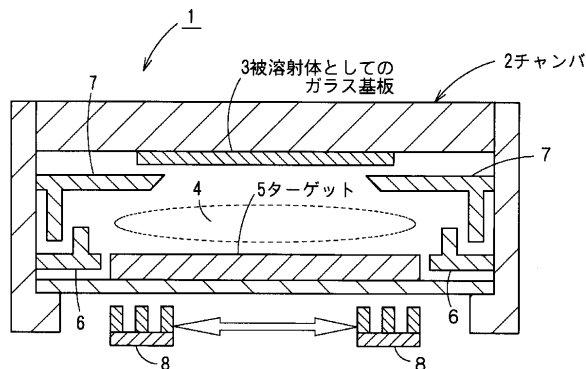
【図 1】



【図 2】



【図 3】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
H 0 1 B 13/00	5 0 3	H 0 1 B 13/00	5 0 3 B

F タ-ム(参考) 2H092 HA03 HA04 MA05 MA35 NA29
PA01
4K029 AA09 BA50 BC09 BD00 CA05
DA10 FA09
5G323 BA02 BB05

专利名称(译)	形成透明导电膜的方法，阵列基板和液晶显示装置		
公开(公告)号	JP2002038262A	公开(公告)日	2002-02-06
申请号	JP2000222484	申请日	2000-07-24
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	日高浩二 大塚茂樹		
发明人	日高 浩二 大塚 茂樹		
IPC分类号	G02F1/1343 C23C14/00 C23C14/08 C23C14/34 H01B13/00		
FI分类号	C23C14/34.R C23C14/34.M C23C14/00.B C23C14/08.D G02F1/1343 H01B13/00.503.B		
F-TERM分类号	2H092/HA03 2H092/HA04 2H092/MA05 2H092/MA35 2H092/NA29 2H092/PA01 4K029/AA09 4K029/BA50 4K029/BC09 4K029/BD00 4K029/CA05 4K029/DA10 4K029/FA09 5G323/BA02 5G323/BB05		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够提高成品率的透明导电膜的形成方法。通过在室内进行溅射在玻璃基板上形成ITO膜。当玻璃基板上的ITO膜的总厚度超过240 μ m时，粒子数增加。在玻璃基板上的ITO膜的总厚度为240 μ m以下的情况下，去除沉积在腔室中的沉积防止板的表面上的颗粒和靶的非侵蚀区域。防止了附着在玻璃基板上的颗粒数量的增加，并且提高了产品产率。

