

(19)日本国特許庁 ( J P )

(12) 公開特許公報 ( A ) (11)特許出願公開番号

特開2001 - 290122

(P2001 - 290122A)

(43)公開日 平成13年10月19日(2001.10.19)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-コード ( 参考 )
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 8 8
	1/137		2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 0 6
	3/36		5 C 0 8 0

審査請求 未請求 請求項の数 10 O L ( 全 8 数 )

(21)出願番号 特願2000 - 104519(P2000 - 104519)  
 (22)出願日 平成12年4月6日(2000.4.6)

(71)出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (72)発明者 森 秀雄  
 東京都大田区下丸子3丁目30番2号キヤノン  
 株式会社内  
 (72)発明者 門叶 剛司  
 東京都大田区下丸子3丁目30番2号キヤノン  
 株式会社内  
 (74)代理人 100086287  
 弁理士 伊東 哲也 ( 外 1 名 )

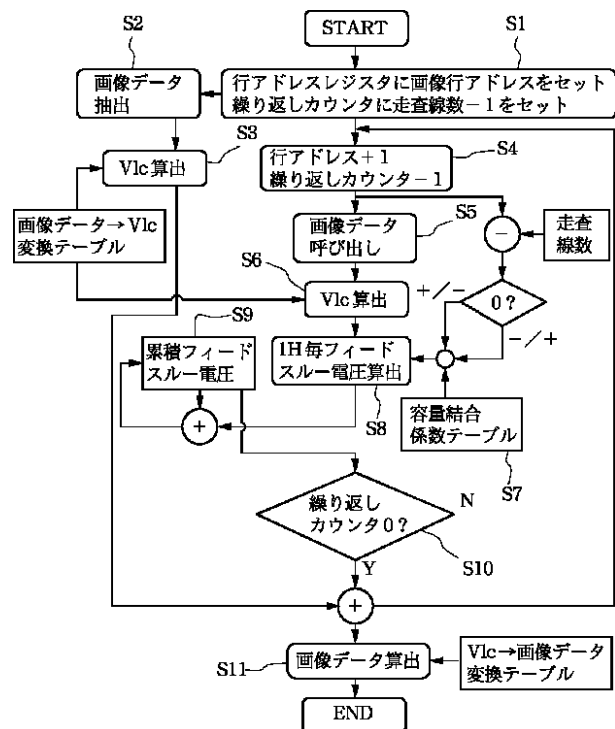
最終頁に続く

(54)【発明の名称】 液晶表示素子の駆動方法

(57)【要約】

【課題】 フィールドシーケンシャル駆動にも適用できる、反転駆動によらないクロストーク対策を提供する。

【解決手段】 複数の画素をマトリクス状に配置すると共に、行電極走査および列電極の信号印加によって画像を表示するアクティブマトリクス型の液晶表示素子の各画素への印加電圧の極性を1画面の走査毎に切り替えるフィールド反転駆動を行う際、ある画素の電位が変動する量を、該画素がハイインピーダンスになっている期間の列電圧の電圧変化量、すなわち該画素を含む縦方向の画像情報および、電圧極性の情報から算出し、算出した画素電位変動量を補正するべく画像データを補正する。



## 【特許請求の範囲】

【請求項1】 複数の画素をマトリクス状に配置すると共に、行電極走査および列電極の信号印加によって画像を表示するアクティブマトリクス型の液晶表示素子の各画素への印加電圧の極性を1画面の走査毎に切り替えるフィールド反転駆動を行う際、各画素に印加する電圧を、その画素のアクティブ素子が選択されてから次に選択されるまでの期間の該画素のアクティブ素子が接続される列電極に印加すべき電圧に基づいて補正することを特徴とする液晶表示素子の駆動方法。

【請求項2】 前記補正は、ある画素に印加する電圧を、表示画像に応じてその画素に書き込むべき電圧と、該画素のアクティブ素子が接続される列電極に接続されたアクティブ素子を有する他の画素に前記表示画像に応じて書き込むべき電圧の平均値との差に補正係数を乗じた電圧値を補正することを特徴とする請求項1に記載の液晶表示素子の駆動方法。

【請求項3】 前記補正係数は、該画素電極と列電極との間の寄生容量 $C_{ds}$ 、該画素電極と行電極との間の寄生容量 $C_{gd}$ 、該画素の液晶容量 $C_{lc}$ 、および該画素に形成した保持容量 $C_{cs}$ の関係する関係式で求めることを特徴とする請求項2に記載の液晶表示素子の駆動方法。

【請求項4】 前記補正係数は  

$$= C_{ds} / (C_{ds} + C_{gd} + C_{lc} + C_{cs})$$
 で表されることを特徴とする請求項3に記載の液晶表示素子の駆動方法。

【請求項5】 前記液晶がカイラルスメクチック液晶であることを特徴とする請求項1～4のいずれかに記載の液晶表示素子の駆動方法。

【請求項6】 前記カイラルスメクチック液晶の層転移系列が、高温側より、等方性液体相(I S O . ) - コレスティック相(C h ) - カイラルスメクチックC相、または等方性液体相(I S O . ) - カイラルスメクチックC相であることを特徴とする請求項5に記載の液晶表示素子の駆動方法。

【請求項7】 前記液晶表示素子は、電圧無印加時では、液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧を印加したときとは逆側にチルトし、前記第一の極性の電圧印加時と第二の極性の電圧印加時の液晶の平均分子軸の該第一の状態における単安定化された位置を基準とした最大チルト状態のチルトの角度をそれぞれ  $\theta_1$ 、 $\theta_2$  としたとき、 $\theta_1 > \theta_2$  となる液晶表示素子であることを特徴とする請求項6に記載の液晶表示素子の駆動方法。

【請求項8】 前記チルト角度  $\theta_1$  と  $\theta_2$  が、 $\theta_1 = 5 \times \theta_2$  となることを特徴とする請求項7に記載の液晶表

示素子の駆動方法。

【請求項9】 前記液晶表示素子は、電圧無印加時では、液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置から実質的に変化しない液晶表示素子であることを特徴とする請求項6に記載の液晶表示素子の駆動方法。

【請求項10】 前記カイラルスメクチック液晶のバルク状態での螺旋ピッチはセル厚の2倍より長い請求項6～9のいずれかに記載の液晶表示素子の駆動方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等に用いられる液晶表示素子の駆動方法に関する。

【0002】

【従来の技術】近年、液晶表示素子はP Cのモニタを初めとしてビデオカムコーダのビューファインダ、プロジェクタ等々様々な分野で製品化が果たされており、これらの多くにはツイストネマチック液晶を用いている。しかしながら、ツイストネマチック液晶を用いた液晶表示素子には、応答速度の遅さ、視野角の狭さといった問題が存在している。一方、カラー液晶表示素子の新たな方式としてカラーフィルタを用いないフィールドシーケンシャル方式が提案されている。これは赤(R)、緑(G)、青(B)の光源を順次点灯させて、これに合わせた画像を液晶パネルに表示させることで時間混色によってカラー表示を行うものである。フィールドシーケンシャル方式の場合は各色フィールドの間に確実に液晶応答が完了していなければ所望の色が表示出来なくなる為、液晶応答速度にはこれまで以上の高速性が求められる。

【0003】これらの問題を解決する液晶モードとして、例えば特許第2681528号で吉田が単安定モードの強誘電性液晶とアクティブマトリクス素子を組み合わせた方法を提案している。この単安定モード強誘電性液晶は、図2に示す片極性の電気光学特性を有する。両極性の電気光学特性を有するツイストネマチック液晶や特開平9-50049号で提案されている液晶は正極性電圧にも負極性電圧にもほぼ同様の光学応答を示し、このV-Tカーブの形からV字型と称されている。これに対して単安定モードの強誘電性液晶はV字を半分に切った形に見えることから片側V字液晶(モード)と称されている。以降、片側V字液晶と称する。

【0004】図3にフィールドシーケンシャル方式において、片側V字液晶をアクティブマトリクス素子を用いて駆動するシーケンスの例を、図4にこのときのアクティブマトリクス素子構成の一例を示し、駆動方法を説明

する。図4において、41はXゲート駆動回路、42はゲートライン(行電極)、43はソースライン(列電極)、44はソース駆動回路、Ccsは保持容量、Clcは液晶容量である。

【0005】図3に示すように、例えば1/60secの1フレームの間に表示素子の全面を6回走査する。第一の走査では赤(R)の情報電圧を+極性で書き込み、第二の走査では赤(R)の情報電圧を-極性で書き込む。さらに第三の走査では緑(G)の情報電圧を+極性で書き込み、第四の走査では緑(G)の情報電圧を-極性で書き込み、第五の走査では青(B)の情報電圧を+極性で書き込み、第六の走査では青(B)の情報電圧を-極性で書き込む。これに対して赤の光源は第一の走査から第二の走査の期間に渡って点灯させ、緑の光源は第三の走査から第四の走査の期間に渡って点灯させ、青の光源は第五の走査から第六の走査の期間に渡って点灯させる。片側V字液晶は、図2に示す光学応答を示すため、各画素は赤情報輝度 黒 緑情報輝度 黒 青情報輝度 黒を繰り返し表示する。これにより、カラーフィルタを用いずにフルカラー表示を得ることができる。

【0006】

【発明が解決しようとする課題】しかしながら、図3に示す駆動シーケンスはフィールド反転駆動である為、クロストークの問題を考える必要がある。図5に示すように画素電極にはいくつかの寄生容量が存在する。特にソースライン43とのカップリングは、ソースライン上を表示画像に依存する電圧が印加される為、当該画素のゲートがオフになっているときに、ソースライン43上の電圧変動によるフィードスルーが発生して画素電極電位の変動を引き起こし、ひいては液晶の透過光量が変動して所望の階調特性を得られなくなるという問題、すなわち図6を用いて後述するようなクロストークが生じる。

【0007】図7は図6に示すクロストークの発生を定量的に説明するタイミングチャートである。図6ではクロストークの仕組みを端的に説明するために、黒背景に白四角を表示した場合を示す。白四角は画素aの近傍の小さな四角と、画素bから画素dに跨る縦に長い四角の二つである。ゲートの走査は上から下へと順次行われていく。画素a、bのゲートラインIは時刻t3、t3'に選択され、画素c、dのゲートラインIIは時刻t5、t5'に選択される。一方、画素a、cのソースラインAに印加される電圧は時刻t2に白を書く+極性の電圧+Vwとなり、時刻t4に0Vとなり、時刻t2'には前述の白を書く+極性の電圧+Vwと絶対値が同じで極性が逆の電圧-Vwが印加され、時刻t4'に0Vとなる。同様に、画素b、dのソースラインBに印加される電圧は時刻t1に白を書く+極性の電圧+Vwとなり、時刻t6に0Vとなり、時刻t1'には前述の白を書く+極性の電圧+Vwと絶対値が同じで極性が逆の電圧-Vwが印加され、時刻t6'に0Vとなる。

【0008】次に画素電位の時間的推移について説明する。画素aでは時刻t3にゲートラインIが選択されたときにソースラインAの電圧+Vwが書き込まれる。その後ゲートがオフされると、画素電位はハイインピーダンス状態となるので+Vwを保とうとするが、図5に示すような寄生容量が存在することから寄生容量先の電位の変動によってフィードスルーの影響を受ける。時刻t4まではソースラインAの電位が+Vwである為、画素aの電位に変動は無いが、時刻t4でソースラインAの電位は0Vに変わる為に、この影響を受け、画素aの電位は若干ドロップする。更に時刻t2'でソースラインAの電位は-Vwに変わるため、画素aの電位は更にドロップする。次に時刻t3'でゲートラインIが選択されたときにソースラインAの電圧-Vwが書き込まれる。その後時刻t4'、時刻t2でソースラインAの電位が変わるため、画素aの電位はここでも影響を受ける。画素b、画素c、画素dについても画素aと同様に各画素電位は、ソースラインの変動の影響を受ける。影響の受け方の説明はここでは省略するが、図7中に図示する通りである。

【0009】次に光学応答について説明する。画素aでは時刻t3に+Vwの電圧が画素に書き込まれ、透過状態が白状態へと遷移する。その後、前述した画素電位の変動に従って透過光量が変化する。時刻t3'に-Vwの電圧が画素に書き込まれ、透過状態が黒状態へと遷移する。なお、液晶は図2に示す片側V字液晶である。同様に画素bにおいても画素aと同じタイミングで時刻t3に+Vw、時刻t3'に-Vwが書き込まれて光学応答が起きるが、その後の画素電位の変動は図7に示すように画素aと画素bでは異なるため、画素aと画素bとでは透過光量の積分値が異なり、観察者に輝度差を認識させてしまう。また、図6において、画素cは本来黒表示であるが、クロストークにより、白(光源色)表示となっている。

【0010】一般的にはクロストーク対策としてライン反転駆動、あるいはドット反転駆動によってソースラインに印加する電圧の極性を一水平走査期間毎に反転させることでクロストークの抑制を図っているが、上述したフィールドシーケンシャルの駆動方法は、フィールド反転駆動による駆動が不可欠であり、ライン反転駆動やドット反転駆動による対策以外の対策手法が求められる。

【0011】本発明は、上述の従来例における問題点を鑑みてなされたもので、フィールド反転駆動を用いるフィールドシーケンシャル駆動にも適用可能な、反転駆動によらないクロストーク対策を提供することを目的とする。

【0012】

【課題を解決する為の手段および作用】そこで本発明では、ある画素の電位が変動する量を、該画素がハイインピーダンスになっている期間のソース電圧の電圧変化

量、すなわち該画素を含む縦方向の画像情報および、電圧極性の情報から算出し、算出した画素電位変動量を補正するべく画像データを補正することでクロストークの抑制を図るものである。

#### 【0013】

【発明の実施の形態】本発明の好ましい実施の一形態では、複数の画素をマトリクス状に配置すると共に、行電極走査および列電極の信号印加によって画像を表示するアクティブマトリクス型の液晶表示素子で1画面の走査(1フィールド)毎に液晶への印加電圧の極性を切り替えるフィールド反転駆動を行う液晶表示装置において、ある画素に印加する電圧を、該画素に書き込んだ電圧と、該画素のアクティブ素子が選択されてから次に選択されるまでの期間の該画素のアクティブ素子に接続される列電極に印加される電圧の平均値との差に補正係数をかけた電圧値分補正することを特徴とする。

【0014】上記補正係数としては、該画素電極と列電極との間の寄生容量 $C_{ds}$ 、該画素電極と行電極との間の寄生容量 $C_{gd}$ 、該画素の液晶容量 $C_{lc}$ 、および該画素に形成した保持容量 $C_{cs}$ の関係する関係式、例えば  $C_{ds} / (C_{ds} + C_{gd} + C_{lc} + C_{cs})$  で表される補正係数を用いる。

【0015】また、前記液晶は、カイラルスメクチック液晶である。層転移系列が、高温側より、等方性液体相(I<sub>SO</sub>.)-コレステリック相(CH)-カイラルスメクチックC相、または等方性液体相(I<sub>SO</sub>.)-カイラルスメクチックC相であるものが特に好ましい。このような液晶を用いた液晶表示素子の例は、特願平10-177145や特開2000-010076等に記載されている。

【0016】また、前記液晶表示素子としては、電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧を印加したときとは逆側にチルトする液晶表示素子において、前記第一の極性の電圧印加時と第二の極性の電圧印加時の液晶の平均分子軸の該第一の状態における単安定化された位置を基準とした最大チルト状態のチルトの角度をそれぞれ  $\theta_1$ 、 $\theta_2$  としたとき  $\theta_1 > \theta_2$  となる液晶表示素子である。 $\theta_1 = 5 \times \theta_2$  であればより好ましく、 $\theta_2 = 0$  であればさらに好ましい。

【0017】前記カイラルスメクチック液晶のバルク状態での螺旋ピッチはセル厚の2倍より長くなっている。

#### 【0018】

【実施例】以下、図面を用いて本発明の実施例を説明する。図1、図8および図9は、本発明に係る第一の実施例を説明するための図であり、図1はデータ処理を示すフローチャート、図8は回路構成を示すブロック図、図

9は本実施例の効果を示すタイミングチャートである。本実施例に係る液晶駆動方式は図3に示すフィールドシーケンシャル駆動方式を用いたものであり、液晶は図2に示す電気光学応答特性を持つ片側V字液晶である。また、フィールドシーケンシャル駆動の為に用いるメモリ空間は図10に示すものである。

【0019】本実施例のシステムはデジタルビデオカムコーダ(DVC)やデジタルスチルカメラ(DSC)等のモニタとして用いられるものであり、図8に示すように、以下の構成をとる。ビデオ信号をデジタル画像データに変換する回路ブロック1、赤(R)緑(G)青(B)パラレルの画像データをRGBシリアル画像データに変換し、かつLCD(液晶表示素子)4の特性に合わせて画像データを補正する回路ブロック2、LCDに合わせたアナログ信号にD/A変換する回路ブロック3、図10に示すメモリ空間を有するフレームメモリ5、そしてLCD4である。

【0020】ビデオデコード、パラシリ(並直)変換、D/A変換部分については、ここでは説明を省略し、回路ブロック2の中で行われる画像データの補正について説明する。図1に示すフローチャートは、フィールド反転駆動時に発生するソースラインからの影響によるフィールドスルーによって起きる画素電位の変動に起因するクロストークを抑制するための処理を示す。まず処理すべき画素(仮に画素aとする)の画像データの格納されているメモリ上のアドレスから行アドレスを抽出し、行アドレスレジスタに画像データ行アドレスをセットするとともに、繰り返しカウンタに『走査線数-1』の値をセットする(ステップ1)。一方、処理すべき画素の画像データの値と画像データに応じた印加電圧を示すテーブルの値に従い、印加電圧 $V_{lc}$ を算出する(ステップ2、3)。なお、 $V_{lc}$ は実際に印加するアナログ電圧ではなく、電圧値を示すデジタル情報である。次に行アドレスレジスタの値に1を加え(このとき同時に繰り返しカウンタの値を1減じる)(ステップ4)、その値に従って画像データを読み出す(ステップ5)。この画像データはすなわち、表示エリア上の画素aの1ライン下で横方向が同一位置に位置する画素の画像データである。この画像データについても、画像データの値と画像データに応じた印加電圧を示すテーブルの値に従い、印加電圧 $V_{lc}$ を算出する(ステップ6)。他方、走査線数と行アドレスの値の関係から、アドレスレジスタの値で示される行アドレスが期間1、すなわち+極性の電圧を印加すべき期間であるのか、期間2、すなわち-極性の電圧を印加すべき期間であるかを判定し(ステップ7)、この判定結果、およびフィールドスルーを引き起こす度合いを示す容量結合係数テーブルに基づいて、当該行アドレスのソースラインに印加されている電圧によって画素aに如何ほどのフィールドスルー電圧が発生するかを算出し(ステップ8)、この値を累積フィールドスルー

電圧値として所定のメモリ空間に保存する(ステップ9)。このときのフィードスルー電圧値 $V_f$ は

$$V_f = \Delta V_s \times C_{ds} / (C_{ds} + C_{gd} + C_{lc} + C_{cs})$$

で表される。なお、 $V_s$ はソースライン44(図5)に印加される電圧の変化量、 $C_{ds}$ はソースラインと画素電極との間の寄生容量、 $C_{gd}$ はゲートラインと画素電極との間の寄生容量、 $C_{lc}$ は当該画素の液晶容量、 $C_{cs}$ は当該画素に形成される保持容量である。

【0022】次に、繰り返しカウンタの値を確認して(ステップ10)、これが0でなければ行アドレスカウンタの値に1を加える処理(ステップ4)に戻り、それ以降の処理を繰り返し、累積フィードスルー電圧の値を順次書き換える。繰り返しカウンタの値が0であれば、最初に算出した印加電圧 $V_{lc}$ と累積フィードスルー電圧値を加算して、画素aに印加すべき電圧を算出する。

$$V_w = V_w + 2V_w \times C_{ds} / (C_{lc} + C_{cs} + C_{ds})$$

で示される。なお、前述の通り、 $C_{ds}$ はソースラインと当該画素電極との間の寄生容量、 $C_{gd}$ はゲートラインと当該画素電極との間の寄生容量、 $C_{lc}$ は当該画素の液晶容量、 $C_{cs}$ は当該画素の保持容量である。

【0025】このように、ソースラインの電圧変動によるフィードスルーに起因する輝度変動を、表示画像データに基づく補正をかけることによって補正した電圧をソースラインに印加することで図9に示すように所望の光学応答を得、クロストークの発生を大幅に抑制した正確な階調表示を得ることができる。

【0026】

【他の実施例】図12は、本発明の第二の実施例に係る駆動シーケンスを示すタイミングチャートである。本発明は、図12に示すようにフィールドシーケンシャル方式の駆動に対してだけでなく、カラーフィルタによるカラー表示を行う場合の駆動に対しても有効である。また、この場合も片側V字液晶の特徴を活かす為に倍速駆動(例えば60Hzのフレームレートの入力画像を+フィールド、-フィールドの2フィールドに分けた120Hzにする)の為にフレームメモリを用いているため、本実施例の為に新たにフレームメモリを抱える必要はない。

【0027】

【発明の効果】以上に述べたように、本発明は、ある画素の電位が変動する量を、該画素がハイインピーダンスになっている期間のソース電圧の電圧変化量、すなわち該画素を含む縦方向の画像情報および、電圧極性の情報から算出し、算出した画素電位変動量を補正するべく画像データを補正することでクロストークの抑制を図り、正確な階調表示を得るものである。

【図面の簡単な説明】

【図1】 本発明に係る第一の実施例のデータ処理を示

\*【0021】

【数1】

\*最後に、印加電圧から画像データを逆引きするテーブルに従い、補正後の画像データ値を得る(ステップ11)。このときの画像データ値は、補正前の画像データが例えば6ビットであったとすると、補正後の画像データは6ビットより多いビット数のデータとなる。

【0023】また、画素に印加すべき電圧はフィードスルーを考慮しなければ、図11に示すように最大で $+V_w$ であるが、フィードスルーを考慮して、これを補正する電圧を印加する場合は、これより大きな値の電圧 $+V_w'$ を印加する。この値は最大で

【0024】

【数2】

$$(C_{lc} + C_{cs} + C_{ds})$$

すフローチャートである。

【図2】 片側V字液晶の電気光学特性を示す図である。

【図3】 片側V字液晶を用いたフィールドシーケンシャル駆動シーケンスを示すタイミングチャートである。

【図4】 アクティブマトリクス素子の一例を示す模式図である。

【図5】 画素に寄生する容量を示す模式図である。

【図6】 クロストークが発生したときの表示状態を示す図である。

【図7】 クロストークの発生を定量的に説明するタイミングチャートである。

【図8】 本発明に係る第一の実施例の回路構成を示すブロック図である。

【図9】 本発明に係る第一の実施例の効果を示すタイミングチャートである。

【図10】 本発明に係る第一の実施例で用いるメモリ空間を示す模式図である。

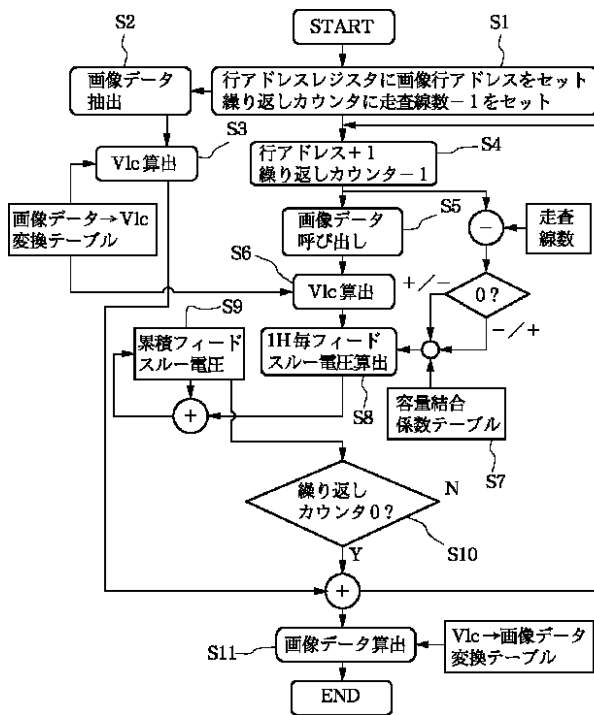
【図11】 本発明に係る第一の実施例の印加電圧を説明する図である。

【図12】 本発明に係る第二の実施例の駆動シーケンスを示すタイミングチャートである。

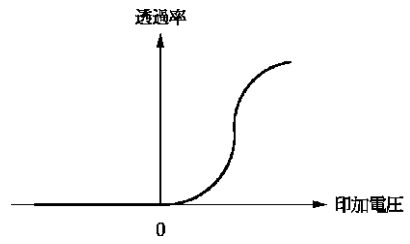
【符号の説明】

- 1：ビデオ信号をデジタル画像データに変換する回路ブロック、
- 2：赤(R) 緑(G) 青(B) 平行の画像データをRGBシリアル画像データに変換し、かつLCDの特性に合わせて画像データを補正する回路ブロック、
- 3：LCDに合わせたアナログ信号にD/A変換する回路ブロック、
- 4：LCD、
- 5：フレームメモリ、
- 41：Xゲート駆動回路、
- 42：ゲートライン(行電極)、
- 43：ソースライン(列電極)、
- 44：ソース駆動回路、
- Ccs：保持容量、
- Clc：液晶容量。

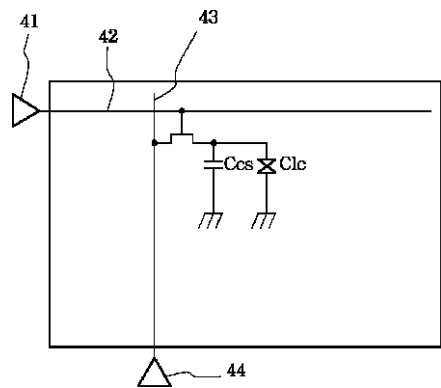
【図1】



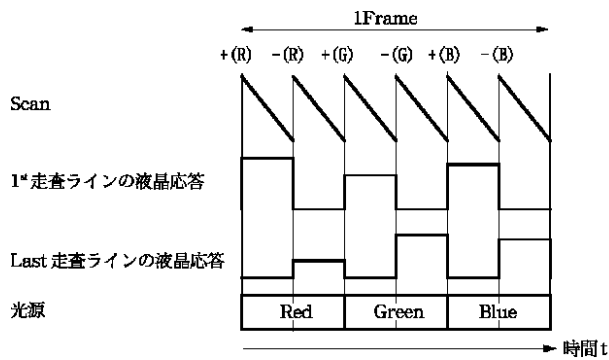
【図2】



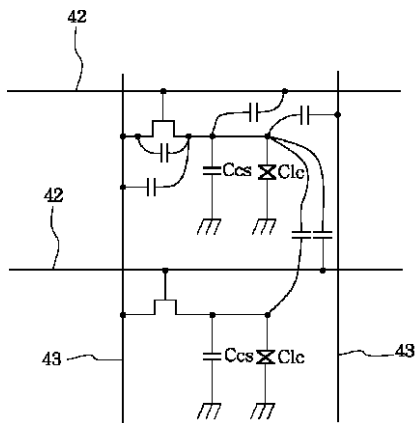
【図4】



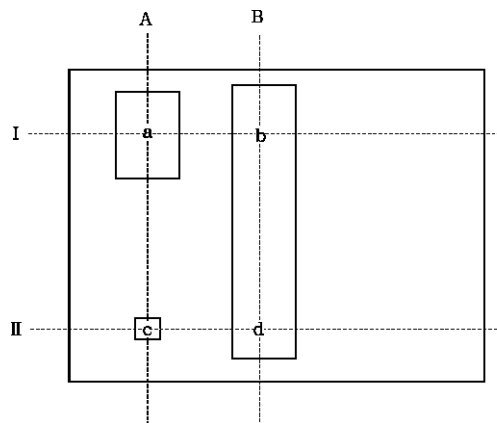
【図3】



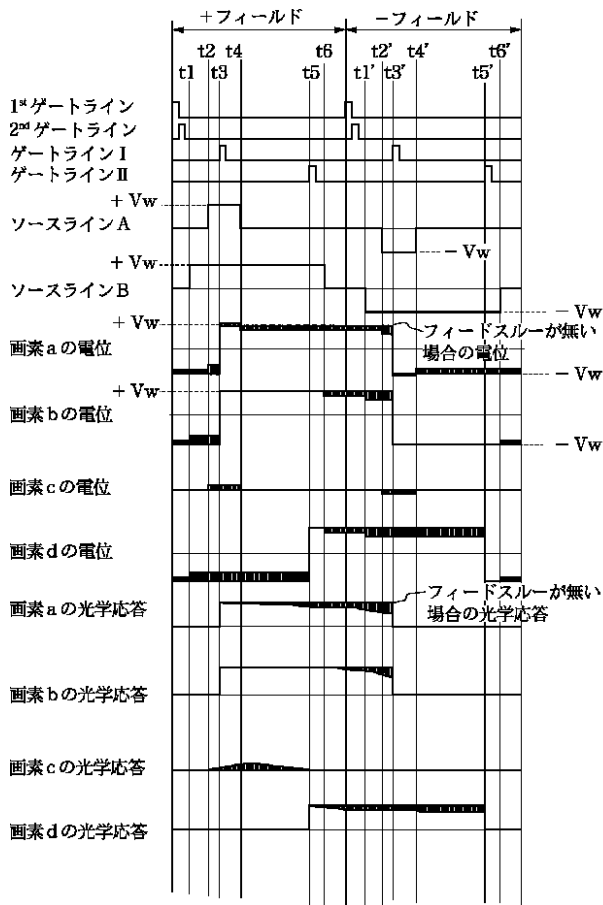
【図5】



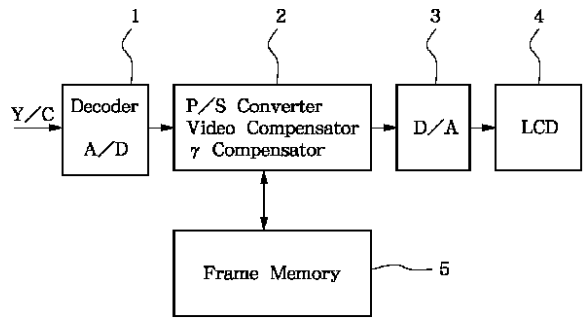
【図6】



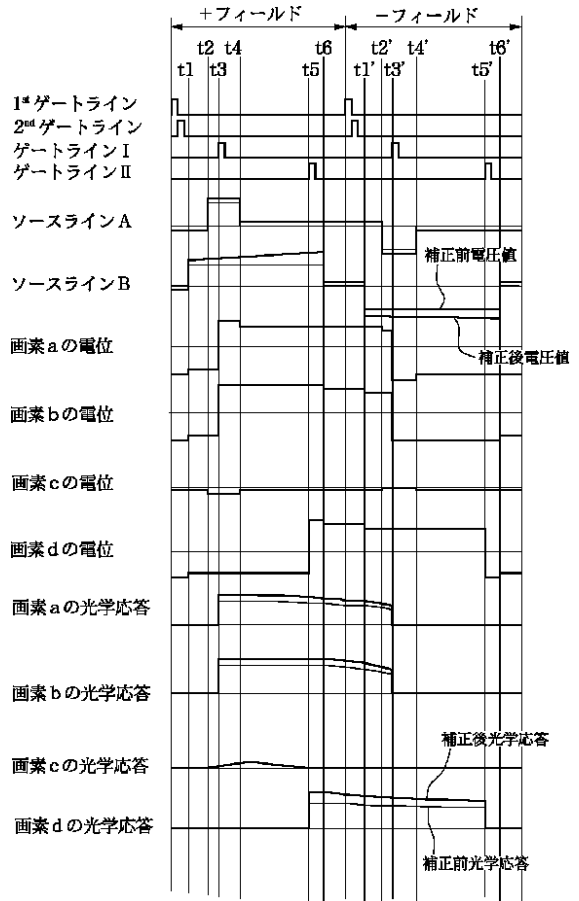
【図7】



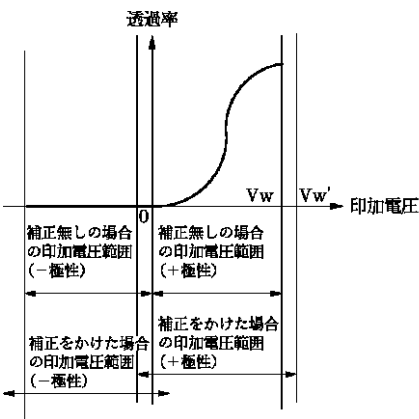
【図8】



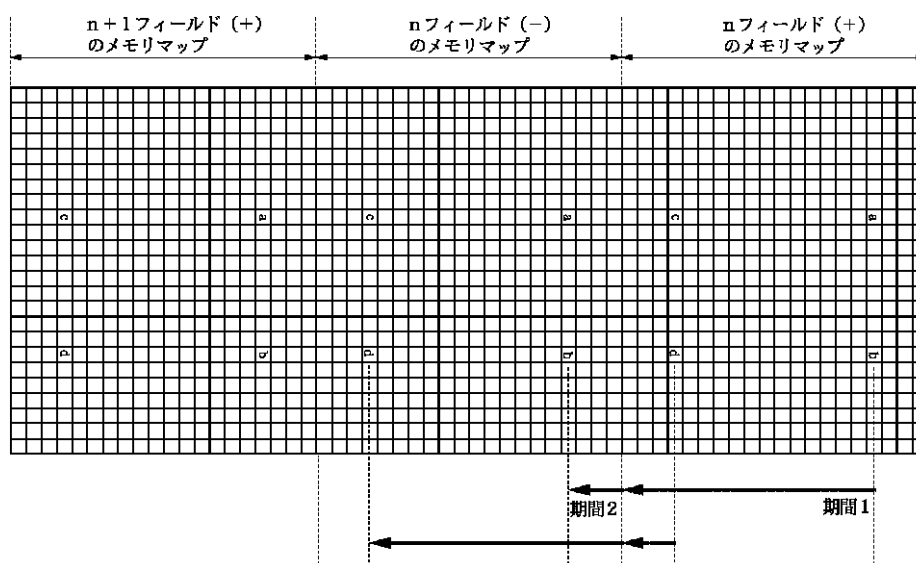
【図9】



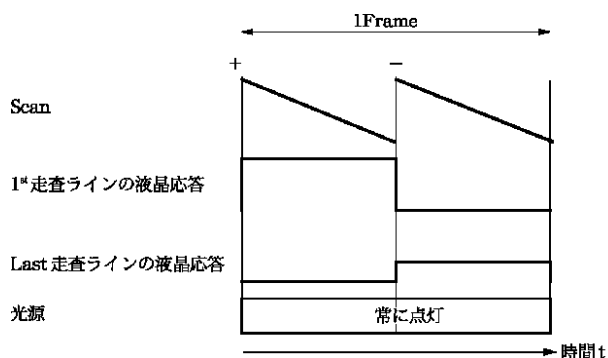
【図11】



【図10】



【図12】



フロントページの続き

(72)発明者 三浦 聖志  
 東京都大田区下丸子3丁目30番2号キャノ  
 ン株式会社内

Fターム(参考) 2H088 EA02 GA03 GA04 GA17 HA08  
 HA12 JA03 KA14 MA01  
 2H093 NA16 NA31 NA43 NA51 NA61  
 NC03 NC34 NC35 NC67 ND15  
 NF03  
 5C006 AA22 AC28 AF44 AF46 BA12  
 BB16 EC01 FA22 FA37  
 5C080 AA10 BB05 DD10 EE17 FF11  
 GG07 JJ02 JJ04 JJ05 JJ07  
 KK42

