

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号
WO2008/123427

発行日 平成22年7月15日 (2010. 7. 15)

(43) 国際公開日 平成20年10月16日 (2008. 10. 16)

(51) Int. Cl.			F I	テーマコード (参考)	
G 0 9 G	3/36	(2006. 01)	G 0 9 G 3/36	2 H 1 9 3	
G 0 9 G	3/20	(2006. 01)	G 0 9 G 3/20 6 8 0 H	5 C 0 0 6	
G 0 2 F	1/133	(2006. 01)	G 0 9 G 3/20 6 2 3 Q	5 C 0 8 0	
			G 0 9 G 3/20 6 4 2 K		
			G 0 9 G 3/20 6 4 1 P		
			審査請求 未請求 予備審査請求 未請求	(全 20 頁)	最終頁に続く

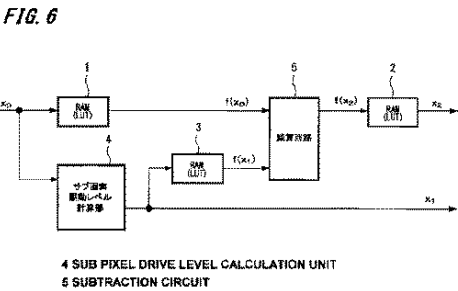
出願番号	特願2009-509220 (P2009-509220)	(71) 出願人	000002185
(21) 国際出願番号	PCT/JP2008/056125		ソニー株式会社
(22) 国際出願日	平成20年3月28日 (2008. 3. 28)		東京都港区港南1丁目7番1号
(31) 優先権主張番号	特願2007-89255 (P2007-89255)	(74) 代理人	110000925
(32) 優先日	平成19年3月29日 (2007. 3. 29)		特許業務法人信友国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	鈴木 俊明
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	抜山 和宏
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	鎌田 豪
			東京都港区港南1丁目7番1号 ソニー株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置及び駆動制御回路

(57) 【要約】

液晶表示パネルの各画素が2つのサブ画素に分割された場合に、回路規模の増大を抑えつつ、入力映像信号の階調に対するサブ画素の駆動レベルを複数通りの中から選択可能にする。

このため本発明においては、入力映像信号の各画素の階調値に基づいて、第1のサブ画素を駆動するための第1の階調値を得る第1サブ画素駆動レベル変換部を備え、その第1の階調値で第1のサブ画素を駆動制御する。そして、第1サブ画素駆動レベル変換部で得られた第1の階調値を、輝度値に変換し、画素全体の階調値を変換した輝度値との差分を求める。その求めた差分を、階調値に変換して、第2のサブ画素を駆動するための第2の階調値を得る。その第2の階調値で第2のサブ画素を駆動制御する。



【特許請求の範囲】**【請求項 1】**

各画素が第 1 のサブ画素と第 2 のサブ画素に分割された液晶表示パネルと、
前記液晶パネルを駆動する駆動回路と、
前記駆動回路による前記液晶表示パネルの駆動を制御する駆動制御回路とを有し、
前記駆動制御回路は、
入力映像信号の各画素の階調値に基づいて、前記液晶表示パネルの第 1 のサブ画素を駆動するための第 1 の階調値を得る第 1 サブ画素駆動レベル変換部と、
前記第 1 サブ画素駆動レベル変換部で変換された第 1 のサブ画素を駆動するための階調値を、輝度値に変換する第 1 の輝度値変換部と、
前記入力映像信号の各画素の階調値を、輝度値に変換する第 2 の輝度値変換部と、
前記第 2 の輝度値変換部で変換された輝度値と、前記第 1 の輝度値変換部で変換された輝度値との差分を算出する減算部と、
前記減算部で減算された差分の輝度値を階調値に変換して、前記液晶表示パネルの第 2 のサブ画素を駆動するための第 2 の階調値を得る第 2 サブ画素駆動レベル変換部とを備えた
液晶表示装置。

10

【請求項 2】

前記第 1 サブ画素駆動レベル変換部は、入力映像信号の階調値を乗算する演算回路と平方根を得る演算回路とから成る
請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 1 の輝度値変換部と、前記第 2 の輝度値変換部と、前記第 2 サブ画素駆動レベル変換部は、それぞれ階調値と輝度値とを対応させたルックアップテーブルを記憶した記憶部から成る
請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 1 サブ画素駆動レベル変換部は、
入力映像信号の離散的な階調値と前記一方のサブ画素の階調値とを対応させた 2 つ一組のルックアップテーブルであって、入力映像信号に対する駆動レベルを各組毎に異ならせたルックアップテーブルを記憶した記憶部と、
入力映像信号の階調値に対して、前記ルックアップテーブルにおいて該階調値を挟んでいる 2 つの階調値を参照アドレスとして生成するアドレス生成部と、
前記参照アドレスによって各組の前記ルックアップテーブルから読み出された階調値のうちのいずれか一組のルックアップテーブルからの階調値を選択する選択部と、
前記選択部によって選択された階調値を補間する補間部とから成る
請求項 1 に記載の液晶表示装置。

30

【請求項 5】

入力映像信号の各画素の階調値に基づいて、液晶表示パネルの各画素に配置された第 1 及び第 2 のサブ画素の内の、第 1 のサブ画素を駆動するための第 1 の階調値を得る第 1 サブ画素駆動レベル変換部と、
前記第 1 サブ画素駆動レベル変換部で変換された第 1 のサブ画素を駆動するための階調値を、輝度値に変換する第 1 の輝度値変換部と、
前記入力映像信号の各画素の階調値を、輝度値に変換する第 2 の輝度値変換部と、
前記第 2 の輝度値変換部で変換された輝度値と、前記第 1 の輝度値変換部で変換された輝度値との差分を算出する減算部と、
前記減算部で減算された差分の輝度値を階調値に変換して、前記第 2 のサブ画素を駆動するための第 2 の階調値を得る第 2 サブ画素駆動レベル変換部とを備えた
駆動制御回路。

40

【請求項 6】

50

前記第1サブ画素駆動レベル変換部は、入力映像信号の階調値を乗算する演算回路と平方根を得る演算回路とから成る

請求項5に記載の駆動制御回路。

【請求項7】

前記第1の輝度値変換部と、前記第2の輝度値変換部と、前記第2サブ画素駆動レベル変換部は、それぞれ階調値と輝度値とを対応させたルックアップテーブルを記憶した記憶部から成る

請求項5に記載の駆動制御回路。

【請求項8】

前記第1サブ画素駆動レベル変換部は、

10

入力映像信号の離散的な階調値と前記一方のサブ画素の階調値とを対応させた2つ一組のルックアップテーブルであって、入力映像信号に対する駆動レベルを各組毎に異ならせたルックアップテーブルを記憶した記憶部と、

入力映像信号の階調値に対して、前記ルックアップテーブルにおいて該階調値を挟んでいる2つの階調値を参照アドレスとして生成するアドレス生成部と、

前記参照アドレスによって各組の前記ルックアップテーブルから読み出された階調値のうちのいずれか一組のルックアップテーブルからの階調値を選択する選択部と、

前記選択部によって選択された階調値を補間する補間部とから成る

請求項5に記載の駆動制御回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、各画素が2つのサブ画素に分割された液晶表示パネルの駆動を制御する駆動制御回路に関する。また本発明は、液晶表示パネルの各画素が2つのサブ画素に分割された液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置の視野角特性として、画面を斜めから見た場合、階調の上昇につれて輝度が一旦増加した後減少することにより、階調が高い領域よりも低い領域の方で輝度が高くなるという逆転現象が生じることが知られている。

30

【0003】

こうした視野角特性を改善するために、従来から、液晶表示パネルの各画素を2つのサブ画素に分割する技術が提案されている（例えば日本国特許庁発行の特開2005-316211号公報参照）。

この技術では、図1に例示するように、液晶表示パネル50の1個の画素P（3原色であるR、G、B毎の画素）分の表示電極を、データドライバ60から互いに独立して駆動される2つのサブ画素A及びBの電極に分割する。

【0004】

そして、このサブ画素A、Bの駆動レベル（サブ画素A、Bを駆動する階調）を、入力映像信号の階調に応じて互いに異なる階調に設定することにより、画素P全体を斜めから見た場合の輝度特性を、正面から見た場合の輝度特性に近づける。

40

【0005】

上述した文献である特開2005-316211号公報には、このようなサブ画素の駆動レベルの設定手法として、入力映像信号の階調と各サブ画素用の出力階調とを対応させた階調変換テーブルを設けることが記載されている。

【0006】

ところで、このように液晶表示パネルの各画素を2つのサブ画素に分割した液晶表示装置において、斜めから見た場合のR、G、Bの輝度のバランスを改善するためには、サブ画素の駆動レベルを、R、G、Bのいずれの画素であるかによって変更するのが望ましいことがある。

50

【0007】

図2は、そうしたケースを例示した図である。図2(a)には、入力階調に対するサブ画素A、Bの駆動レベルを図2(b)のように設定して画面を正面から見た場合の階調－輝度特性をGL11として描くとともに、サブ画素A、Bの駆動レベルを図2(b)のように設定して画面を斜め(角度 θ)から見た場合の階調－輝度特性をGL12として描いている。

【0008】

ここで、例えばR、G、Bの階調値がそれぞれ128、96、64であるとする。図2(a)にもそうしたR、G、Bの階調値を描いている。その場合、階調－輝度特性GL11とGL12とでは、正面から見た場合のR、G、Bの輝度の比は約1:2:5になるが、斜めから見た場合のR、G、Bの輝度の比は約5:7:10になる。その結果、斜めから見た場合には、Rの輝度の比が小さくなるので、赤色が暗くなってしまう。

【0009】

図2(a)には、入力階調に対するサブ画素A、Bの駆動レベルを図2(b)とは異なるように(ここでは図2(c)のように階調値が等しくなるように)設定して画面を前述の角度 θ から見た場合の階調－輝度特性もGL13として描いている。この階調－輝度特性GL13では、階調値が128であるときの輝度が階調－輝度特性GL12よりも高くなっている。

【0010】

そこで、G、Bの画素についてはサブ画素の駆動レベルとして図2(b)を選択し、Rの画素のみはサブ画素の駆動レベルとして図2(c)を選択すれば、斜めから見た場合のRの輝度の比が大きくなる(正面から見た場合のR、G、Bの輝度の比に近づく)ので、斜めから見た場合のR、G、Bの輝度のバランスを改善することができる。

【0011】

図2には図2(b)及び図2(c)の2通りの階調値を示したが、図3に例示するような3通り以上の駆動レベルの中からR、G、Bの画素毎のサブ画素の駆動レベルをそれぞれ選択すれば、斜めから見た場合のR、G、Bの輝度のバランスをより一層改善することができる。

【0012】

しかし、上記特許文献1に記載のように、サブ画素の駆動レベルを設定するために入力階調と出力階調とを対応させた階調変換テーブルを設ける方式では、駆動レベルを複数通りの中から選択可能にするためには、駆動レベル毎に別々の階調変換テーブルを設けることが必要である。その結果、図4に例示するように、選択可能な駆動レベルを増やすにつれて、サブ画素A及びB用の階調変換テーブルの数もTA11及びTB11、TA12及びTB12、…TAm及びTBmというように多くなっていく。

【0013】

そして、近年は、表示性能を向上させるために階調の分解能を高くする傾向にあるので、1個1個の階調変換テーブルのデータ量が大きくなる。そうしたデータ量の大きい階調変換テーブルを多数設けることは、階調変換テーブルを記憶するRAM等の回路規模を増大させてしまうという問題を招く。

【0014】

なお、ここではR、G、Bのいずれの画素であるかによって駆動レベルを複数通りの中から選択する場合の問題点を述べたが、例えば入力映像信号の種類に応じてサブ画素の駆動レベルを複数通りの中から選択するような場合にも、やはり同じ問題を招くことになる。

【0015】

本発明は、上述の点に鑑み、液晶表示パネルの各画素が2つのサブ画素に分割された液晶表示装置において、回路規模の増大を抑えつつ、入力映像信号の階調に対するサブ画素の駆動レベルを複数通りの中から選択可能にすることを課題とする。

【発明の開示】

【0016】

上記課題を解決するため、本発明は、

入力映像信号の各画素の階調値に基づいて、液晶表示パネルの各画素に配置された第1及び第2のサブ画素の内の、第1のサブ画素を駆動するための第1の階調値を得る第1サブ画素駆動レベル変換部と、

前記第1サブ画素駆動レベル変換部で変換された第1のサブ画素を駆動するための階調値を、輝度値に変換する第1の輝度値変換部と、

前記入力映像信号の各画素の階調値を、輝度値に変換する第2の輝度値変換部と、

前記第2の輝度値変換部で変換された輝度値と、前記第1の輝度値変換部で変換された輝度値との差分を算出する減算部と、

前記減算部で減算された差分の輝度値を階調値に変換して、前記第2のサブ画素を駆動するための第2の階調値を得る第2サブ画素駆動レベル変換部と、

を備えた駆動制御回路、及びその駆動制御回路を備えた液晶表示装置としたものである。

【0017】

かかる本発明では、入力映像信号の階調に対応して、各画素を分割した第1及び第2のサブ画素のうちの第1のサブ画素の階調の情報が、第1サブ画素駆動レベル変換部によって得られる。この第1サブ画素駆動レベル変換部によって得られた第1のサブ画素の階調値により、第1のサブ画素が駆動制御される。

【0018】

また、第1サブ画素駆動レベル変換部によって得られた第1のサブ画素の階調値は、第1の輝度値変換部で、第1のサブ画素の輝度値に変換される。さらに、入力映像信号の階調に対応した画素全体としての目標とする輝度が、第2の輝度値変換部で得られる。そして、減算部で、画素全体としての目標とする輝度から、第1のサブ画素の輝度が減算されることで、第2のサブ画素の輝度が得られる。

この第2サブ画素駆動レベル変換部で得られた第2のサブ画素の階調値により、第2のサブ画素が駆動制御される。

【0019】

この場合、第1サブ画素駆動レベル変換部による変換特性を変更しさえすれば、第1の輝度値変換部によって生成される輝度が変化することになる。このため、減算部から第2サブ画素駆動レベル変換部に供給される差分が変化するので、入力映像信号の階調に対する2つのサブ画素の駆動レベルを変更することができる。すなわち、階調と輝度との間での特性の変換を行う第1及び第2の輝度値変換部と第2サブ画素駆動レベル変換部を固定したまま変更することなく、この第1サブ画素駆動レベル変換部による変換特性のバリエーションを増やすだけで、サブ画素の選択可能な駆動レベルを増やすことができる。

【0020】

したがって、液晶表示パネルの各画素が2つのサブ画素に分割された液晶表示装置にこの駆動制御回路を搭載すれば、回路規模の増大を抑えつつ、入力映像信号の階調に対するサブ画素の駆動レベルを複数通りの中から選択することが可能になる。

【図面の簡単な説明】

【0021】

【図1】各画素を2つのサブ画素に分割した液晶表示パネルの構造の概要を示すパネル構造図である。

【図2】サブ画素の駆動レベルをR、G、Bの画素によって変更する例を示す特性図である。

【図3】サブ画素の3通り以上の駆動レベルを例示する特性図である。

【図4】階調変換テーブルを多数設けた例を示す構成図である。

【図5】本発明の一実施の形態を適用した液晶表示装置の回路構成の概要を示すブロック図である。

【図6】図5のタイミングコントローラ内の、階調信号を生成する回路の構成を示すブロック図である。

10

20

30

40

50

【図 7】図 6 の各 R A M 内のルックアップテーブルによって表される階調－輝度特性を示す特性図である。

【図 8】サブ画素駆動レベル計算部の構成の例を示す構成図である。

【図 9】図 8 の演算回路によるサブ画素 B の駆動レベルの変化の様子を例示する特性図である。

【図 1 0】サブ画素駆動レベル計算部の演算処理による別の構成例を示す構成図である。

【図 1 1】サブ画素駆動レベル計算部の演算処理によるさらに別の構成例を示す構成図である。

【図 1 2】一般化したサブ画素駆動レベル計算部の構成例を示す構成図である。

【図 1 3】図 1 2 の構成によるサブ画素 B の駆動レベルの変化例を示す特性図である。

10

【図 1 4】サブ画素駆動レベル計算部の L U T を使用した構成例を示すブロック図である。

【図 1 5】図 6 の回路によるサブ画素の駆動レベルの変化の様子を例示する特性図である。

【発明を実施するための最良の形態】

【0 0 2 2】

以下、本発明の一実施の形態の例を、添付図面を用いて具体的に説明する。

図 5 は、本実施の形態の例を適用した液晶表示装置の回路構成の概要を示すブロック図である。液晶表示装置には、映像信号処理回路 2 0 と、タイミングコントローラ 3 0 と、映像信号処理回路 2 0 及びタイミングコントローラ 3 0 を制御する C P U 4 0 と、液晶表示パネル 5 0 と、液晶表示パネル 5 0 を駆動するデータドライバ（データ線駆動回路） 6 0 及びゲートドライバ（走査線駆動回路） 7 0 とが設けられている。

20

【0 0 2 3】

外部から液晶表示装置に入力した映像信号は、映像信号処理回路 2 0 に送られる。映像信号処理回路 2 0 では、入力した映像信号に対して、同期信号の抽出、I P 変換（インターレース方式の信号からプログレッシブ方式の信号への変換）、スケーリング（液晶パネルの解像度に応じた画サイズ変換）等の処理が施される。そして、映像信号処理回路 2 0 の処理を経た映像信号と、映像信号処理回路 2 0 によって抽出された同期信号とが、タイミングコントローラ 3 0 に送られる。

【0 0 2 4】

30

タイミングコントローラ 3 0 は、周知のとおり、データドライバ 6 0 に映像信号（階調信号）、極性反転制御信号及びタイミング制御信号を供給するとともにゲートドライバ 7 0 にタイミング制御信号を供給することにより、液晶表示パネル 5 0 の駆動を制御する回路である。

【0 0 2 5】

液晶表示パネル 5 0 は、図 1 に同じ符号で例示した液晶パネルのように、1 個の画素 P（3 原色である R、G、B 毎の画素）分の表示電極を、2 つのサブ画素 A 及び B の電極に分割したものである。データドライバ 6 0 は、図 1 に同じ符号で示したデータドライバのように、この 2 つのサブ画素 A 及び B を互いに独立して駆動する。

【0 0 2 6】

40

タイミングコントローラ 3 0 は、データドライバ 6 0 に供給する階調信号を生成する機能に特徴を有している。

図 6 は、タイミングコントローラ 3 0 の内部構成のうち、この階調信号を生成する回路の構成を示すブロック図である。R A M 1 と、R A M 2 と、R A M 3 と、サブ画素駆動レベル計算部 4 と、減算回路 5 とが設けられている。

【0 0 2 7】

R A M 1 は、画素全体の階調値を輝度値に変換する変換部として機能する。R A M 1 には、画素 P（図 1）全体を画面正面から見た場合の目標とする階調－輝度特性（「ターゲット特性」とも呼ぶことにする）として、図 7 に示す階調－輝度特性 G L を表すように階調値と輝度値とを対応させたルックアップテーブル（L U T）が記憶されている。

50

【0028】

RAM2は、一方のサブ画素Aの輝度値を階調値に変換する変換部として機能する。RAM2には、図7に示したターゲット特性GLを実現するためのサブ画素Aの階調－輝度特性として、図7に示す階調－輝度特性GLAを表すように階調値と輝度値とを対応させたルックアップテーブルが記憶されている。

【0029】

RAM3は、他方のサブ画素Bの階調値を輝度値に変換する変換部として機能する。RAM3には、図7に示したターゲット特性GLを実現するためのサブ画素Bの階調－輝度特性として、図7に示す階調－輝度特性GLBを表すように階調値と輝度値とを対応させたルックアップテーブルが記憶されている。

10

【0030】

この階調－輝度特性GLAと階調－輝度特性GLBとは、同じ階調値に対応する輝度値の比（例えば図の階調値xに対応する輝度値f(x)Aとf(x)Bとの比）が、サブ画素Aとサブ画素Bとの面積の比に等しくなっている。また、階調－輝度特性GLAと階調－輝度特性GLBとは、同じ階調値に対応する輝度値を加算した値（例えば図のf(x)A + f(x)B）が、当該階調値に対応するターゲット特性GLの輝度値（図のf(x)）と等しくなっている。

【0031】

サブ画素駆動レベル計算部4は、CPU40（図5）の制御のもとで、タイミングコントローラ30への入力映像信号の階調値に対応するサブ画素B（図1）の階調値を計算するものである。このサブ画素駆動レベル計算部4の構成としては、以下に示す構成例のいずれを採用してもよい。

20

【0032】

<サブ画素駆動レベル計算部4の演算による構成例>

まず、サブ画素駆動レベル計算部4を、乗算などの演算回路で構成させた例について説明する。

例えば、図8に示すように、タイミングコントローラ30への入力映像信号の階調値をx0として、

$$x_1 = x_0^{1/n}$$

の累乗演算を行う演算回路10によってサブ画素駆動レベル計算部4を構成し、この演算結果x1をサブ画素Bの階調値とする。この構成例の場合、CPU40は、このnの値（整数でなくてもよい）を指定する制御信号をこの演算回路10に与える。

30

【0033】

図9は、このnの値を複数通りに変化させた場合の、入力映像信号の階調に対するサブ画素Bの駆動レベルを例示する図である。nの値を複数通りに変化させることにより、サブ画素Bの駆動レベルを、図3に例示したのと同様にして複数通りに変化させることができる。

【0034】

図10は、演算回路によるサブ画素駆動レベル計算部4の、より具体的な構成例を示した図である。

40

この例では、タイミングコントローラ30への入力映像信号の階調値をx0とし、演算結果x1をサブ画素Bの階調値とすると、

$$x_1 = x_0^{4 \cdot 2^5}$$

の演算をして、入力映像信号の階調に対するサブ画素Bの駆動レベルを得る構成としたものである。

【0035】

図10の構成について説明すると、入力映像信号の階調値x0を、平方根を算出する回路である1/2乗回路111に供給して、x0^{0.5}を得る。さらに、1/2乗回路111の出力x0^{0.5}を、別の1/2乗回路112に供給して、出力x0^{0.25}を得る。この1/2乗回路112の出力x0^{0.25}を、乗算回路113に供給する。

50

また、入力映像信号の階調値 x_0 を、乗算回路 114 に供給して二乗した出力 x_0^2 を得、さらにその乗算回路 114 の二乗出力 x_0^2 を、別の乗算回路 115 に供給して二乗した出力 x_0^4 を得、その出力 x_0^4 を、乗算回路 113 に供給する。

乗算回路 113 では、供給されるそれぞれの信号 $x_0^{0 \cdot 2^5}$ と信号 x_0^4 を乗算して、乗算出力 $x_0^{4 \cdot 2^5}$ を得る。

【0036】

図 11 は、演算回路によるサブ画素駆動レベル計算部 4 の、さらに別の構成例を示した図である。

この例では、タイミングコントローラ 30 への入力映像信号の階調値を x_0 とし、演算結果 x_1 をサブ画素 B の階調値とすると、

$$x_1 = x_0^{5 \cdot 6^2 \cdot 5}$$

の演算をして、入力映像信号の階調に対するサブ画素 B の駆動レベルを得る構成としたものである。

【0037】

図 11 の構成について説明すると、入力映像信号の階調値 x_0 を、平方根を算出する回路である 1/2 乗回路 121, 122, 123 に順に供給して、出力 $x_0^{0 \cdot 1^2 \cdot 5}$ を得る。そして、1/2 乗回路 121 の出力 $x_0^{0 \cdot 5}$ と、1/2 乗回路 123 の出力 $x_0^{0 \cdot 1^2 \cdot 5}$ とを乗算回路 124 に供給して、乗算出力 $x_0^{0 \cdot 6^2 \cdot 5}$ を得る。この乗算回路 124 の乗算出力 $x_0^{0 \cdot 6^2 \cdot 5}$ を、乗算回路 125 に供給する。

また、3つの乗算回路 126, 127, 128 を使用して、入力映像信号の階調値 x_0 から乗算出力 x_0^5 を得る。この乗算出力 x_0^5 を、乗算回路 125 に供給する。

乗算回路 123 では、供給されるそれぞれの信号 $x_0^{0 \cdot 6^2 \cdot 5}$ と信号 x_0^5 を乗算して、乗算出力 $x_0^{5 \cdot 6^2 \cdot 5}$ を得る。

【0038】

図 12 は、このような乗算回路と平方根回路とによる任意の乗数を得る回路を一般化して示したものである。この例では、タイミングコントローラ 30 への入力映像信号の階調値を x_0 とし、演算結果 $g(x_0)$ をサブ画素 B の階調値としてあり、その演算結果 $g(x_0)$ を任意の乗数に設定できる構成を示してある。

この図 12 の構成では、平方根を算出する回路である 1/2 乗回路 131 ~ 133 と乗算回路 134 ~ 140 とセクタ 141 ~ 146 とを設けた構成としてある。セクタ 141 ~ 146 は、それぞれ前段の回路から供給される各乗数の信号と信号“1”とのいずれかを選択する選択手段である。このセクタ 141 ~ 146 での選択状態を、外部から制御することで、出力信号 $g(x_0)$ の乗数が決まる。

【0039】

図 12 の構成について説明すると、入力映像信号の階調値 x_0 を、平方根を算出する回路である 1/2 乗回路 131, 132, 133 に順に供給し、それぞれの 1/2 乗回路 131, 132, 133 で、乗算出力 $x_0^{0 \cdot 5}$, $x_0^{0 \cdot 2^5}$, $x_0^{0 \cdot 1^2 \cdot 5}$ を得る。

【0040】

1/2 乗回路 133 の出力 $x_0^{0 \cdot 1^2 \cdot 5}$ は、セクタ 141 を介して乗算回路 134 に供給する。1/2 乗回路 132 の出力 $x_0^{0 \cdot 2^5}$ は、セクタ 142 を介して乗算回路 134 に供給する。乗算回路 134 では、両セクタ 141, 142 の出力を乗算し、その乗算出力を乗算回路 135 に供給する。

1/2 乗回路 131 の出力 $x_0^{0 \cdot 5}$ は、セクタ 143 を介して乗算回路 135 に供給する。乗算回路 135 では、乗算回路 134 の出力と、セクタ 143 の出力とを乗算し、その乗算出力を、乗算回路 136 に供給する。

【0041】

また、入力映像信号の階調値 x_0 を、乗算回路 137 に供給して二乗した出力 x_0^2 を得る。その出力 x_0^2 を乗算回路 138 に供給して、さらに二乗した出力 x_0^4 を得る。乗算回路 138 の出力 x_0^4 は、セクタ 144 を介して乗算回路 139 に供給し、乗算回路 137 の出力 x_0^2 を、セクタ 145 を介して乗算回路 139 に供給する。乗算回

路139では、両セクタ144、145の出力を乗算し、その乗算出力を乗算回路140に供給する。

【0042】

また、入力映像信号の階調値 x_0 を、セクタ146を介して乗算回路140に供給し、乗算回路140で乗算回路139の出力とセクタ146の出力を乗算する。さらに、乗算回路140の出力を乗算回路136に供給し、乗算回路136で、乗算回路135の出力と乗算回路140の出力とを乗算する。

このように構成したことで、乗算回路136の乗算出力 $g(x_0)$ は、各セクタ141～146での選択状態に応じて、任意のべき乗数を選択可能である。例えば、図10に示したサブ画素駆動レベル計算部として構成させることが可能であり、また図11に示したサブ画素駆動レベル計算部として構成させることも可能である。必要とするサブ画素の駆動レベルが得られるように、自由に構成を決めることができる。

【0043】

図13は、図12の構成でべき乗数を変化させた場合の、入力階調 x_0 と、出力階調であるサブ画素Bを駆動する階調との特性例を示した図である。べき乗数として x_0^1 とした特性の場合には直線であり、その状態からべき乗数を $x_0^{1 \cdot 5}$ 、 x_0^2 、 $x_0^{2 \cdot 5}$ 、 x_0^3 、 x_0^4 、 x_0^5 、 x_0^6 、 $x_0^{7 \cdot 8}$ に変化させた例を示してある。

この図13から判るように、1つのサブ画素駆動レベル計算部での処理状態を変化させることで、特性を自由に変化させることが可能となる。

【0044】

<サブ画素駆動レベル計算部4のLUTによる構成例>

図14に示すように、アドレス生成回路11と、2つ一組の複数組のRAM12（RAM12（1）及び12（1'）、12（2）及び12（2'）、…12（m）及び12（m'））と、データ選択回路13と、直線補間回路14とによってサブ画素駆動レベル計算部4を構成する。

【0045】

各組のRAM12には、入力映像信号の離散的な階調値（当該液晶表示装置における実際の階調の分解能よりも粗い階調値）とサブ画素Bの階調値とを対応させたルックアップテーブルであって、入力映像信号に対する駆動レベルを各組毎に異ならせたもの（同じ組同士の2つのRAMでは駆動レベルを等しくしたもの）が記憶されている。

【0046】

これらのルックアップテーブルは、入力階調と出力階調とを対応させている点では図4を用いて説明した階調変換テーブルと同じであるが、離散的な階調値のみを記憶しているので、複数設けても回路規模の増大を抑えることができる。

【0047】

アドレス生成回路11は、入力映像信号の階調値 x_0 に対して、RAM12内のルックアップテーブルにおいてその階調値 x_0 を挟んでいる2つの階調値 $x_0 - a$ 及び $x_0 + b$ を参照アドレスとして生成する回路である。

【0048】

アドレス生成回路11で生成された参照アドレス $x_0 - a$ は、各組のRAM12のうち的一方（RAM12（1）、12（2）、…12（m））に供給され、アドレス生成回路11で生成された参照アドレス $x_0 + b$ は、各組のRAM12のうちの残りの一方（RAM12（1'）、12（2'）、…12（m'））に供給される。

【0049】

これらの参照アドレス $x_0 - a$ 及び $x_0 + b$ によって各組のRAM12内のルックアップテーブルから読み出された階調値は、データ選択回路13に送られる。

【0050】

データ選択回路13は、複数組のRAMのうちいずれか一組のRAMからの階調値（参照アドレス $x_0 - a$ 、 $x_0 + b$ にそれぞれ対応した2つの階調値）を選択する回路である。この構成例の場合、CPU40（図5）は、どの組のRAM12を選択するかを指定

する制御信号をこのデータ選択回路13に与える。

【0051】

直線補間回路14は、データ選択回路13によって選択された2つの階調値を、アドレス生成回路11が参照アドレスを生成するために用いた値aとbとの比に応じて直線補間する演算回路であり、この直線補間回路14の補間結果をサブ画素Bの階調値x1とする。

【0052】

この構成例でも、データ選択回路13での選択を切り替えることにより、入力映像信号の階調値x0に対するサブ画素Bの駆動レベルを、図9に例示したのと同様にして複数通りに変化させることができる。

10

【0053】

図6に示すように、RAM1には、映像信号処理回路20（図5）からタイミングコントローラ30に入力した映像信号の階調値x0が参照アドレスとして与えられる。この参照アドレスx0によってRAM1内のルックアップテーブルから読み出された輝度値f(x0)（図7のターゲット特性GLにおいて階調値x0に対応している輝度値）は、減算回路5に送られる。

【0054】

また、この入力映像信号の階調値x0は、サブ画素駆動レベル計算部4にも与えられる。この階調値x0に対応してサブ画素駆動レベル計算部4によって計算されたサブ画素Bの階調値x1は、タイミングコントローラ30から出力してデータドライバ60（図5）に送られるとともに、RAM3に参照アドレスとして与えられる。

20

【0055】

RAM3内のルックアップテーブルからこの参照アドレスx1によって読み出された輝度値f(x1)（図7の階調-輝度特性GLBにおいて階調値x1に対応している輝度値）は、減算回路5に送られる。

【0056】

減算回路5は、輝度値f(x0)から輝度値f(x1)を減算し、その減算結果f(x2)=f(x0)-f(x1)をRAM2に参照アドレスとして与える。この参照アドレスf(x2)によってRAM2内のルックアップテーブルから読み出された階調値x2（図7の階調-輝度特性GLAにおいて輝度値f(x2)に対応している階調値）は、タイミングコントローラ30から出力してデータドライバ60に送られる。

30

【0057】

データドライバ60（図5）は、タイミングコントローラ30から送られた階調値x1、x2に基づき、液晶パネル50の各画素P内のサブ画素B、A（図1）をそれぞれ駆動する。

【0058】

この液晶表示装置では、CPU40の制御によってタイミングコントローラ30内のサブ画素駆動レベル計算部4によるサブ画素Bの階調値x1の計算結果を変更しさえすれば、RAM3から減算回路5に送られる輝度値f(x1)が変化することにより、減算回路5からRAM2に与えられる参照アドレスf(x2)が変化するので、タイミングコントローラ30への入力映像信号の階調に対するサブ画素A及びBの駆動レベルを変更することができる。

40

【0059】

図15は、サブ画素駆動レベル計算部4によってサブ画素Bの駆動レベルを図9のように変化させた場合を例にとって、図6の回路によるサブ画素A及びBの駆動レベルの変化の様子を示す図である。

【0060】

このように、この液晶表示装置では、画素P全体、サブ画素A、サブ画素Bの階調-輝度特性をルックアップテーブルとして記憶したRAMの数々をRAM1～3の3つに固定したまま、サブ画素駆動レベル計算部4による計算結果のバリエーションを増やすだけで、

50

サブ画素A及びBの選択可能な駆動レベルを増やすことができる。

【0061】

これにより、この液晶表示装置では、回路規模の増大を抑えつつ、入力映像信号の階調に対するサブ画素の駆動レベルを複数通りの中から選択すること（例えば、図2に示したようにR、G、Bのいずれの画素であるかによって駆動レベルを複数通りの中から選択することや、あるいは、入力映像信号の種類に応じてサブ画素の駆動レベルを複数通りの中から選択すること）が可能になる。

【0062】

また、背景技術に挙げた文献（特開2005-316211号公報）に記載のように入力映像信号の階調と各サブ画素用の出力階調とを対応させた階調変換テーブルだけを設ける方法では、目標とする階調－輝度特性を精度よく実現できないこともあるが、この液晶表示装置では、タイミングコントローラ内のサブ画素駆動レベル計算部4による計算結果のバリエーションを増やすことにより、目標とする階調－輝度特性を精度よく実現することが可能になる。

【0063】

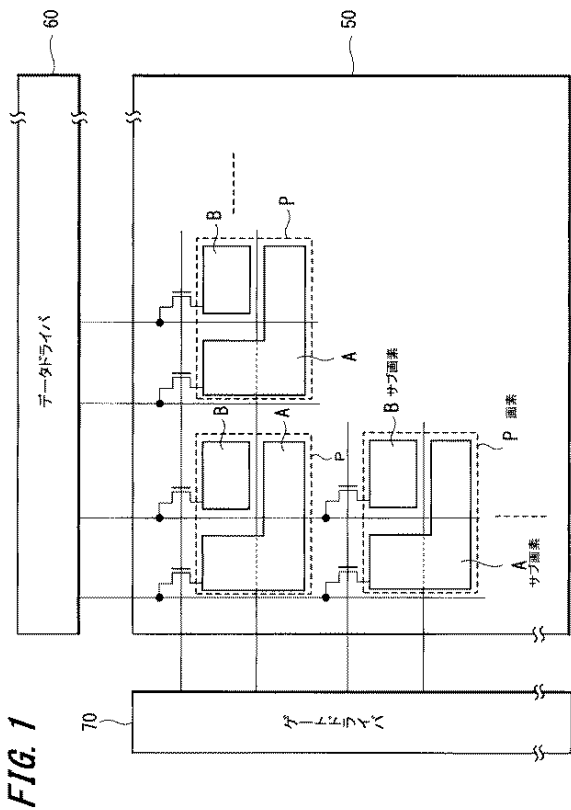
なお、以上の例では、図6に示すようにRAM1、RAM2及びRAM3を設け、これらのRAMに、図7に示したようなターゲット特性GL、階調－輝度特性GLA及び階調－輝度特性GLBを表すように階調値と輝度値とを対応させたルックアップテーブルを記憶している。しかし、こうしたRAMに限らず、ターゲット特性GL、階調－輝度特性GLA及び階調－輝度特性GLBを実現するための階調と輝度との対応関係の情報を生成する適宜の手段（例えば、階調値か輝度値かのいずれか一方が与えられたことにより、残りの一方の値を演算によって生成する演算回路等）を設けるようにしてよい。

【引用符号の説明】

【0064】

1…RAM、2…RAM、3…RAM、4…サブ画素駆動レベル計算部、5…減算回路、10…演算回路、11…アドレス生成回路、12（1）及び12（1'）、12（2）及び12（2'）、…12（m）及び12（m'）…RAM、13…データ選択回路、14…直線補間回路、20…映像信号処理回路、30…タイミングコントローラ、40…CPU、50…液晶表示パネル、60…データドライバ、70…ゲートドライバ、111、112、121、122、123、131、132、133…1/2乗回路、113、114、115、124、125、126、127、128、134、135、136、137、138、139、140…乗算回路、141、142、143、144、145、146…セクタ

【図 1】



【図 2】

FIG. 2A

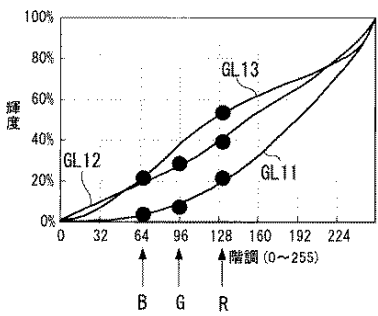


FIG. 2B

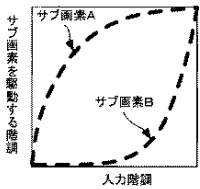
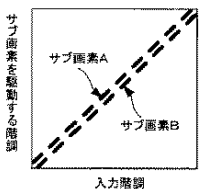
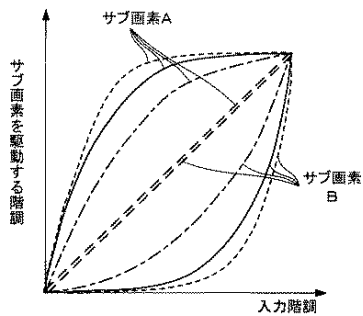


FIG. 2C



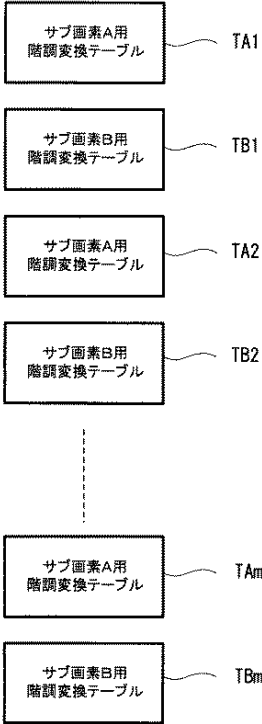
【図 3】

FIG. 3

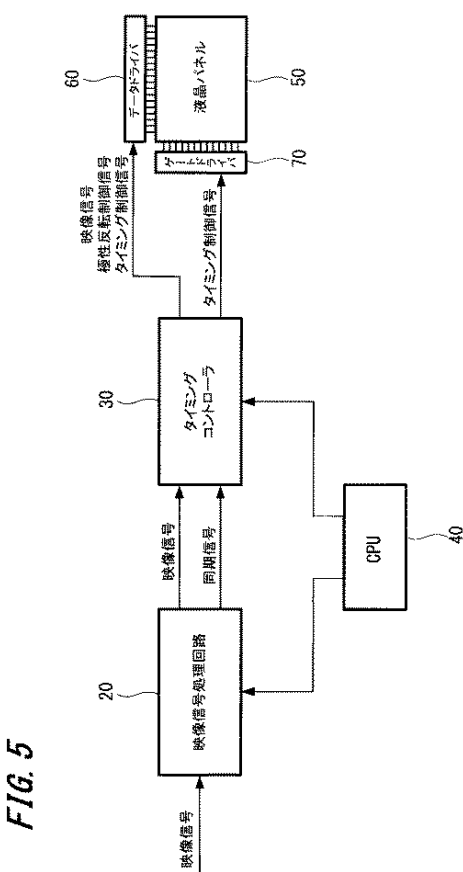


【図 4】

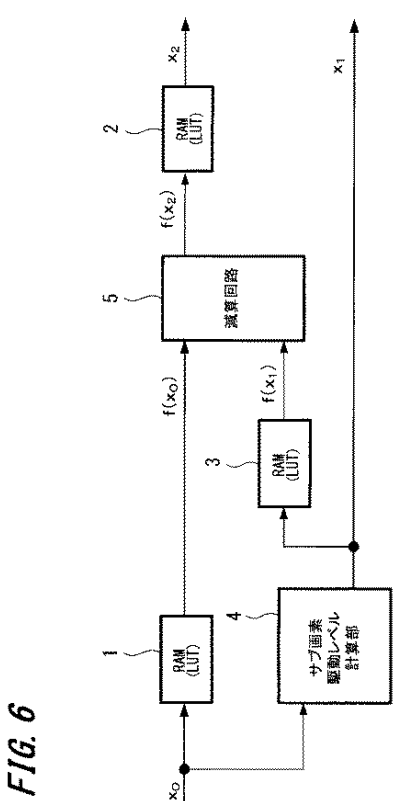
FIG. 4



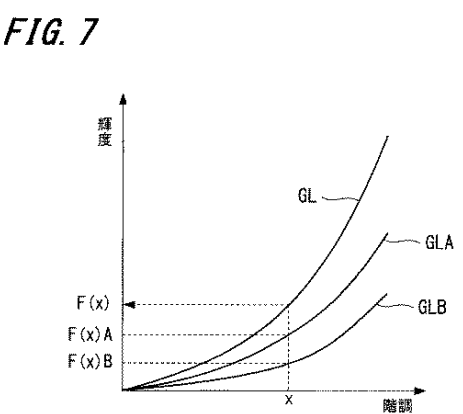
【図 5】



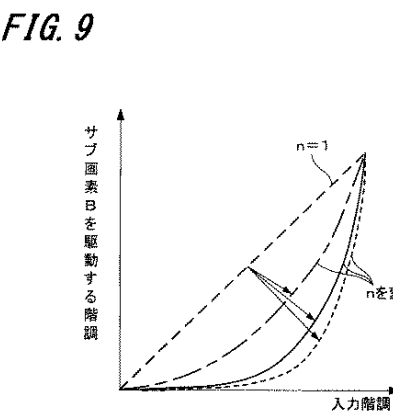
【図 6】



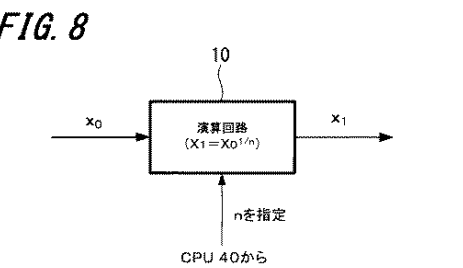
【図 7】



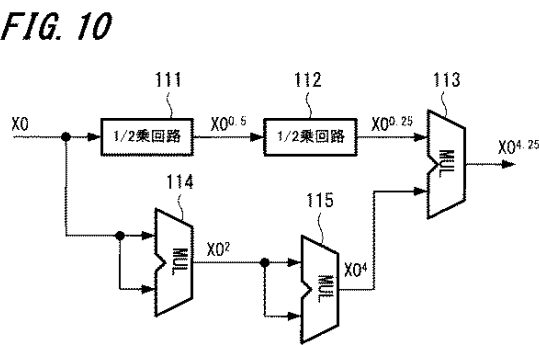
【図 9】



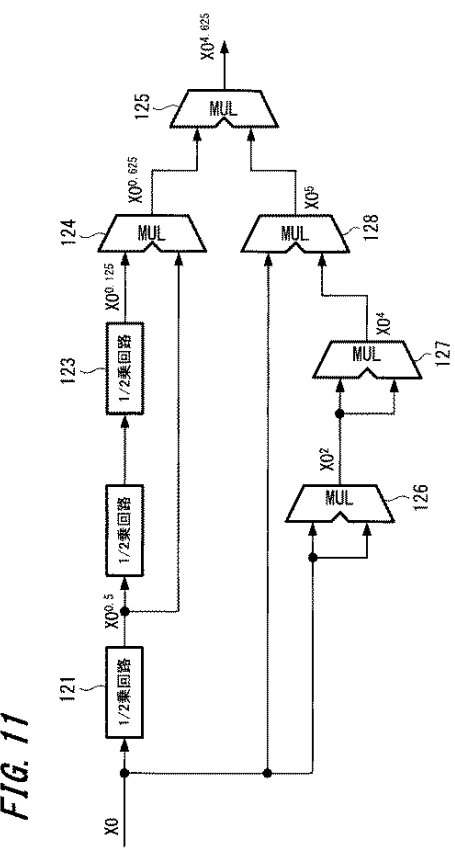
【図 8】



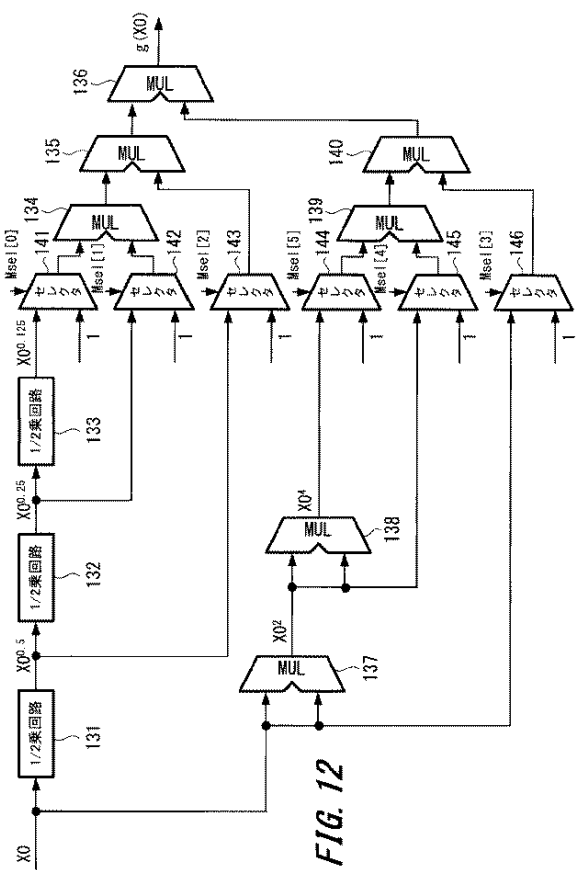
【図 10】



【図 1 1】

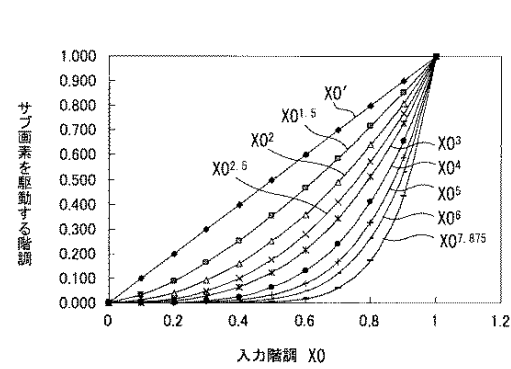


【図 1 2】

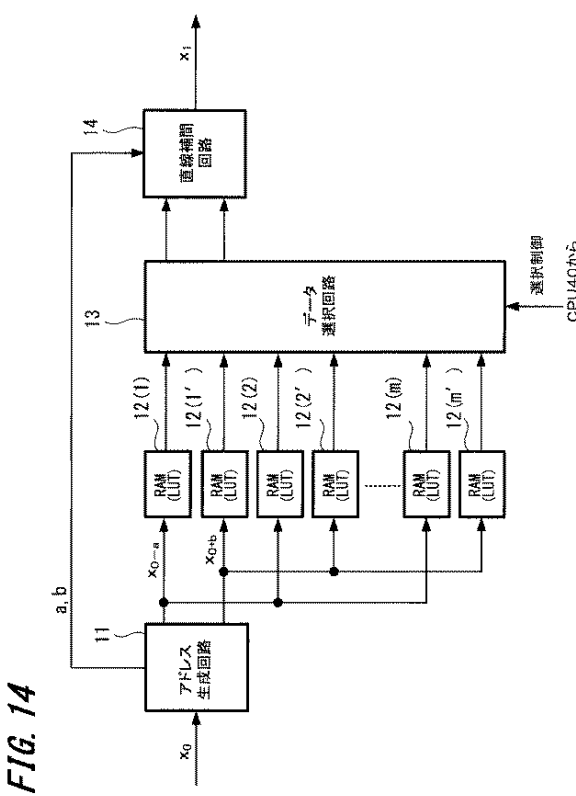


【図 1 3】

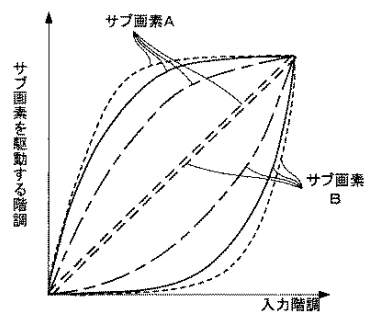
FIG. 13



【図 1 4】



【図 15】

FIG. 15

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2008/056125
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-295160 A (Sharp Corp.), 15 October, 2003 (15.10.03), Par. Nos. [0223] to [0279] & US 2003/0146893 A1 & US 2007/0024559 A1 & TW 000248599 B	1-8
A	JP 2005-316211 A (Fujitsu Display Technologies Corp.), 10 November, 2005 (10.11.05), Full text; all drawings & US 2005/0253797 A1 & KR 10-2006-0044418 A & CN 001694152 A	1-8
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 June, 2008 (05.06.08)		Date of mailing of the international search report 24 June, 2008 (24.06.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/056125

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-234552 A (Sharp Corp.), 02 September, 2005 (02.09.05), Full text; all drawings & US 2005/0184944 A1 & EP 001564714 A2 & KR 10-2005-0076713 A & KR 10-2006-0084835 A & KR 10-2006-0088857 A & CN 001658269 A	1-8
A	WO 2006/049245 A1 (Sharp Corp.), 05 November, 2006 (05.11.06), Full text; all drawings & EP 001818903 A1 & KR 10-2007-0051264 A	1-8

国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 5 6 1 2 5	
A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G09G3/36(2006, 01)i, G02F1/133(2006, 01)i, G09G3/20(2006, 01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G09G3/36, G02F1/133, G09G3/20			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2008年 日本国実用新案登録公報 1996-2008年 日本国登録実用新案公報 1994-2008年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	J P 2 0 0 3 - 2 9 5 1 6 0 A (シャープ株式会社) 2003. 10. 15 段落0223-0279 & U S 2 0 0 3 / 0 1 4 6 8 9 3 A 1 & U S 2 0 0 7 / 0 0 2 4 5 5 9 A 1 & T W 0 0 0 2 4 8 5 9 9 B	1-8	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 05. 06. 2008		国際調査報告の発送日 24. 06. 2008	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福村 拓	2G 3308 電話番号 03-3581-1101 内線 3226

国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 5 6 1 2 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 5 - 3 1 6 2 1 1 A (富士通ディスプレイテクノロ ジー株式会社) 2 0 0 5 . 1 1 . 1 0 全文、全図 & U S 2 0 0 5 / 0 2 5 3 7 9 7 A 1 & K R 1 0 - 2 0 0 6 - 0 0 4 4 4 1 8 A & C N 0 0 1 6 9 4 1 5 2 A	1 - 8
A	J P 2 0 0 5 - 2 3 4 5 5 2 A (シャープ株式会社) 2 0 0 5 . 0 9 . 0 2 全文、全図 & U S 2 0 0 5 / 0 1 8 4 9 4 4 A 1 & E P 0 0 1 5 6 4 7 1 4 A 2 & K R 1 0 - 2 0 0 5 - 0 0 7 6 7 1 3 A & K R 1 0 - 2 0 0 6 - 0 0 8 4 8 3 5 A & K R 1 0 - 2 0 0 6 - 0 0 8 8 8 5 7 A & C N 0 0 1 6 5 8 2 6 9 A	1 - 8
A	W O 2 0 0 6 / 0 4 9 2 4 5 A 1 (シャープ株式会社) 2 0 0 6 . 1 1 . 0 5 全文、全図 & E P 0 0 1 8 1 8 9 0 3 A 1 & K R 1 0 - 2 0 0 7 - 0 0 5 1 2 6 4 A	1 - 8

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 5 0 M
	G 0 9 G 3/20	6 3 2 C
	G 0 9 G 3/20	6 4 1 G
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 5 0

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

F ターム (参考) 2H193 ZA04 ZA19 ZD23 ZD24 ZF13 ZF16 ZF17
 5C006 AA12 AA17 AC21 AF46 AF47 AF53 BB16 FA16 FA41 FA55
 FA56
 5C080 AA10 BB05 DD05 DD22 JJ02 JJ05 JJ06

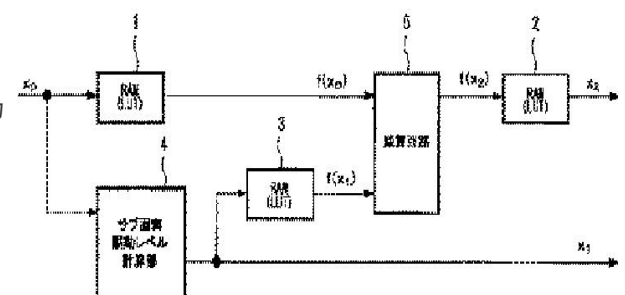
(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置和驱动控制电路		
公开(公告)号	JPWO2008123427A1	公开(公告)日	2010-07-15
申请号	JP2009509220	申请日	2008-03-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	鈴木俊明 拔山和宏 鎌田豪		
发明人	鈴木 俊明 拔山 和宏 鎌田 豪		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2300/0443 G09G2300/0447 G09G2320/0242 G09G2320/0673		
FI分类号	G09G3/36 G09G3/20.680.H G09G3/20.623.Q G09G3/20.642.K G09G3/20.641.P G09G3/20.650.M G09G3/20.632.C G09G3/20.641.G G02F1/133.575 G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA19 2H193/ZD23 2H193/ZD24 2H193/ZF13 2H193/ZF16 2H193/ZF17 5C006/AA12 5C006/AA17 5C006/AC21 5C006/AF46 5C006/AF47 5C006/AF53 5C006/BB16 5C006/FA16 5C006/FA41 5C006/FA55 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD22 5C080/JJ02 5C080/JJ05 5C080/JJ06		
优先权	2007089255 2007-03-29 JP		
其他公开文献	JP5293597B2		
外部链接	Espacenet		

摘要(译)

当液晶显示面板的每个像素被分成两个子像素时，可以在抑制电路规模增加的同时，从多种方式相对于输入视频信号的灰度选择子像素的驱动电平。因此，在本发明中，基于输入视频信号的每个像素的灰度值，用于获得用于驱动第一子像素的第一灰度值的第一子像素驱动电平转换单元，用第一灰度值驱动和控制第一子像素。然后，将由第一子像素驱动电平转换器获得的第一灰度值转换为亮度值，并且获得与转换后的整个像素的灰度值的亮度值之差。将获得的差转换为灰度值，以获得用于驱动第二子像素的第二灰度值。第二子像素由第二灰度值驱动和控制。

FIG. 6



4 SUB PIXEL DRIVE LEVEL CALCULATION UNIT
5 SUBTRACTION CIRCUIT