

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5069946号
(P5069946)

(45) 発行日 平成24年11月7日 (2012. 11. 7)

(24) 登録日 平成24年8月24日 (2012. 8. 24)

(51) Int. Cl.

G 0 2 F 1/1362 (2006.01)

F I

G O 2 F 1/1362

請求項の数 1 (全 15 頁)

(21) 出願番号 特願2007-130624 (P2007-130624)
(22) 出願日 平成19年5月16日 (2007. 5. 16)
(65) 公開番号 特開2008-286933 (P2008-286933A)
(43) 公開日 平成20年11月27日 (2008. 11. 27)
審査請求日 平成22年1月21日 (2010. 1. 21)

(73) 特許権者 502356528
株式会社ジャパンディスプレイイースト
千葉県茂原市早野3300番地
(73) 特許権者 506087819
パナソニック液晶ディスプレイ株式会社
兵庫県姫路市飾磨区妻鹿日田町1-6
(74) 代理人 110000154
特許業務法人はるか国際特許事務所
(72) 発明者 桶 隆太郎
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内
(72) 発明者 小野 記久雄
千葉県茂原市早野3300番地 株式会社
日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数本の走査信号線、複数本の映像信号線、複数個のスイッチング素子、および複数個の画素電極を有する第1の基板と、

対向電極を有する第2の基板と、

前記第1の基板と前記第2の基板との間に挟持された液晶材料とを有し、

前記第1の基板は、一対の前記走査信号線と一対の前記映像信号線で囲まれた複数の画素を有し、

前記画素の間には、隣接して2本の前記映像信号線が配置され、

前記画素のそれぞれには、第1のスイッチング素子および前記第1のスイッチング素子に接続された第1の画素電極と、第2のスイッチング素子および前記第2のスイッチング素子に接続された第2の画素電極とを有する液晶表示装置であって、

1つの画素における前記第1のスイッチング素子と前記第2のスイッチング素子とは、それぞれ、異なる映像信号線に接続されており、

1フレーム期間中の、1つの画素の前記第1の画素電極に加わる信号の電位と前記対向電極に加わる信号の電位との関係と、当該1つの画素の前記第2の画素電極に加わる信号の電位と前記対向電極に加わる信号の電位との関係とは、一方が正極性の関係であり、他方が負極性の関係であり、

前記画素間に配置された隣接する2本の映像信号線に加わる映像信号の極性は同じであることを特徴とする液晶表示装置。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、1つの画素が異なる映像信号線に接続された2つの画素電極を有する液晶表示装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

従来、液晶表示装置には、表示領域が、TFT素子などのスイッチング素子および画素電極を有する画素の集合により設定されているものがあり、そのような液晶表示装置には、VA方式（Vertical Alignment方式）と呼ばれるものがある。

10

【0003】

VA方式の液晶表示装置に用いられる液晶表示パネルは、たとえば、液晶材料を挟持する2枚の基板のうちの一方の基板に、複数本の走査信号線、複数本の映像信号線、複数個のスイッチング素子、および複数個の画素電極が形成され、前記2枚の基板のうちの他方の基板に、対向電極（共通電極と呼ぶこともある。）が形成されている。

【0004】

また、VA方式の液晶表示パネルにおいて、1つの画素の階調（輝度）の制御に用いられるスイッチング素子および画素電極の数は、通常、それぞれ1つつである。

【0005】

しかしながら、近年、視認性を向上させるために、たとえば、1つの画素の階調（輝度）の制御に用いられるスイッチング素子および画素電極の数を、それぞれ2つつにしたVA方式の液晶表示装置が提案されている（たとえば、特許文献1を参照）。

20

【特許文献1】特開2006-309239号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

前記特許文献1に記載されたような構成のVA方式の液晶表示装置では、たとえば、1つの画素に対して2本の映像信号線を設け、当該1つの画素が有する2つの画素電極を、スイッチング素子を介してそれぞれ異なる映像信号線に接続している。そして、当該1つの画素が有する2つの画素電極のそれぞれに、別個のデータ電圧を印加することで、視認性を向上させている。

30

【0007】

しかしながら、前記特許文献1に記載されたような構成のVA方式の液晶表示装置では、たとえば、1フレーム期間中に1つの画素が有する2つの画素電極に加わる信号が、同じ極性である。なお、前記極性というのは、画素電極に加わった信号の電位と対向電極との電位の関係であり、一般に、画素電極に加わった信号の電位が対向電極の電位よりも高い場合は正極性といい、対向電極の電位よりも低い場合は負極性という。

【0008】

また、前記特許文献1に記載されたような構成のVA方式の液晶表示装置では、たとえば、ドット反転と呼ばれる、1フレーム期間中の各画素の画素電極の極性の関係が市松格子状の関係になる駆動方法で映像や画像を表示することにより、たとえば、フリッカと呼ばれる現象や縦スミアと呼ばれる現象の発生を抑え、画質の劣化を防ぐことができる。

40

【0009】

しかしながら、前記特許文献1に記載されたような構成およびデータ電圧（映像信号）の印加方法でドット反転駆動をさせる場合、各映像信号線に加える映像信号を生成する段階で、映像信号がドット反転している必要がある。そのため、映像信号を生成する駆動回路の発熱量が高くなり、駆動回路の誤動作あるいは故障が起こりやすいという問題がある。

【0010】

また、前記特許文献1に記載されたような構成のVA方式の液晶表示装置では、たとえ

50

ば、カラム反転と呼ばれる、1フレーム期間中の各画素の画素電極の極性の関係が縦縞状の関係になる駆動方法で映像や画像を表示することも可能であり、カラム反転で駆動させることで、映像信号を生成する駆動回路の発熱量を低く抑えることができる。

【0011】

しかしながら、前記特許文献1に記載されたような構成およびデータ電圧（映像信号）の印加方法でカラム反転駆動をさせる場合、たとえば、フリッカ（縦筋流れ）と呼ばれる現象や縦スミアと呼ばれる現象が発生し、画質が劣化しやすいという問題がある。

【0012】

本発明の目的は、1つの画素が2つのスイッチング素子および2つの画素電極を有する液晶表示装置において、駆動回路の発熱量を低く抑え、かつ、画質の劣化を防ぐことが可能な技術を提供することにある。

10

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち、代表的なものの概略を説明すれば、以下の通りである。

【0015】

（1）複数本の走査信号線、複数本の映像信号線、複数個のスイッチング素子、および複数個の画素電極を有する第1の基板と、対向電極を有する第2の基板と、前記第1の基板と前記第2の基板との間に挟持された液晶材料とを有し、前記第1の基板は、一対の前記走査信号線と一対の前記映像信号線で囲まれた複数の画素を有し、前記画素の間には、隣接して2本の前記映像信号線が配置され、前記画素のそれぞれには、第1のスイッチング素子および前記第1のスイッチング素子に接続された第1の画素電極と、第2のスイッチング素子および前記第2のスイッチング素子に接続された第2の画素電極とを有する液晶表示装置であって、1つの画素における前記第1のスイッチング素子と前記第2のスイッチング素子とは、それぞれ、異なる映像信号線に接続されており、1フレーム期間中の、1つの画素の前記第1の画素電極に加わる信号の電位と前記対向電極に加わる信号の電位との関係と、当該1つの画素の前記第2の画素電極に加わる信号の電位と前記対向電極に加わる信号の電位との関係とは、一方が正極性の関係であり、他方が負極性の関係であり、前記画素間に配置された隣接する2本の映像信号線に加わる映像信号の極性は同じである液晶表示装置。

20

30

【発明の効果】

【0022】

本発明の液晶表示装置によれば、1つの画素が2つのスイッチング素子および2つの画素電極を有するVA方式の液晶表示装置で映像や画像を表示するときに、カラム反転駆動に対応した映像信号を生成しつつ、液晶表示パネルの各画素をドット反転で駆動させることができる。そのため、映像信号を生成する駆動回路の発熱量を低く抑えることができるとともに、フリッカなどの発生による画質の劣化を防ぐことができる。

40

【発明を実施するための最良の形態】

【0023】

以下、本発明について、図面を参照して実施の形態（実施例）とともに詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0024】

図1（a）および図1（b）、図2、図3（a）乃至図3（c）は、それぞれ、本発明に関わる液晶表示装置の概略構成を示す模式図である。

図1（a）は、液晶表示パネルの概略構成を示す模式平面図である。図1（b）は、図

50

1 (a) の A - A ' 線断面図である。

図 2 は、本発明に関わる液晶表示パネルの T F T 基板における 1 つの画素の一構成例を示す模式回路図である。

図 3 (a) は、本発明に関わる液晶表示パネルの T F T 基板における 1 つの画素の一具体例を示す模式平面図である。図 3 (b) は、図 3 (a) の B - B ' 線断面図である。図 3 (c) は、図 3 (a) の C - C ' 線断面図である。

【 0 0 2 5 】

本発明は、液晶表示装置のうちの、V A 方式と呼ばれる液晶表示装置に関し、特に、表示領域を構成する各画素が、2 つのスイッチング素子および 2 つの画素電極を有する液晶表示装置の液晶表示パネルの構成および駆動方法に関する。

10

【 0 0 2 6 】

液晶表示パネルは、たとえば、図 1 (a) および図 1 (b) に示すように、第 1 の基板 1、第 2 の基板 2、液晶材料 3、シール材 4、下偏光板 5 A、および上偏光板 5 B を有する。

【 0 0 2 7 】

第 1 の基板 1 は、複数本の走査信号線、複数本の映像信号線、複数個のスイッチング素子、複数個の画素電極などを有する基板である。また、スイッチング素子が T F T 素子である場合、第 1 の基板 1 は、T F T 基板と呼ばれる。以下、第 1 の基板 1 のことを T F T 基板 1 と呼ぶ。

【 0 0 2 8 】

第 2 の基板 2 は、対向電極（共通電極と呼ぶこともある。）や表示領域 D A を画素領域ごとに分割する遮光膜（ブラックマトリクスと呼ぶこともある。）などを有する基板であり、対向基板と呼ばれる。以下、第 2 の基板 2 のことを対向基板と呼ぶ。また、液晶表示装置がテレビや P C のディスプレイなどのカラー液晶表示装置の場合、対向基板 2 には、カラーフィルタなども有する。

20

【 0 0 2 9 】

また、T F T 基板 1 と対向基板 2 とは、たとえば、表示領域 D A の外側に環状に設けられたシール材 4 で接着されており、液晶材料 3 は、T F T 基板 1、対向基板 2、およびシール材 4 で囲まれた空間に挟持（封入）されている。

【 0 0 3 0 】

また、液晶表示パネルが透過型または半透過型である場合は、T F T 基板 1 の外側を向いた面に下偏光板 5 A が設けられ、対向基板 2 の外側を向いた面に上偏光板 5 B が設けられる。また、図示はしていないが、たとえば、T F T 基板 1 と下偏光板 5 A との間、および対向基板 2 と上偏光板 5 B との間には、それぞれ、1 層乃至複数層の位相差板が設けられていることもある。

30

【 0 0 3 1 】

なお、液晶表示パネルが反射型である場合は、通常、下偏光板 5 A が不要であり、たとえば、上偏光板 5 B、および対向基板 2 と上偏光板 5 B との間の位相差板のみが設けられている。

【 0 0 3 2 】

ところで、T F T 基板 1 の表示領域を構成する各画素において、液晶材料 3 中の液晶分子を駆動させる電界を発生させるために必要な T F T 素子および画素電極は、通常、それぞれ 1 つずつである。しかしながら、本発明に関わる液晶表示パネルの T F T 基板 1 では、1 つの画素が、たとえば、図 2 に示すように、第 1 の T F T 素子 T r 1 および第 2 の T F T 素子 T r 2 の 2 つの T F T 素子と、第 1 の画素電極 P X 1 および第 2 の画素電極 P X 2 の 2 つの画素電極とを有する。なお、図 2 における 1 つの画素は、2 本の隣接する走査信号線 G L _n , G L _{n + 1} (n は任意の自然数) と、2 本の隣接する映像信号線 D L 1 _m , D L 2 _m (m は任意の自然数) とで囲まれた領域に相当する。

40

【 0 0 3 3 】

このとき、第 1 の画素電極 P X 1 は、第 1 の T F T 素子 T r 1 のソースに接続しており

50

、第1のTFT素子 T_{r1} のドレインは、たとえば、第1の映像信号線 $DL1_m$ に接続している。また、第2の画素電極 $PX2$ は、第2のTFT素子 T_{r2} のソースに接続しており、第2のTFT素子 T_{r2} のドレインは、たとえば、第2の映像信号線 $DL2_m$ に接続している。また、第1のTFT素子 T_{r1} のゲートおよび第2のTFT素子 T_{r2} のゲートは、ともに走査信号線 GL_{n+1} に接続している。

【0034】

また、図2において、第1の映像信号線 $DL1_m$ の左側にある信号線 $DL2_{m-1}$ は、図2に示した画素の左隣に位置する画素に対する第2の映像信号線であり、第2の映像信号線 $DL2_m$ の右側にある信号線 $DL1_{m+1}$ は、図2に示した画素の右隣に位置する画素に対する第1の映像信号線である。

10

【0035】

このような構成の液晶表示パネルでは、1フレーム期間中の、1つの画素の階調（輝度）を表現するときに、第1の映像信号線 $DL1_m$ から第1の画素電極 $PX1$ に加えられた信号の電位と対向電極の電位との関係、および第2の映像信号線 $DL2_m$ から第2の画素電極 $PX2$ に加えられた信号の電位と対向電極の電位との関係により液晶分子を駆動させて表現する。そのため、第1の画素電極 $PX1$ に加わる信号の電位と第2の画素電極 $PX2$ に加わる信号の電位を制御することで、視認性を向上させることができる。

【0036】

また、1つの画素の回路構成が、図2に示したような回路構成であるTFT基板1における、実際の1つの画素の構成は、たとえば、図3(a)乃至図3(c)に示したような構成になっている。

20

【0037】

まず、ガラス基板などの絶縁基板SUBの表面には、走査信号線 GL_n 、 GL_{n+1} を含む複数本の走査信号線 GL と、保持容量（補助容量と呼ぶこともある。）を形成するための保持容量線 SL とが設けられている。保持容量線 SL は、2本の隣接する走査信号線 GL の間ごとに設けられており、各保持容量線 SL は、たとえば、表示領域DAの外側に設けられるバスラインなどで電氣的に接続されている。

【0038】

走査信号線 GL などの上には、TFT素子のゲート絶縁膜としての機能を有する第1の絶縁層PAS1が設けられている。なお、第1の絶縁層PAS1は、たとえば、シリコン酸化膜などを成膜して形成するので、走査信号線 GL や保持容量線 SL の上だけではなく、絶縁基板SUBの表面全域に設けられている。

30

【0039】

第1の絶縁層PAS1の上には、TFT素子の半導体層SC、第1の映像信号線 $DL1_m$ および第2の映像信号線 $DL2_m$ を含む複数本の映像信号線 DL 、TFT素子のドレイン電極SD1およびソース電極SD2などが設けられている。このとき、第1のTFT素子 T_{r1} および第2のTFT素子 T_{r2} のソース電極SD2は、それぞれ、半導体層SCの上から保持容量線 SL の方向に延在しており、保持容量線 SL と重畳する領域を有する。

【0040】

また、第1のTFT素子 T_{r1} および第2のTFT素子 T_{r2} のソース電極SD2は、それぞれ、第1の映像信号線 $DL1_m$ および第2の映像信号線 $DL2_m$ と一体形成されている。

40

【0041】

映像信号線 DL などの上には、第2の絶縁層PAS2が設けられ、第2の絶縁層PAS2の上には、第1の画素電極 $PX1$ および第2の画素電極 $PX2$ が設けられている。第2の絶縁層PAS2は、絶縁基板SUB（第1の絶縁層PAS1）の表面全域に設けられており、たとえば、図3(b)および図3(c)に示したように、表面（画素電極が形成される面）が平坦になるように形成されている。なお、第2の絶縁層PAS2は、各領域における厚さが均一になるように形成されていることもある。

50

【 0 0 4 2 】

また、第2の絶縁層 P A S 2 の上に設けられた第1の画素電極 P X 1 は、スルーホール T H 1 により第1の T F T 素子 T r 1 のソース電極 S D 2 と接続している。また、第2の絶縁層 P A S 2 の上に設けられた第2の画素電極 P X 2 は、スルーホール T H 2 により第2の T F T 素子 T r 2 のソース電極 S D 2 と接続している。

【 0 0 4 3 】

また、1つの画素に対して配置される第1の映像信号線 D L 1_m と第2の映像信号線 D L 2_m とは、たとえば、図3 (a) に示すように、当該画素の2つの画素電極 P X 1 , P X 2 を挟んで配置される。また、走査信号線 G L の延在方向に隣接して並んでいる2つの画素の間には、たとえば、図3 (a) に示すように、一方の画素に対する第2の映像信号線と、他方の画素に対する第1の映像信号線とが配置されている。

10

【 0 0 4 4 】

なお、図3 (a) 乃至図3 (c) に示した構成は、1つの画素の構成の一例であり、保持容量線 S L の位置、各 T F T 素子のドレイン電極 S D 1 およびソース電極 S D 2 の平面形状、第1の画素電極 P X 1 および第2の画素電極 P X 2 の平面形状などが適宜変更可能であることはもちろんである。

【 0 0 4 5 】

図4 (a) は、本発明に関わる液晶表示パネルの従来の構成および駆動方法の一例を示す模式図である。図4 (b) は、本発明に関わる液晶表示パネルの従来の構成および駆動方法の別の一例を示す模式図である。

20

なお、図4 (a) および図4 (b) では、T F T 素子 (スイッチング素子) を省略している。また、図4 (a) および図4 (b) において、各画素電極 P X 1 , P X 2 に記した + の記号は、当該画素電極に加えられた信号の電位が対向電極 に加えられた信号 の電位よりも高い (正極性である) ことを意味し、各画素電極 P X 1 , P X 2 に記した - の記号は、当該画素電極に加えられた信号の電位が対向電極 に加えられた信号 の電位よりも低い (負極性である) ことを意味する。

【 0 0 4 6 】

表示領域を構成する各画素の構成が、たとえば、図2に示したような構成の液晶表示パネルにおいて、各画素の第1の画素電極 P X 1 および第2の画素電極 P X 2 と、第1の映像信号線 D L 1 および第2の映像信号線 D L 2 との関係は、たとえば、図4 (a) に示すような関係になっている。すなわち、映像信号線の延在方向に並んでいる画素は、すべて、第1の画素電極 P X 1 が第1の映像信号線 D L 1 に接続しており、第2の画素電極 P X 2 が第2の映像信号線 D L 2 に接続している。

30

【 0 0 4 7 】

このような液晶表示パネルで映像や画像を表示するときには、たとえば、図4 (a) に示したように、走査信号線 G L を挟んで隣接する2つの画素の画素電極の極性、および映像信号線 D L 1 , D L 2 を挟んで隣接する2つの画素の画素電極の極性が、ともに反対の極性になるように、液晶表示パネルをドット反転駆動させる方法がある。

【 0 0 4 8 】

しかしながら、ドット反転駆動をさせる場合、1フレーム期間に映像信号線に加える映像信号は、たとえば、図4 (a) に示したように、正極性 (+) の信号と負極性 (-) の信号とが交互になるようにする必要がある。そのため、映像信号線に加える映像信号を生成する駆動回路における処理 (負荷) が増大し、当該駆動回路の発熱量が高くなる。

40

【 0 0 4 9 】

また、このような液晶表示パネルで映像や画像を表示するときには、たとえば、図4 (b) に示すように、走査信号線 G L を挟んで隣接する2つの画素の画素電極の極性は同じ極性で、映像信号線 D L 1 , D L 2 を挟んで隣接する2つの画素の画素電極の極性は反対の極性になるように、液晶表示パネルをカラム反転駆動させる方法がある。

【 0 0 5 0 】

しかしながら、カラム反転駆動をさせる場合、1フレーム期間における各画素の画素電

50

極の極性は、たとえば、図4(b)に示したように、映像信号線の延在方向に並んだ複数の画素の画素電極の極性がすべて正極性である列(カラム)と、すべて負極性である列(カラム)とが走査信号線の延在方向に交互に並んだ状態になる。そのため、フリッカ(縦筋流れ)や縦スミアが発生し、画質が劣化しやすい。

【0051】

以下、上記のような構成の液晶表示パネルをもとにして、映像信号を生成する駆動回路の発熱量を低く抑え、かつ、フリッカなどによる画質の劣化を防ぐ液晶表示パネルの構成の一例について説明する。

【実施例1】

【0052】

10

図5は、本発明による実施例1の液晶表示パネルの一構成例を示す模式図である。

なお、図5では、TFT素子(スイッチング素子)を省略している。また、図5において、各画素電極PX1, PX2に記した+の記号は、当該画素電極に加えられた信号の電位が対向電極の電位よりも高い(正極性である)ことを意味し、各画素電極PX1, PX2に記した-の記号は、当該画素電極に加えられた信号の電位が対向電極の電位よりも低い(負極性である)ことを意味する。

【0053】

実施例1の液晶表示パネルは、たとえば、図5に示すように、1つの画素が、第1の画素電極PX1および第2の画素電極PX2の2つの画素電極を有し、各画素の2つの画素電極は、それぞれ、第1の映像信号線DL1と第2の映像信号線DL2で挟まれおり、当該第1の映像信号線DL1または第2の映像信号線DL2とTFT素子(図示しない)を介して接続している。

20

【0054】

また、実施例1の液晶表示パネルでは、映像信号線DL1, DL2の延在方向に並んだ複数の画素に着目すると、第1の画素電極PX1が第1の映像信号線DL1に接続し、第2の画素電極PX2が第2の映像信号線DL2に接続している画素と、第2の画素電極PX2が第1の映像信号線DL1に接続し、第1の画素電極PX1が第2の映像信号線DL2に接続している画素とが、交互に配置されている。

【0055】

また、実施例1の液晶表示パネルでは、走査信号線GLの延在方向に並んだ複数の画素に着目すると、第1の画素電極PX1が第1の映像信号線DL1に接続し、第2の画素電極PX2が第2の映像信号線DL2に接続している画素のみ、あるいは第2の画素電極PX2が第1の映像信号線DL1に接続し、第1の画素電極PX1が第2の映像信号線DL2に接続している画素のみが配置されている。

30

【0056】

また、実施例1の液晶表示パネルでは、1フレーム期間中に、一对の第1の映像信号線DL1と第2の映像信号線DL2に加わる映像信号の極性は、常に正極性または常に負極性のいずれかであり、かつ、一方の映像信号線に加わる映像信号が常に正極性であれば、他方の映像信号線に加わる映像信号は常に負極性である。

【0057】

40

またさらに、実施例1の液晶表示パネルでは、1フレーム期間中に、走査信号線GLの延在方向で隣接する2つの画素の間に配置された2本の映像信号線DL2, DL1に加わる映像信号線の極性は、同じ極性である。

【0058】

液晶表示パネルの構成、および各映像信号線に加わる映像信号の極性を上記のようにすると、1フレーム期間に、各画素の画素電極PX1, PX2に加わる信号の電位と対向電極の電位との関係(極性)は、図5に示したような関係になる。まず、1つの画素に着目した場合、第1の画素電極PX1の極性と、第2の画素電極PX2の極性は、必ず反対の極性になる。

【0059】

50

また、走査信号線 G L または映像信号線 D L 1 , D L 2 を挟んで隣接する 2 つの画素に着目した場合、一方の画素の第 1 の画素電極 P X 1 の極性と他方の画素の第 1 の画素電極 P X 1 の極性、および一方の画素の第 2 の画素電極 P X 2 の極性と他方の画素の第 2 の画素電極 P X 2 の極性は、それぞれ、必ず反対の極性になる。

【 0 0 6 0 】

すなわち、実施例 1 の液晶表示パネルを有する液晶表示装置では、駆動回路において映像信号を生成するときには、カラム反転駆動に対応した生成方法で各映像信号線に加える映像信号を生成することができ、各映像信号線に加えられた映像信号に基づいて液晶表示パネルを駆動させるときには、ドット反転駆動をさせることができる。

【 0 0 6 1 】

したがって、実施例 1 の液晶表示パネルを有する液晶表示装置は、映像信号を生成する駆動回路の発熱量を低く抑えることができ、かつ、フリッカなどによる画質の劣化を防ぐことができる。

【 0 0 6 2 】

なお、図示は省略するが、図 5 に示したような構成の T F T 基板 1 を製造するときには、1 つの画素が、たとえば、図 3 (a) 乃至図 3 (b) に示したような構成であり、かつ、走査信号線 G L を挟んで隣接する 2 つの画素の平面レイアウトが、図 3 (a) に示した平面レイアウトと、図 3 (a) を左右反転させた平面レイアウトになるようにすればよい。

【 0 0 6 3 】

図 6 は、実施例 1 の液晶表示パネルの変形例を示す模式図である。

なお、図 6 では、T F T 素子 (スイッチング素子) を省略している。また、図 6 において、各画素電極 P X 1 , P X 2 に記した + の記号は、当該画素電極に加えられた信号の電位が対向電極の電位よりも高い (正極性である) ことを意味し、各画素電極 P X 1 , P X 2 に記した - の記号は、当該画素電極に加えられた信号の電位が対向電極の電位よりも低い (負極性である) ことを意味する。

【 0 0 6 4 】

実施例 1 の液晶表示パネルの構成を説明するにあたり、図 5 では、第 1 の画素電極 P X 1 が第 1 の映像信号線 D L 1 に接続し、第 2 の画素電極 P X 2 が第 2 の映像信号線 D L 2 に接続している画素と、第 2 の画素電極 P X 2 が第 1 の映像信号線 D L 1 に接続し、第 1 の画素電極 P X 1 が第 2 の映像信号線 D L 2 に接続している画素とで、画素電極の向きが左右反転している場合を例に挙げている。

【 0 0 6 5 】

しかしながら、実施例 1 の液晶表示パネルでは、走査信号線 G L を挟んで隣接する 2 つの画素について、各画素電極 P X 1 , P X 2 が接続している映像信号線の関係が、上記の条件を満たしていればよい。そのため、たとえば、図 6 に示すように、走査信号線 G L を挟んで隣接する 2 つの画素の各画素電極 P X 1 , P X 2 が同じ向きで配置されていてもよい。

【 実施例 2 】

【 0 0 6 6 】

図 7 (a) 乃至図 7 (c) は、実施例 1 の液晶表示パネルにおいて発生する可能性がある問題点の一例を説明するための模式図である。

図 7 (a) は、実施例 1 の液晶表示パネルにおいて 1 つの画素に生じる寄生容量の一例を示す模式回路図である。図 7 (b) は、寄生容量に着目して映像信号線の延在方向に並んだ画素の構成を示した模式図である。図 7 (c) は、図 7 (b) に示した映像信号線に加わる映像信号と画素電極の電位の変化を示す模式チャート図である。

なお、図 7 (b) では、T F T 素子 (スイッチング素子) を省略している。

【 0 0 6 7 】

実施例 1 の液晶表示パネルの T F T 基板 1 における 1 つの画素の回路構成は、たとえば、図 7 (a) に示したような構成になっている。

10

20

30

40

50

【0068】

ところで、第1の画素電極 $PX1$ および第2の画素電極 $PX2$ は、たとえば、図3(c)に示したように、映像信号線 $DL1$ 、 $DL2$ などが形成された面の上に、第2の絶縁層 $PAS2$ を介して形成されている。そのため、たとえば、図7(a)に示すように、第1の画素電極 $PX1$ と第1の映像信号線 $DL1$ の間には第1の寄生容量 $Cds1$ が形成され、第2の画素電極 $PX2$ と第2の映像信号線 $DL2$ の間には第2の寄生容量 $Cds2$ が形成される。また、実際には、第2の画素電極 $PX2$ と第1の映像信号線 $DL1$ との間に第3の寄生容量 $Cds3$ が形成されるが、第3の寄生容量 $Cds3$ は、第1の寄生容量 $Cds1$ および第2の寄生容量 $Cds2$ に比べて非常に小さいので、本構成では無視する。

10

【0069】

このような画素電極と映像信号線の間形成される寄生容量に着目して、実施例1の液晶表示パネルにおける、映像信号線の延在方向に並んだ複数個の画素の構成を模式的に示すと、たとえば、図7(b)のように表すことができる。

【0070】

また、1フレーム期間に、図7(b)に示した各画素の画素電極 $PX1$ 、 $PX2$ が接している第1の映像信号線 $DL1$ に加わる第1の映像信号 $DATA1$ と、第2の映像信号線 $DL2$ に加わる第2の映像信号 $DATA2$ は、たとえば、図7(c)に示したような信号である。

【0071】

20

このとき、図7(b)に示した第1の画素電極 $PX1_a$ および第2の画素電極 $PX2_a$ には、それぞれ、たとえば、図7(c)に示した時刻 $t3$ から $t4$ までの期間 $\Delta t3$ に第1の映像信号線 $DL1$ に加わる第1の映像信号 $DATA1$ および第2の映像信号線 $DL2$ に加わる第2の映像信号 $DATA2$ が書き込まれる。同様に、図7(b)に示した第1の画素電極 $PX1_b$ および第2の画素電極 $PX2_b$ には、それぞれ、たとえば、図7(c)に示した時刻 $t4$ から $t5$ までの期間 $\Delta t4$ に第1の映像信号線 $DL1$ に加わる第1の映像信号 $DATA1$ および第2の映像信号線 $DL2$ に加わる第2の映像信号 $DATA2$ が書き込まれる。なお、図7(c)において、 $Vp1_a$ は第1の画素電極 $PX1_a$ の電位、 $Vp2_a$ は第2の画素電極 $PX2_a$ の電位、 $Vp1_b$ は第1の画素電極 $PX1_b$ の電位、 $Vp2_b$ は第2の画素電極 $PX2_b$ の電位である。また、図7(c)において、 Vg_a は走査信号線 GL_a に加わる走査信号の電位、 Vg_b は走査信号線 GL_b に加わる走査信号の電位である。

30

【0072】

第1の画素電極 $PX1_a$ 、 $PX1_b$ および第2の画素電極 $PX2_a$ 、 $PX2_b$ に映像信号が書き込まれるときには、書き込みが終了する時点において電位が若干変動するが、その後は、通常、次のフレーム期間の映像信号の書き込みを行うまで、書き込まれた信号の電位が保持される。

【0073】

しかしながら、第1の画素電極 $PX1_a$ 、 $PX1_b$ および第2の画素電極 $PX2_a$ 、 $PX2_b$ に映像信号を書き込んだ後の、同じフレーム期間の第1の映像信号 $DATA1$ および第2の映像信号 $DATA2$ には、たとえば、図7(c)に示した期間 $\Delta t19$ と $\Delta t20$ の境界または期間 $\Delta t22$ と $\Delta t23$ の境界のように、階調が大きく変化するような映像信号が含まれていることがある。

40

【0074】

そうすると、第1の画素電極 $PX1_a$ 、 $PX1_b$ および第2の画素電極 $PX2_a$ 、 $PX2_b$ に書き込まれた映像信号の電位は、たとえば、期間 $\Delta t20 \sim \Delta t22$ の間だけ変動し、カップリングスミアと呼ばれる現象が発生する。そのため、実施例1の液晶表示パネルを有する液晶表示装置では、カップリングスミアにより画質が劣化する可能性がある。

【0075】

図8は、本発明による実施例2の液晶表示パネルの一構成例を示す模式回路図である。

50

【0076】

上記カップリングスミアの発生は、1つの画素における第1の画素電極 $PX1$ および第2の画素電極 $PX2$ が、それぞれ、第1の映像信号線 $DL1$ のみ、または第2の映像信号線 $DL2$ のみとの間で寄生容量を形成することと関係している。

【0077】

そのため、実施例2の液晶表示パネルでは、たとえば、図8に示すように、第2の画素電極 $PX2$ の平面形状を、第1の画素電極 $PX1$ を囲む閉じた環状にする。このようにすると、平面で見たときに、第1の画素電極 $PX1$ と第1の映像信号線 $DL1$ との間に第2の画素電極 $PX2$ が延在し、第1の画素電極 $PX1$ と第2の映像信号線 $DL2$ との間にも第2の画素電極 $PX2$ が延在する。

10

【0078】

したがって、実施例2の液晶表示パネルでは、第2の画素電極 $PX2$ と第1の映像信号線 $DL1$ との間に第1の寄生容量 $Cds1$ が形成され、第2の画素電極 $PX2$ と第2の映像信号線 $DL2$ との間に第2の寄生容量 $Cds2$ が形成され、第1の画素電極 $PX1$ と第1の映像信号線 $DL1$ との間、および第1の画素電極 $PX1$ と第2の映像信号線 $DL2$ の間には寄生容量が形成されない。

【0079】

このような構成にすると、第1の画素電極 $PX1$ に書き込まれた信号には、映像信号線 $DL1$ 、 $DL2$ との寄生容量による電位の変動が生じない。また、第2の画素電極 $PX2$ に書き込まれた信号には、映像信号線 $DL1$ 、 $DL2$ との間に形成される寄生容量による電位の変動が生じるものの、その寄生容量は、第2の画素電極 $PX2$ を挟んで配置される2本の映像信号線 $DL1$ 、 $DL2$ との間に形成される。そのため、第2の画素電極 $PX2$ に書き込まれた信号の電位の変動にはかたよりがなく、カップリングスミアの発生を防ぐことができる。

20

【0080】

なお、図8に示した例では、第2の画素電極 $PX2$ の平面形状を閉じた環状にしているが、逆に、第1の画素電極 $PX1$ の平面形状を第2の画素電極 $PX2$ を囲む閉じた環状にしてもよいことはもちろんである。

【0081】

また、図8に示した例では、第2の画素電極 $PX2$ の平面形状を閉じた環状にしているが、これに限らず、たとえば、第2の画素電極 $PX2$ の平面形状が、第1の画素電極 $PX1$ を囲み、かつ、走査信号線 GL と平行に延在する部分が開いた環状、あるいはコの字型であってもよい。

30

【0082】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

【図面の簡単な説明】

【0083】

【図1(a)】液晶表示パネルの概略構成を示す模式平面図である。

40

【図1(b)】図1(a)のA-A'線断面図である。

【図2】本発明に関わる液晶表示パネルのTFT基板における1つの画素の一構成例を示す模式回路図である。

【図3(a)】本発明に関わる液晶表示パネルのTFT基板における1つの画素の一具体例を示す模式平面図である。

【図3(b)】図3(a)のB-B'線断面図である。

【図3(c)】図3(a)のC-C'線断面図である。

【図4(a)】本発明に関わる液晶表示パネルの従来の構成および駆動方法の一例を示す模式図である。

【図4(b)】本発明に関わる液晶表示パネルの従来の構成および駆動方法の別の一例を

50

示す模式図である。

【図5】本発明による実施例1の液晶表示パネルの一構成例を示す模式図である。

【図6】実施例1の液晶表示パネルの変形例を示す模式図である。

【図7(a)】実施例1の液晶表示パネルにおいて1つの画素に生じる寄生容量の一例を示す模式回路図である。

【図7(b)】寄生容量に着目して映像信号線の延在方向に並んだ画素の構成を示した模式図である。

【図7(c)】図7(b)に示した映像信号線に加わる映像信号と画素電極の電位の変化を示す模式チャート図である。

【図8】本発明による実施例2の液晶表示パネルの一構成例を示す模式回路図である。

10

【符号の説明】

【0084】

1 ... TFT基板

2 ... 対向基板

3 ... 液晶材料

4 ... シール材

5 A ... 下偏光板

5 B ... 上偏光板

$GL, GL_n, GL_{n+1}, GL_a, GL_b$... 走査信号線

$DL1, DL1_m, DL1_{m+1}$... 第1の映像信号線

20

$DL2, DL2_{m-1}, DL2_m$... 第2の映像信号線

$Tr1$... 第1のTFT素子

$Tr2$... 第2のTFT素子

$PX1, PX1_a, PX1_b$... 第1の画素電極

$PX2, PX2_a, PX2_b$... 第2の画素電極

SUB ... 絶縁基板

SL ... 保持容量線

$PAS1$... 第1の絶縁層

SC ... 半導体層

$SD1$... ドレイン電極

30

$SD2$... ソース電極

$PAS2$... 第2の絶縁層

$Cds1$... 第1の寄生容量

$Cds2$... 第2の寄生容量

$Cds3$... 第3の寄生容量

$DATA1$... 第1の映像信号

$DATA2$... 第2の映像信号

$Vp1_a, Vp1_b$... 第1の画素電極の電位

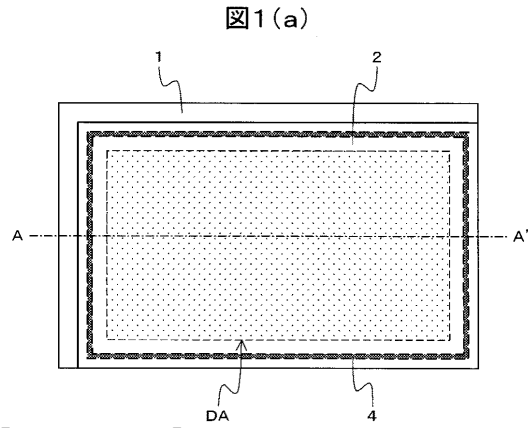
$Vp2_a, Vp2_b$... 第2の画素電極の電位

Vg_a, Vg_b ... 走査信号の電位

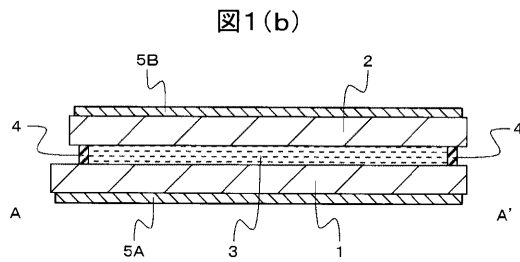
40

DA ... 表示領域

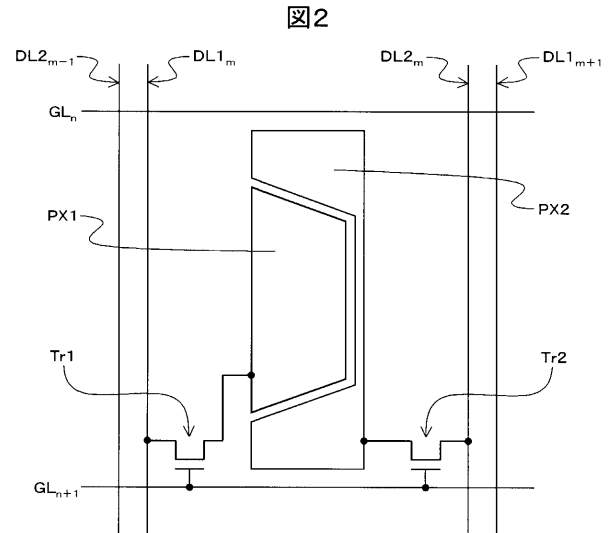
【図1(a)】



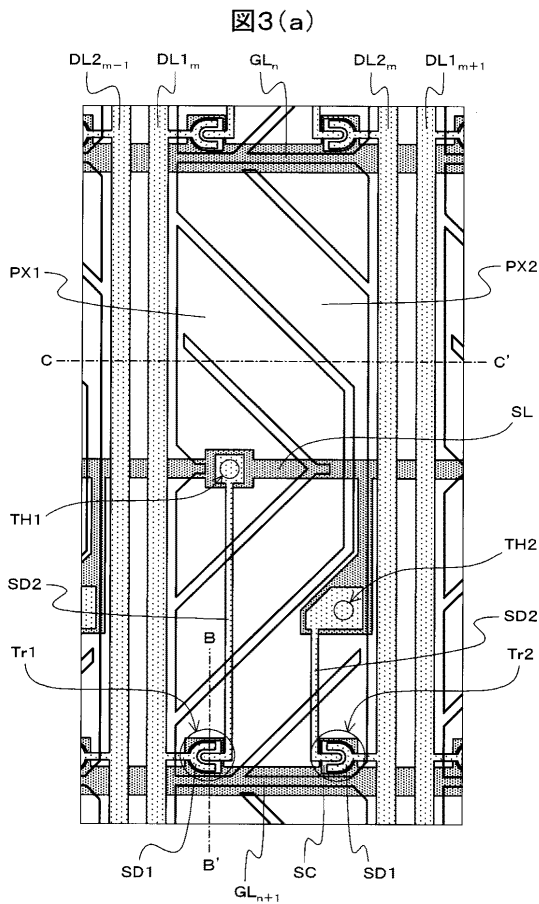
【図1(b)】



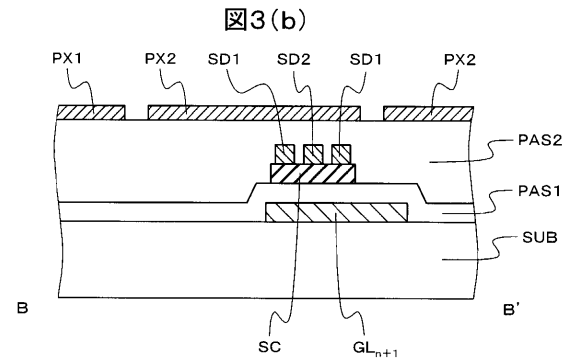
【図2】



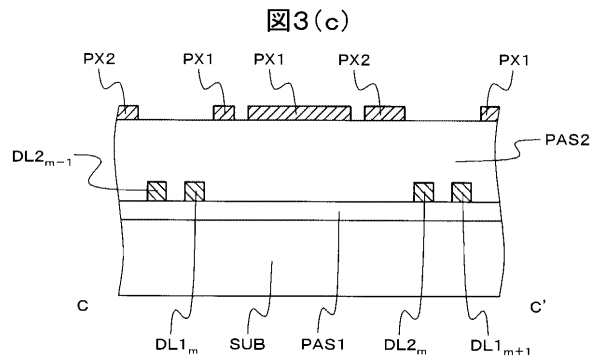
【図3(a)】



【図3(b)】

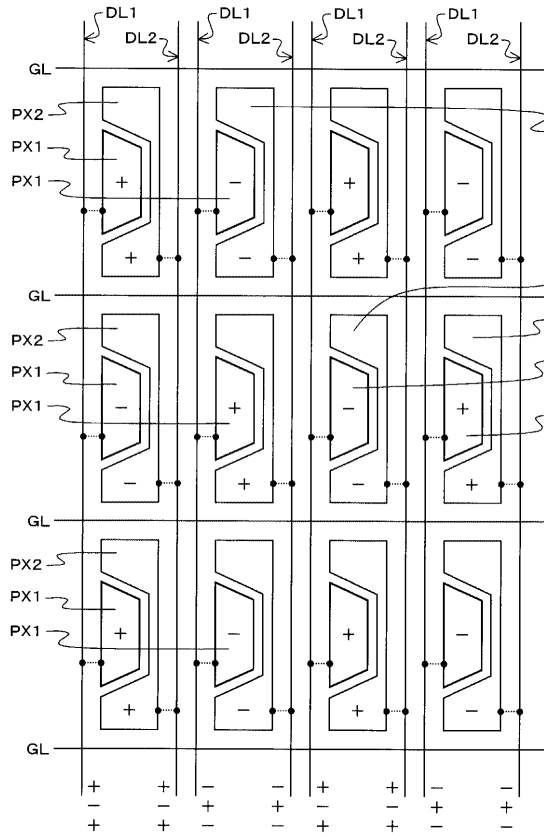


【図3(c)】



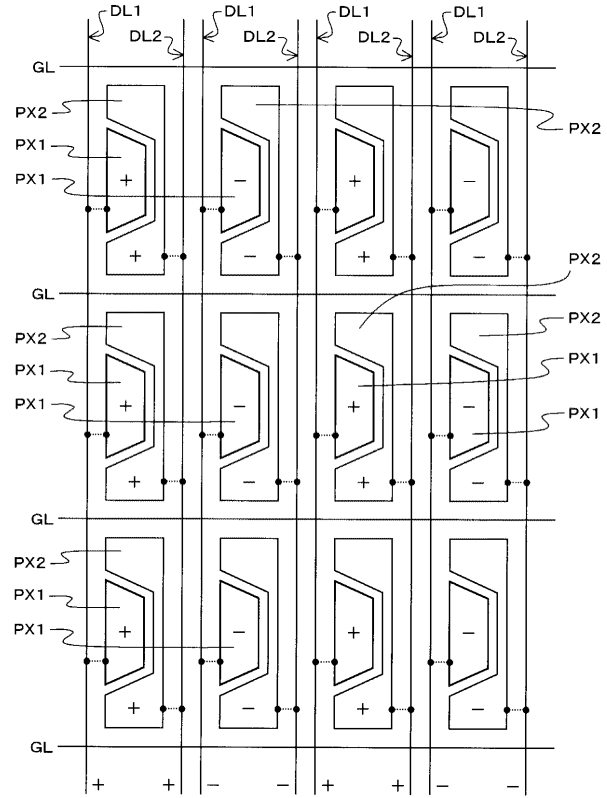
【図 4 (a) 】

図4(a)



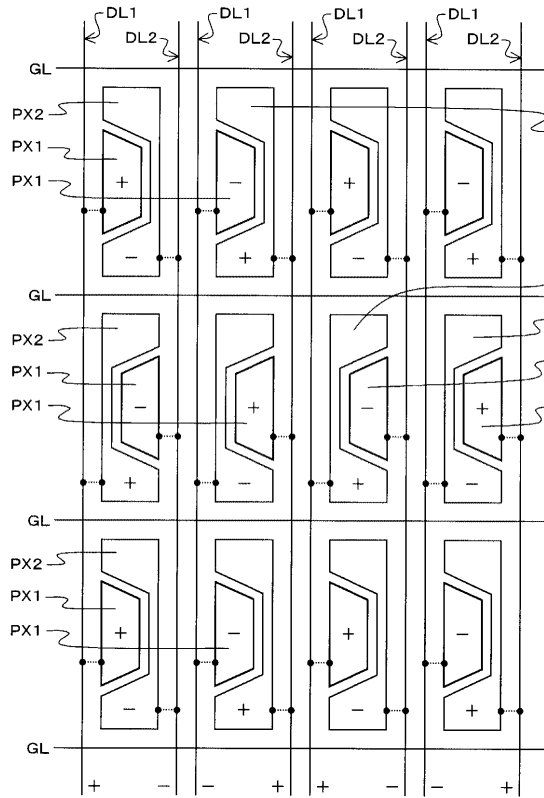
【図 4 (b) 】

図4(b)



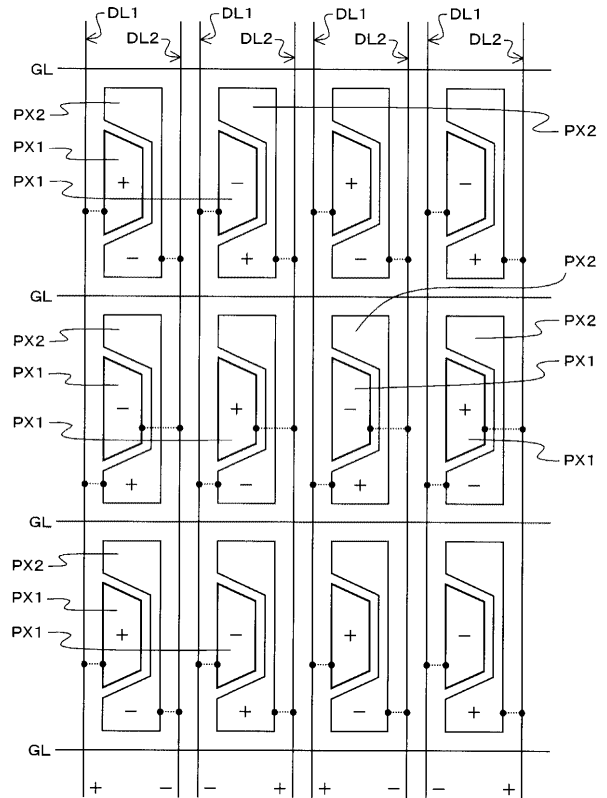
【図 5 】

図5

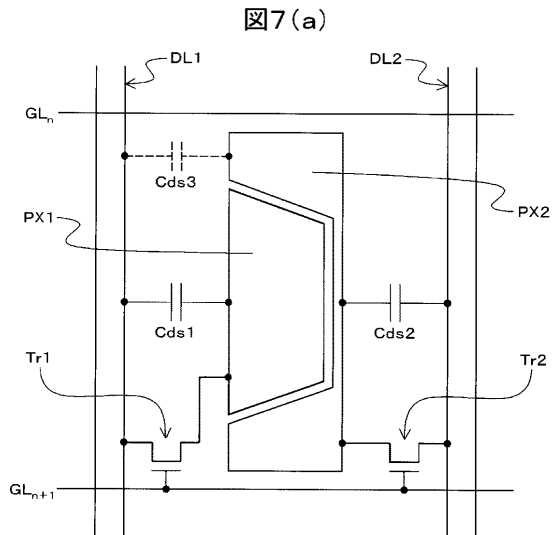


【図 6 】

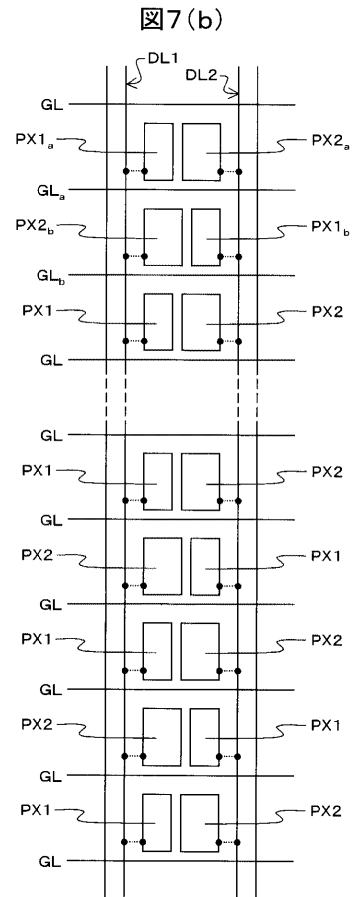
図6



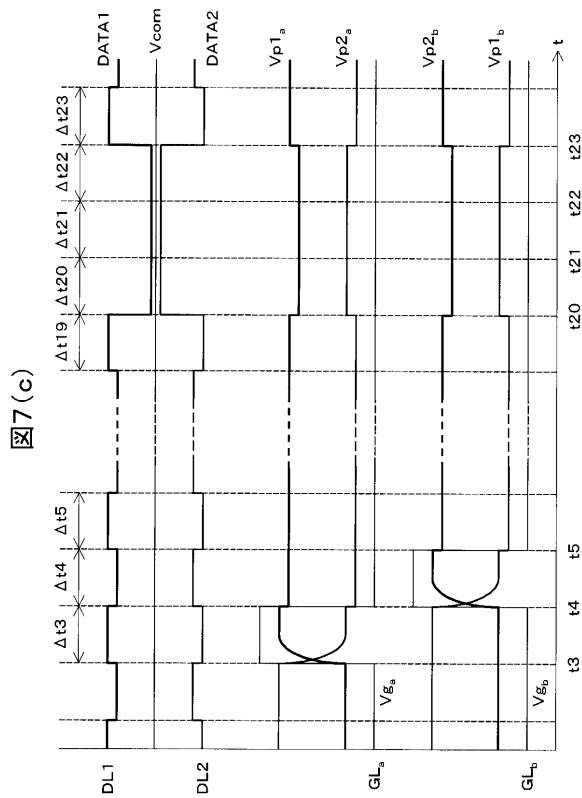
【図7(a)】



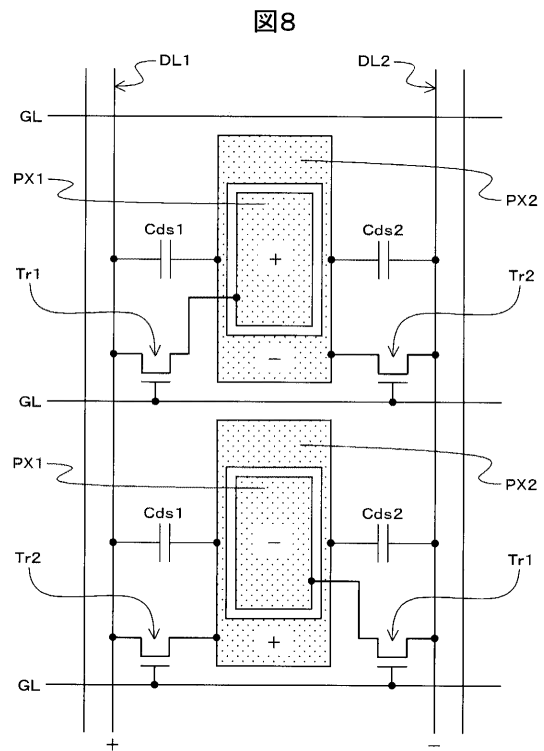
【図7(b)】



【図7(c)】



【図8】



フロントページの続き

審査官 ▲高▼木 尚哉

- (56)参考文献 特開 2 0 0 0 - 2 3 5 3 7 1 (J P , A)
特開平 1 1 - 1 0 2 1 7 4 (J P , A)
特開 2 0 0 6 - 1 3 9 2 8 8 (J P , A)
特開 2 0 0 6 - 2 0 9 1 3 5 (J P , A)
特開 2 0 0 5 - 3 1 6 2 1 1 (J P , A)
特開 2 0 0 2 - 3 2 8 3 8 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 4 3 - 1 / 1 3 4 5
G 0 2 F	1 / 1 3 5 - 1 / 1 3 6 8
G 0 2 F	1 / 1 3 7 - 1 / 1 4 1
G 0 2 F	1 / 1 3 3 3
G 0 2 F	1 / 1 3 3 7

专利名称(译)	液晶表示装置		
公开(公告)号	JP5069946B2	公开(公告)日	2012-11-07
申请号	JP2007130624	申请日	2007-05-16
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	有限公司日本东显示器 松下液晶显示器有限公司		
[标]发明人	桶隆太郎 小野記久雄		
发明人	桶 隆太郎 小野 記久雄		
IPC分类号	G02F1/1362		
CPC分类号	G09G3/3648 G02F1/133707 G02F2001/134345 G09G3/3614 G09G2300/0443 G09G2300/0447 G09G2320/0247 G09G2330/021		
FI分类号	G02F1/1362		
F-TERM分类号	2H092/GA12 2H092/JA24 2H092/JA45 2H092/JB42 2H092/NA01 2H092/NA05 2H092/NA11 2H092/ /NA24 2H192/AA24 2H192/AA43 2H192/BA13 2H192/BA25 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC64 2H192/DA12 2H192/DA43 2H192/DA71 2H192/EA22 2H192/EA43 2H192/GD61 2H192/ /JA13		
其他公开文献	JP2008286933A5 JP2008286933A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种抑制发热值并防止图像质量劣化的液晶显示装置，其中一个像素具有两个开关装置和两个像素电极。ZSOLUTION：液晶显示装置具有由大量像素设定的显示区域，每个像素具有连接到第一开关装置的第一开关装置和第一像素电极，以及连接到第二开关的第二开关元件和第二像素电极。装置，其中一个像素中的第一开关装置和第二开关装置分别与不同的视频信号线连接，以及施加到一个像素中的第一像素电极的信号的电位与施加到其上的信号的电位之间的关系在一个像素周期期间，对电极和施加到第二像素电极的信号的电位与施加到对电极的信号的电位之间的关系被设定为使得一个关系呈现正极性关系另一种关系假定为负极性关系。Z

【 図 3 (a) 】

