

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4785271号
(P4785271)

(45) 発行日 平成23年10月5日(2011.10.5)

(24) 登録日 平成23年7月22日(2011.7.22)

(51) Int.Cl.		F I	
G09G	3/36	(2006.01)	G09G 3/36
G09G	3/20	(2006.01)	G09G 3/20 611J
H03K	17/06	(2006.01)	G09G 3/20 624B
			H03K 17/06 C

請求項の数 9 (全 15 頁)

(21) 出願番号 特願2001-133431 (P2001-133431)
 (22) 出願日 平成13年4月27日(2001.4.27)
 (65) 公開番号 特開2002-328643 (P2002-328643A)
 (43) 公開日 平成14年11月15日(2002.11.15)
 審査請求日 平成19年5月10日(2007.5.10)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 浅見 宗広
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長尾 祥
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 棚田 好文
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 鳥居 祐樹

最終頁に続く

(54) 【発明の名称】 液晶表示装置、電子機器

(57) 【特許請求の範囲】

【請求項1】

液晶素子を含む画素と、第1のトランジスタ乃至第8のトランジスタと、入力端子と、出力端子とを有し、

前記第1のトランジスタ乃至前記第8のトランジスタの各々の導電型は同じであり、前記第1のトランジスタのゲートは、前記第3のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの一方は、第1の電位を供給する機能を有する第1の配線に電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソ

10

ース又はドレインの一方に電氣的に接続され、前記第2のトランジスタのゲートは、前記第4のトランジスタのゲートに電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第2の電位を供給する機能を有する第2の配線に電氣的に接続され、

前記第3のトランジスタのゲートは、前記第3のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第1の電位を供給する機能を有する第3の配線に電氣的に接続され、

20

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記入力端子に電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 の配線に電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記出力端子に電氣的に接続され、

前記第 5 のトランジスタのゲートは、前記第 7 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 の電位を供給する機能を有する第 4 の配線に電氣的に接続され、

前記第 6 のトランジスタのゲートは、前記第 8 のトランジスタのゲートに電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの他方は、前記第 2 の配線に電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 4 のトランジスタのゲートに電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのソース又はドレインの一方に電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 1 の電位を供給する機能を有する第 5 の配線に電氣的に接続され、

前記 8 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、前記第 2 の配線に電氣的に接続され、

前記第 1 の電位は、前記第 2 の電位よりも高いことを特徴とする液晶表示装置。

【請求項 2】

請求項 1 において、

前記第 1 のトランジスタ乃至前記第 8 のトランジスタは、それぞれ、薄膜トランジスタであることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記画素と、前記第 1 のトランジスタ乃至前記第 8 のトランジスタとは、同じ絶縁体上に設けられていることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 または請求項 2 において、

前記画素と、前記第 1 のトランジスタ乃至前記第 8 のトランジスタとは、同じガラス基板上に設けられていることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 1 のトランジスタのゲートと、前記第 1 のトランジスタのソース又はドレインの他方との間に容量素子を有することを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 5 のトランジスタのゲートと、前記第 5 のトランジスタのソース又はドレインの一方との間に容量素子を有することを特徴とする液晶表示装置。

【請求項 7】

10

20

30

40

50

請求項 1 乃至請求項 6 のいずれか一項において、
前記導電型は、N チャンネル型であることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項に記載の液晶表示装置を有する電子機器。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか一項に記載の液晶表示装置と操作スイッチとを有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置の駆動回路に関する。さらに本発明は、前記表示装置の駆動回路を用いて作製された電子機器を含む。なお本明細書中、表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、有機エレクトロルミネッセンス (EL) 素子を始めとした自発光素子を用いてなる発光表示装置を含むものとする。駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路を指し、シフトレジスタ等を始めとするパルス回路や、アンプ等を始めとする増幅回路を含むものとする。

【0002】

【従来の技術】

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ (以下、TFT と表記) を用いたアクティブマトリクス型表示装置の普及が顕著となっている。TFT を使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置された TFT によって各画素の電荷を制御することによって映像の表示を行っている。

【0003】

さらに最近の技術として、画素を構成する画素 TFT の他に、画素部の周辺領域に TFT を用いて駆動回路を同時形成するポリシリコン TFT に関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきている。

【0004】

表示装置の駆動回路としては、N 型 TFT と P 型 TFT を組み合わせた CMOS 回路が一般的に使用されている。CMOS 回路の特徴として、論理が変わる (Hi 電位から Lo 電位へ、あるいは Lo 電位から Hi 電位へ) 瞬間にのみ電流が流れ、ある論理の保持中には電流が流れない (実際には微小なリーク電流の存在がある) ため、回路全体での消費電流を低く抑えることが可能な点や、高速駆動に有利な点が挙げられる。

【0005】

液晶や自発光素子を用いた表示装置の需要は、モバイル電子機器の小型化、軽量化に伴って急速にその需要が増加しているが、歩留まり等の面から、その製造コストを十分に低く抑えることが難しい。今後の需要はさらに急速に増加することは容易に予測され、そのため表示装置をより安価に供給できるようにすることが望まれている。

【0006】

【発明が解決しようとする課題】

絶縁体上に駆動回路を作製する方法としては、複数のフォトマスクを用いて、活性層、配線等のパターンを露光、エッチングを行って作りこんでいく方法が一般的であるが、このときの工程数の多さが製造コストに直接影響しているため、可能な限り少ない工程数で製造することが理想的である。そこで、従来 CMOS 回路によって構成されていた駆動回路を、N 型もしくは P 型のいずれか一方の導電型のみで TFT を用いて構成する。この方法により、イオンドーピング工程の一部を省略することが出来、さらにフォトマスクの枚数も削減することが出来る。

【0007】

【本発明以前の技術の問題点】

10

20

30

40

50

図9(A)は、従来一般的に用いられているCMOSインバータ(I)と、一極性のみのTFTを用いて構成したインバータ(II)(III)の例を示している。(II)はTFT負荷型のインバータ、(III)は抵抗負荷型のインバータである。以下に、それぞれの動作について述べる。

【0008】

図9(B)は、インバータに入力する信号の波形を示している。ここで、入力信号振幅は $V_{DD} - GND$ 間($GND < V_{DD}$)とする。具体的には $GND = 0[V]$ として考える。

【0009】

回路動作について説明する。なお、説明を明確かつ簡単にするため、回路を構成するN型TFTのしきい値電圧は、そのばらつきがないものとして一律(V_{thN})とする。また、P型TFTについても同様に、一律(V_{thP})とする。

10

【0010】

CMOSインバータに図9(B)のような信号が入力されると、入力信号の電位が H_i (V_{DD})のとき、P型TFT901はOFFし、N型TFT902がONすることにより、出力ノードの電位は L_o (GND)となる。逆に、入力信号の電位が L_o のとき、P型TFT901がONし、N型TFT902がOFFすることにより、出力ノードの電位は H_i となる(図9(C))。

【0011】

続いて、TFT負荷型インバータ(II)の動作について説明する。同じく図9(B)に示すような信号が入力される場合を考える。まず、入力信号が L_o のとき、N型TFT904はOFFする。一方、負荷TFT903は常に飽和動作していることから、出力ノードの電位は H_i 方向に引き上げられる。一方、入力信号が H_i のとき、N型TFT904はONする。ここで、負荷TFT903の電流能力よりも、N型TFT904の電流能力を十分に高くしておくことにより、出力ノードの電位は L_o 方向に引き下げられる。

20

【0012】

抵抗負荷型インバータ(III)についても同様に、N型TFT906のON抵抗値を、負荷抵抗905の抵抗値よりも十分に低くしておくことにより、入力信号が H_i のときは、N型TFT906がONすることにより、出力ノードは L_o 方向に引き下げられる。入力信号が L_o のときは、N型TFT906はOFFし、出力ノードは H_i 方向に引き上げられる。

30

【0013】

ただし、TFT負荷型インバータや抵抗負荷型インバータを用いる際、以下のような問題点がある。図9(D)は、TFT負荷型インバータの出力波形を示したものであるが、出力が H_i のときに、907で示す分だけ V_{DD} よりも電位が低くなる。負荷TFT903において、出力ノード側の端子をソース、電源 V_{DD} 側の端子をドレインとすると、ゲート電極とドレイン領域が接続されているので、このときのゲート電極の電位は V_{DD} である。また、この負荷TFTがONしているための条件は、(TFT903のゲート-ソース間電圧 $> V_{thN}$)であるから、出力ノードの電位は、最大でも($V_{DD} - V_{thN}$)までしか上昇しない。つまり、907は V_{thN} に等しい。さらに、負荷TFT903とN型TFT904の電流能力の比によっては、出力電位が L_o 電位のとき、908で示す分だけ GND よりも電位が高くなる。これを十分に GND に近づけるためには、負荷TFT903に対し、N型TFT904の電流能力を十分に大きくする必要がある。同様に、図9(E)は抵抗負荷型インバータの出力波形を示したものであるが、負荷抵抗905の抵抗値とN型TFT906のON抵抗の比によっては、909で示す分だけ電位が高くなる。つまり、ここに示した一極性のみのTFTを用いて構成したインバータを用いると、入力信号の振幅に対し、出力信号の振幅減衰が生ずることになる。駆動回路を構成するには、振幅が減衰することなく出力が得られなければならない。

40

【0014】

本発明は、以上のような課題を鑑みてなされたものであり、一極性のみのTFTを用いて製造工程を削減することにより低コストで作製が可能であり、かつ振幅減衰のない出力を

50

得ることが出来る表示装置の駆動回路を提供することを目的とする。

【0015】

【課題を解決するための手段】

先程の図9(A)の(II)に示したTFT負荷型インバータにおいて、出力信号の振幅が正常にVDD-GNDを取るための条件を考える。第1に、図1(A)のような回路において、出力信号の電位がLoとなる時、その電位を十分にGNDに近づけるためには、電源VDD-出力ノード間の抵抗値に対し、電源GND-出力ノード間の抵抗値が十分に低くなっていけばよい。すなわち、N型TFT102がONしている期間、N型TFT101がOFFしていればよい。第2に、出力信号の電位がHiとなる時、その電位がVDDに等しくするには、N型TFT101のゲート-ソース間電圧の絶対値が、VthNを常に上回っていればよい。つまり、出力ノードのHi電位がVDDとなる条件を満たすには、N型TFT101のゲート電極の電位は(VDD+VthN)よりも高くなる必要がある。回路に供給される電源はVDD、GNDの2種類のみであるから、VDDよりも電位の高い第3の電源がない限り、条件を満たすことは出来ない。

10

【0016】

そこで、本発明では以下のような手段を講じた。図1(B)に示すように、N型TFT101のゲート-ソース間に容量103を設ける。N型TFT101のゲート電極がある電位をもって浮遊状態となったとき、出力ノードの電位を上昇させると、この容量103による容量結合によって、出力ノードの電位上昇分に伴って、N型TFT101のゲート電極の電位も持ち上げられる。この効果を利用すれば、N型TFT101のゲート電極の電位をVDDよりも高く(正確には、VDD+VthNよりも高く)することが可能となる。よって出力ノードの電位を十分にVDDまで引き上げることが可能となる。

20

【0017】

なお、図1(B)において示した容量103は、実際に容量部分を作製しても良いし、TFT101のゲート-ソース間に寄生する容量を利用するようにしても良い。

【0018】

本発明の構成を以下に記す。

【0019】

請求項1の記載によると、本発明の表示装置の駆動回路は、
 第1の不純物領域が第1の電源と電氣的に接続された、第1のトランジスタと、
 第1の不純物領域が第2の電源と電氣的に接続された、第2のトランジスタと、
 第1の不純物領域が第1の電源と電氣的に接続された、第3のトランジスタと、
 第1の不純物領域が第2の電源と電氣的に接続された、第4のトランジスタと、
 容量とを有する表示装置の駆動回路であって、
 前記第1乃至第4のトランジスタはいずれも同一導電型であり、
 前記第1のトランジスタの第2の不純物領域と、前記第2のトランジスタの第2の不純物領域とはいずれも前記容量の一方の端子と電氣的に接続され、
 前記第3のトランジスタの第2の不純物領域と、前記第4のトランジスタの第2の不純物領域と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の他の一方の端子と電氣的に接続され、
 前記第2のトランジスタのゲート電極と、前記第4のトランジスタのゲート電極は、入力信号線と電氣的に接続され、
 前記第3のトランジスタのゲート電極は、前記第1の電源と電氣的に接続されていることを特徴としている。

30

40

【0020】

請求項2の記載によると、本発明の表示装置の駆動回路は、
 第1の不純物領域が第1の電源と電氣的に接続された、第1のトランジスタと、
 第1の不純物領域が第2の電源と電氣的に接続された、第2のトランジスタと、
 第1の不純物領域が第1の電源と電氣的に接続された、第3のトランジスタと、
 第1の不純物領域が第2の電源と電氣的に接続された、第4のトランジスタと、

50

容量とを有する表示装置の駆動回路であって、
 前記第 1 乃至第 4 のトランジスタはいずれも同一導電型であり、
 前記第 1 のトランジスタの第 2 の不純物領域と、前記第 2 のトランジスタの第 2 の不純物
 領域とはいずれも前記容量の一方の端子と電氣的に接続され、
 前記第 3 のトランジスタの第 2 の不純物領域と、前記第 4 のトランジスタの第 2 の不純物
 領域と、前記第 1 のトランジスタのゲート電極とは、いずれも前記容量の他の一方の端子
 と電氣的に接続され、
 前記第 2 のトランジスタのゲート電極と、前記第 4 のトランジスタのゲート電極は、第 1
 の入力信号線と電氣的に接続され、
 前記第 3 のトランジスタのゲート電極は、第 2 の入力信号線と電氣的に接続されているこ
 とを特徴としている。 10

【 0 0 2 1 】

請求項 3 の記載によると、本発明の表示装置の駆動回路は、
 請求項 2 において、
 前記第 2 の入力信号線は、前記第 1 の入力信号線に入力される信号の反転信号が入力され
 る信号線であることを特徴としている。

【 0 0 2 2 】

請求項 4 の記載によると、本発明の表示装置の駆動回路は、
 請求項 1 もしくは請求項 2 において、
 前記容量は、前記第 1 のトランジスタのゲート電極と、前記不純物領域のうちいずれか一
 方との間の容量を用いることを特徴としている。 20

【 0 0 2 3 】

請求項 5 の記載によると、本発明の表示装置の駆動回路は、
 請求項 1 もしくは請求項 2 において、
 前記容量は、活性層材料、ゲート電極を構成する材料、あるいは配線材料のうちのいずれ
 か 2 つの材料を用いて構成された容量であることを特徴としている。

【 0 0 2 4 】

請求項 6 の記載によると、本発明の表示装置の駆動回路は、
 請求項 1 乃至請求項 5 のいずれか 1 項において、
 前記一導電型とは、Nチャネル型であることを特徴としている。 30

【 0 0 2 5 】

請求項 7 の記載によると、本発明の表示装置の駆動回路は、
 請求項 1 乃至請求項 5 のいずれか 1 項において、
 前記一導電型とは、Pチャネル型であることを特徴としている。

【 0 0 2 6 】

請求項 8 の記載によると、本発明の表示装置の駆動回路は、
 請求項 6 において、
 前記入力信号が H i 電位のときの電位は第 3 の電源電位に等しく、L o 電位のときの電位
 は第 4 の電源電位に等しいとき、
 第 2 の電源電位 > 第 4 の電源電位 < 第 3 の電源電位 > 第 1 の電源電位を満たすことを特徴
 としている。 40

【 0 0 2 7 】

請求項 9 の記載によると、本発明の表示装置の駆動回路は、
 請求項 7 において、
 前記入力信号が H i 電位のときの電位は第 3 の電源電位に等しく、L o 電位のときの電位
 は第 4 の電源電位に等しいとき、
 第 1 の電源電位 > 第 4 の電源電位 < 第 3 の電源電位 > 第 2 の電源電位を満たすことを特徴
 としている。

【 0 0 2 8 】

請求項 10 の記載によると、本発明の表示装置の駆動回路は、 50

請求項 1 乃至請求項 9 のいずれか 1 項において、
前記表示装置の駆動回路は、インバータ、バッファ、あるいはレベルシフタであること、
あるいはインバータ、バッファあるいはレベルシフタの構成要件となっていることを特徴
としている。

【 0 0 2 9 】

【 発明の実施の形態 】

図 2 (A) は、本発明の表示装置の駆動回路の 1 形態を示したものであり、インバータと
して機能する回路である。N 型 T F T 2 0 1 ~ 2 0 4 および容量 2 0 5 によって構成され
ており、点線枠 2 0 6 で囲われた部分が、図 1 (A) に示した回路に相当する。点線枠 2
1 0 で囲われた部分が、出力振幅補償回路を構成している。出力振幅補償回路 2 1 0 は、
N 型 T F T 2 0 3 のゲート電極に浮遊状態を作り出すことを目的としたものであり、同一
の機能を有する限り、図 2 (A) の構成に限定しない。

10

【 0 0 3 0 】

図 2 (A) の回路において、入力信号は N 型 T F T 2 0 2 および N 型 T F T 2 0 4 のゲ
ート電極に入力される。N 型 T F T 2 0 1 は負荷として機能し、N 型 T F T 2 0 1、2 0 2
によって構成される回路からの出力 (図 2 (A) 中、このノードを とおく) が、N 型 T
F T 2 0 3 のゲート電極に入力される。

【 0 0 3 1 】

回路の動作詳細について順を追って説明する。なお、電源電位は V D D および G N D、入
力信号の振幅も V D D (H i) - G N D (L o) とする。まず、入力信号の電位が H i の
とき、N 型 T F T 2 0 2、2 0 4 が O N する。ここで、N 型 T F T 2 0 1 はゲート電極と
ドレイン領域とが接続されているため飽和動作しているが、N 型 T F T 2 0 2 の電流能力
を N 型 T F T 2 0 1 の電流能力よりも十分に高くすることによって、ノード の電位は G
N D 側に引き下げられる。これにより、N 型 T F T 2 0 3 が O F F し、出力ノードには L
o 電位が出力される。

20

【 0 0 3 2 】

続いて、入力信号の電位が L o のとき、N 型 T F T 2 0 2、2 0 4 が O F F する。これに
より、ノード の電位は、V D D 側に引き上げられ、その電位が (V D D - V t h N) と
なったところで一旦浮遊状態となる。一方、ノード の電位が上昇を始めると、やがて N
型 T F T 2 0 3 が O N し、出力ノードの電位が V D D 側に引き上げられる。ノード が浮
遊状態となったとき、依然出力ノードの電位は上昇を続けているため、N 型 T F T 2 0 3
のゲート - ソース間容量 2 0 5 の存在によって、出力ノードの電位上昇に伴い、浮遊状態
にあるノード の電位も上昇する。これにより、ノード の電位が、(V D D + V t h N)
よりも高い電位となることが出来る。よって、出力ノードには H i 電位が出力され、こ
のときの電位は V D D に等しくなる。

30

【 0 0 3 3 】

以上のような動作により、出力信号の振幅は、入力信号の振幅に対して減衰なく得られる
。このように、2 点間の容量結合を利用して電位を引き上げる方法をブートストラップ法
という。図 2 (B) は、図 2 (A) に示した回路の入力信号の波形を示したものであり、
図 2 (C) は、ノード における電位の波形を示したものであり、図 2 (D) は出力信号
の波形を示したものである。図 2 (C) 中、2 0 8 で示される電位は、V D D よりも V t
h N だけ低下した電位であり、ブートストラップによって、2 0 7 で示す分だけ、ノード
の電位が引き上げられる。結果、図 2 (D) に示すように、出力ノードが H i 電位の
とき、その電位は V D D まで上昇し、V D D - G N D 間の振幅を有する出力信号を得るこ
とが出来る。

40

【 0 0 3 4 】

ところで、本発明の表示装置の駆動回路においては、ブートストラップ法による出力信号
の振幅補償を動作の基本としているが、そのとき、容量結合を利用する T F T のゲート電
極が浮遊状態となっていることが前提となる。図 1 0 は、ブートストラップ法を利用した
回路の構成例を挙げているが、図 1 0 (A) は本発明の表示装置の駆動回路の基本構成を

50

示しているが、ノードが浮遊状態となっていることにより、TFT1003のゲートソース間の容量1005を利用してノードの電位を引き上げ、それによって出力信号の振幅を補償する。図10(B)は3個のTFTからなる回路を示しているが、こちらについても同様に、ノードが浮遊状態となっていることにより、TFT1007のゲートソース間容量1009を利用してノードの電位を引き上げ、それによって出力信号の振幅を補償する。

【0035】

続いて、入力信号の振幅と電源電位について考える。今、高電位側の電源電位はVDD、低電位側の電源電位はGNDであり、入力信号(in)の振幅はVDD-GNDであり、inbは入力信号の反転信号である。ここで、in、inbの振幅がそれぞれVDD3-GND(ただし、 $GND < V_{thN} < VDD3 < VDD - V_{thN}$)である場合のノード、ノードの状態について考える。図10(A)において、inbがHiのとき、N型TFT1001のゲート電極電位はVDD3となる。VthN < VDD3であるから、N型TFT1001はONし、ノードの電位はVDD側に引き上げられ、その電位が(VDD3 - VthN)となったところで浮遊状態となる。つまり、inbのHi電位がVthNを上回っていれば、ノードは確実に浮遊状態となることが出来、ブートストラップによってN型TFT1003のゲート電極電位を引き上げる動作が可能となる。一方、図10(B)においては、N型TFT1006のゲート電極電位は常にVDDであるから、inbがHiのとき、ノードの電位はVDD3まで引き上げられる。ただし今、 $VDD3 < VDD - V_{thN}$ であるから、N型TFT1006は入力信号の電位に関わらず常にONの状態を取る。よってノードは浮遊状態とはならない。故に、ブートストラップによってノードの電位を引き上げることが出来ないことになる。つまり、図10(B)に示した回路の場合、ノードが浮遊状態となるためには、inbのLo電位がGNDであるとき、少なくともHi電位が(VDD - VthN)以上にあるという最低条件があるため、低電圧駆動やTFTの特性ばらつきの面を考えると不利である。

【0036】

このように、入力信号の振幅が電源電圧よりも小さい場合の、ある特定の条件下では、図10(B)のような構成ではノードに浮遊状態を与えられない可能性が考えられるのに対し、本発明で示した図10(A)の構成であれば、確実にノードを浮遊状態に出来るメリットがある。

【0037】

【実施例】

以下に、本発明の実施例について記載する。

【0038】

[実施例1]

図3(A)は、本発明の表示装置の駆動回路の一形態であるインバータを複数段接続した回路を示している。表示装置の駆動回路等においては、このような回路をバッファとして用いることが多い。ここで、図3(A)のような回路を用いる場合、以下のようなデメリットが挙げられる。

【0039】

図3(A)において、入力信号がHiのとき、N型TFT302がONする。ここで、N型TFT301は、ゲート-ドレイン間を短絡した負荷として機能しており、常に飽和動作しているため、N型TFT302がONすることによって、VDD-GND間に貫通電流が流れる。これは、各段のTFT303、304および305、306においても同様であり、消費電流が大きくなってしまう。

【0040】

このような問題を回避するための例として、図3(B)に示すような、2入力型のインバータを用いる方法が挙げられる。このような回路の場合、VDD-GND間に配置されているTFTは、入力信号の極性が常に逆であることから、排他的動作をするため、貫通電流が流れない。

【 0 0 4 1 】

ただし、図 3 (B) の回路を用いる場合、入力信号として、反転、非反転の 2 相の信号を用意する必要がある。

【 0 0 4 2 】

そこで、双方を組み合わせた形として、図 3 (C) に示すように、先頭段には本発明の 1 入力型インバータを用い、2 段目以降は 2 入力型インバータを用いる。2 段目の入力は、一方には前段の出力信号を、もう一方には前段の入力信号を入力すればよい。これにより、1 入力型であり、かつ貫通電流を最小限に抑えたバッファとして用いることが出来る。

【 0 0 4 3 】

[実施例 2]

本発明の表示装置の駆動回路は、回路に供給する電源電位として、入力信号の振幅電位と異なる電位を与えることにより、レベルシフタとして機能させることも容易である。以下にその例を示す。

【 0 0 4 4 】

まず、電源電位として、GND、VDD1、VDD2 の 3 電位を考え、それぞれの大小関係は、 $GND < VDD1 < VDD2$ とする。このとき、GND - VDD1 間の振幅を有する信号を入力し、GND - VDD2 間の振幅に変換して取り出す場合を例として考える。

【 0 0 4 5 】

図 4 (A) に例を示す。回路の構成は実施形態および実施例 1 と同様で良い。入力信号の振幅が GND - VDD1 間であり、N 型 T F T 4 0 1、4 0 3 の不純物領域の一端に接続される電源の電位を VDD2 としている。

【 0 0 4 6 】

回路の動作について説明する。入力信号の波形を図 4 (B) に示す。GND - VDD1 間の振幅をもった信号が、N 型 T F T 4 0 2 および 4 0 4 のゲート電極に入力される。入力信号が Hi 電位であるとき、N 型 T F T 4 0 2、4 0 4 が ON し、ノード における電位が GND 側に引き下げられ、N 型 T F T 4 0 3 は OFF する。よって出力ノードにおける電位は Lo 電位となる。

【 0 0 4 7 】

入力信号が Lo 電位であるとき、N 型 T F T 4 0 2、4 0 4 が OFF し、ノード における電位が VDD2 側に引き上げられる。したがって N 型 T F T 4 0 3 が ON し、出力ノードの電位が上昇する。一方、ノード においては、その電位が (VDD2 - N 型 T F T 4 0 3 のしきい値電圧の絶対値) となったところで浮遊状態となる。その後、出力ノードの電位上昇に伴い、N 型 T F T 4 0 3 のゲート - ソース間に存在する容量結合 4 0 5 によってノード の電位はさらに引き上げられ、VDD2 よりも高い電位をとる (図 4 (C)) 。よって、出力ノードの電位は Hi 電位となり、GND - VDD2 間の振幅を持った信号が出力される (図 4 (D) 実線) 。

【 0 0 4 8 】

本実施例で示した回路がレベルシフタとして容易に扱うことが出来る理由として、高電位側電源 (VDD2) に接続された T F T 4 0 1、4 0 3 のゲート電極には、低電圧振幅の信号入力がない点が挙げられる。図 5 (A) に示す 2 入力型の回路において、高電位側電源 (VDD2) に接続された T F T 5 0 1 に低電圧振幅の信号を入力しても、ノード の電位は VDD1 付近までしか上昇することができない。したがって T F T 5 0 3 もまた、十分に ON することが出来ず、容量結合を用いて T F T 5 0 3 のゲート電極電位を持ち上げることが出来ないため、正常動作が望めない。

【 0 0 4 9 】

よって、本実施例にて示したレベルシフタの直後にかかる負荷が大きく、バッファ等の構成を必要とする場合には、図 5 (B) のように、1 入力型の回路を 2 段用いて、その後の入力信号の振幅を全て高電圧振幅とする必要がある。図 5 (B) においては、低電圧振幅の信号が入力される T F T は、点線枠 5 0 6 で囲まれた部分の T F T に限られ、1 入力型の回路を 2 段重ねることによって、3 段目の 2 入力 (T F T 5 0 7、5 0 8 のゲート電極

10

20

30

40

50

への入力)はいずれも高電圧振幅の信号が入力されるため、正常に動作することが出来る。

【0050】

また、振幅変換を行う信号が反転信号を有している場合、互いの出力信号を、次段の反転入力として用いる構成としても良い。図6に例を示す。入力信号は i_n 、 i_{nb} であり、それぞれTFT602、614のゲート電極に入力される。レベルシフト1段目650の出力は、2段目のTFT606、617に入力され、660の出力は、2段目のTFT605、618に入力される。2段目への入力信号は、いずれも高電圧振幅の信号であるから、以後は正常にバッファとして機能し、最終段より、出力信号Out、outbを得る。

10

【0051】

[実施例3]

本実施例においては、本発明の表示装置の駆動回路を用いて表示装置を作製した例について説明する。

【0052】

図7は、表示装置の概略図である。基板700上に、ソース信号線駆動回路701、ゲート信号線駆動回路702および画素部703を一体形成にて作製している。画素部において、点線枠710で囲まれた部分が1画素である。図の例では、液晶表示装置の画素を示しており、1個のTFT(以後、画素TFTと表記する)によって液晶素子の一電極に印加される電荷の制御を行っている。ソース信号線駆動回路701、ゲート信号線駆動回路702への信号入力は、フレキシブルプリント基板(Flexible Print Circuit: FPC)704を介して、外部より供給される。

20

【0053】

本実施例にて示す表示装置は、本発明の表示装置の駆動回路を用いて構成することにより、画素部を含む表示装置全体を構成する駆動回路を、画素TFTと同一の極性を有する一極性のTFT(例えばN型TFT)のみを用いて作製している。これにより、半導体層にP型を付与するイオンドーピング工程を省略することが可能となり、製造コストの削減や歩留まり向上等に寄与することが出来る。

【0054】

なお、本実施例の表示装置を構成したTFTの極性はN型であるが、P型TFTのみを用いて駆動回路および画素TFTを構成することも、本発明によってももちろん可能となる。この場合は、省略されるイオンドーピング工程は、半導体層にN型を付与する工程であることを付記する。また、本発明は液晶表示装置のみならず、絶縁体上に駆動回路を一体形成して作製する装置ならばいずれの物にも適用が可能である。

30

【0055】

[実施例4]

本発明の表示装置の駆動回路は、様々な電子機器に用いられている表示装置の作製に適用が可能である。このような電子機器には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、携帯電話等が挙げられる。それらの一例を図8に示す。

40

【0056】

図8(A)は液晶ディスプレイ(LCD)であり、筐体3001、支持台3002、表示部3003等により構成されている。本発明の表示装置の駆動回路は、表示部3003の作製に適用が可能である。

【0057】

図8(B)はビデオカメラであり、本体3011、表示部3012、音声入力部3013、操作スイッチ3014、バッテリー3015、受像部3016等により構成されている。本発明の表示装置の駆動回路は、表示部3012の作製に適用が可能である。

【0058】

図8(C)はノート型のパーソナルコンピュータであり、本体3021、筐体3022、

50

表示部 3023、キーボード 3024 等により構成されている。本発明の表示装置の駆動回路は、表示部 3023 の作製に適用が可能である。

【0059】

図 8 (D) は携帯情報端末であり、本体 3031、スタイラス 3032、表示部 3033、操作ボタン 3034、外部インターフェイス 3035 等により構成されている。本発明の表示装置の駆動回路は、表示部 3033 の作製に適用が可能である。

【0060】

図 8 (E) は音響再生装置、具体的には車載用のオーディオ装置であり、本体 3041、表示部 3042、操作スイッチ 3043、3044 等により構成されている。本発明の表示装置の駆動回路は表示部 3042 の作製に適用が可能である。また、本実施例では車載用オーディオ装置を例に挙げたが、携帯型もしくは家庭用のオーディオ装置に用いても良い。

10

【0061】

図 8 (F) はデジタルカメラであり、本体 3051、表示部 (A) 3052、接眼部 3053、操作スイッチ 3054、表示部 (B) 3055、バッテリー 3056 等により構成されている。本発明の表示装置の駆動回路は、表示部 (A) 3052 および表示部 (B) 3055 の作製に適用が可能である。

【0062】

図 8 (G) は携帯電話であり、本体 3061、音声出力部 3062、音声入力部 3063、表示部 3064、操作スイッチ 3065、アンテナ 3066 等により構成されている。本発明の表示装置の駆動回路は、表示部 3064 の作製に適用が可能である。

20

【0063】

なお、本実施例に示した例はごく一例であり、これらの用途に限定しないことを付記する。

【発明の効果】

本発明の表示装置の駆動回路によって、表示装置の駆動回路および画素部を、一導電型の TFT のみによって構成することが可能となり、表示装置の作製工程を削減することによって、低コスト化、歩留まりの向上に寄与し、より安価に表示装置の供給が可能となる。

【図面の簡単な説明】

【図 1】 本発明の表示装置の駆動回路の動作原理を説明する図。

30

【図 2】 本発明の表示装置の駆動回路の基本的形態であるインバータとその入出力信号の波形を示す図。

【図 3】 本発明の表示装置の駆動回路の基本的形態であるインバータを複数段接続して用いる場合の接続例を示す図。

【図 4】 本発明の表示装置の駆動回路の実施例として示したレベルシフタとその入出力信号の波形を示す図。

【図 5】 レベルシフタの動作についての説明図およびレベルシフタの構成例を示す図。

【図 6】 反転信号を有する場合の 2 入力型レベルシフタの構成例を示す図。

【図 7】 本発明を適用して作製した表示装置の概略図。

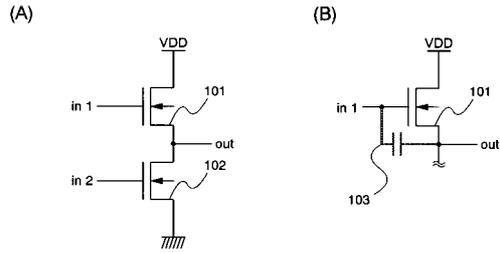
40

【図 8】 本発明の表示装置の駆動回路の電子機器への適用例を示す図。

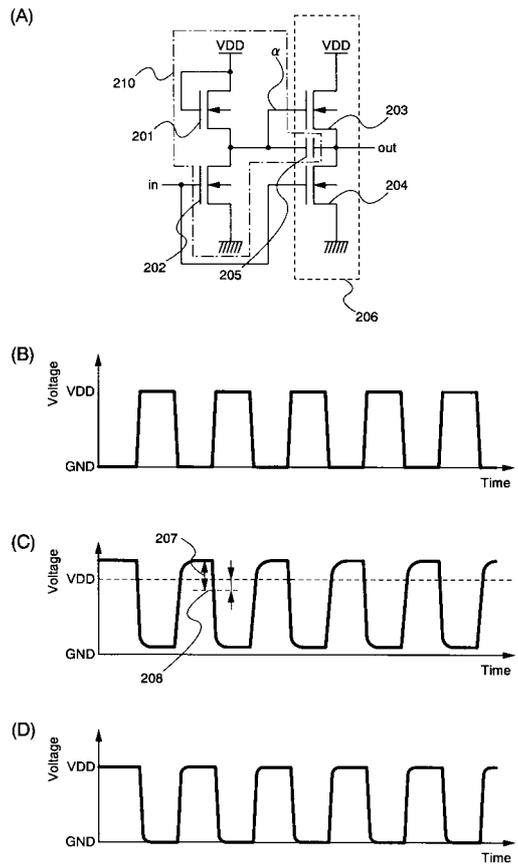
【図 9】 従来型 CMOS インバータと負荷型インバータの構成と、それぞれの入出力信号の波形を示す図。

【図 10】 4 TFT 型のインバータと 3 TFT 型のインバータにおける入力信号と回路動作を説明する図。

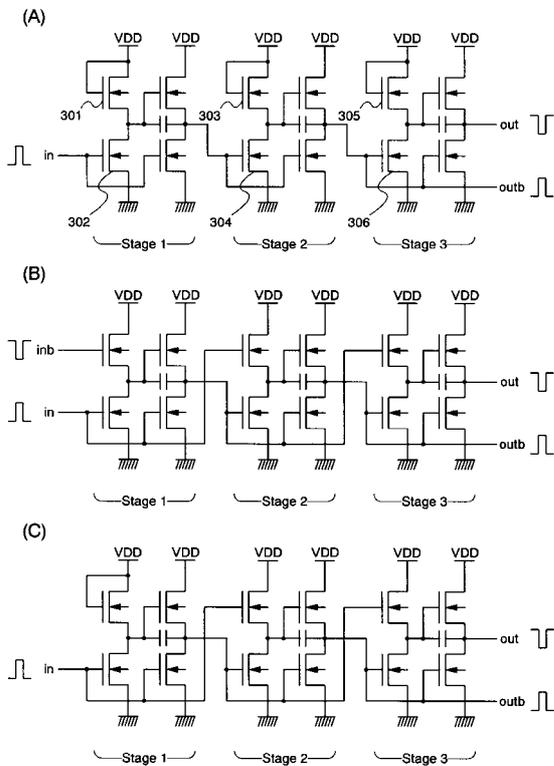
【 図 1 】



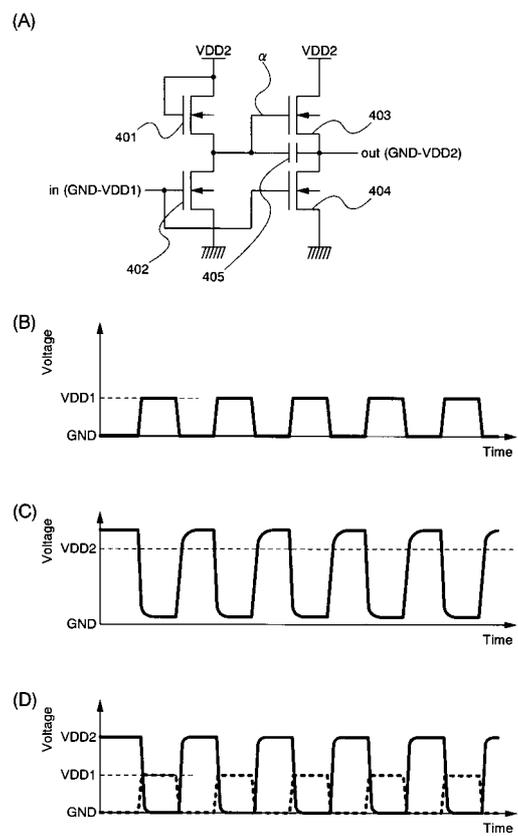
【 図 2 】



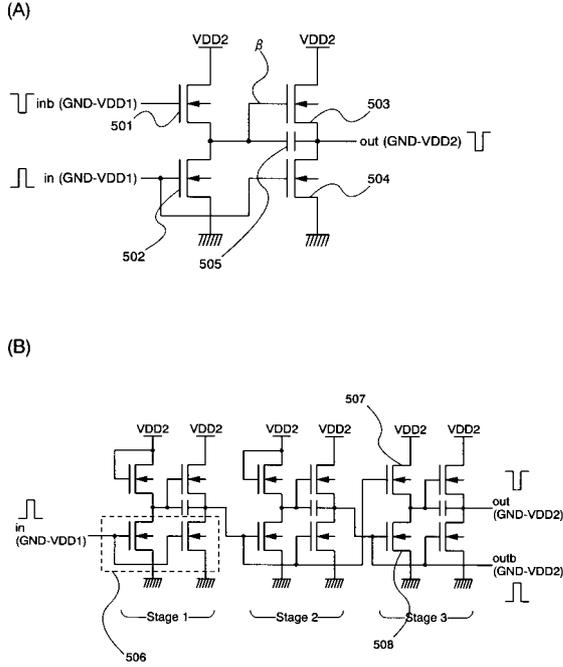
【 図 3 】



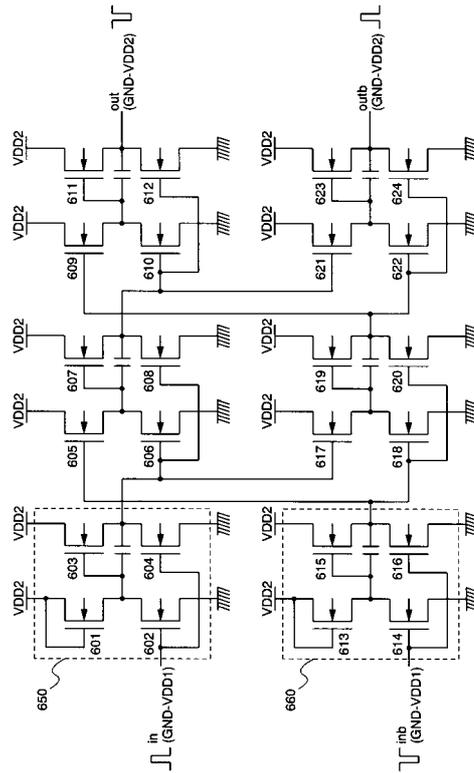
【 図 4 】



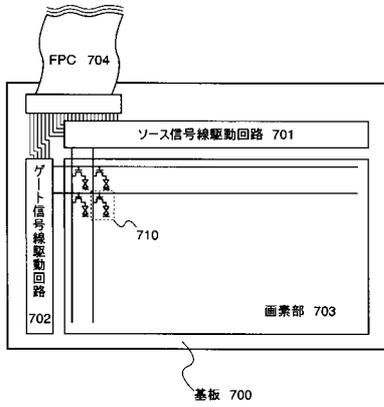
【図5】



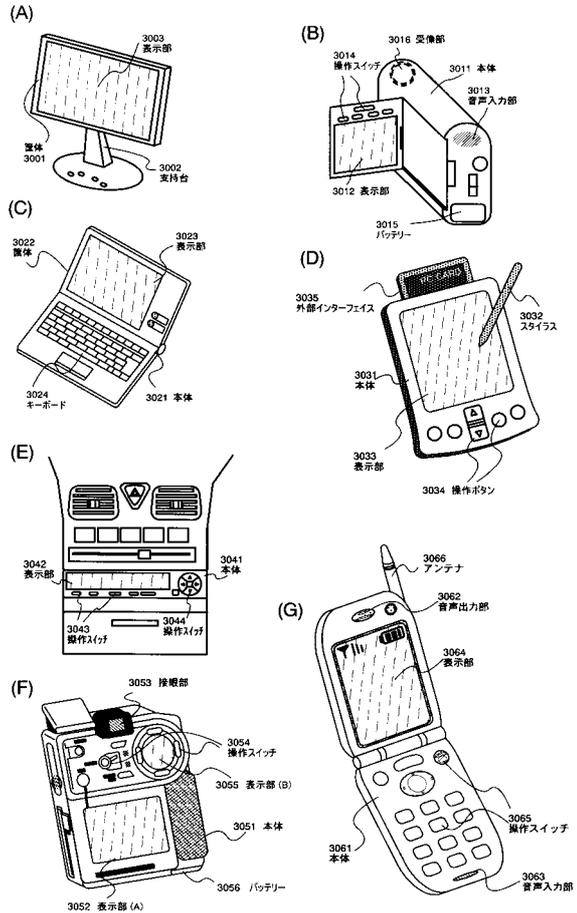
【図6】



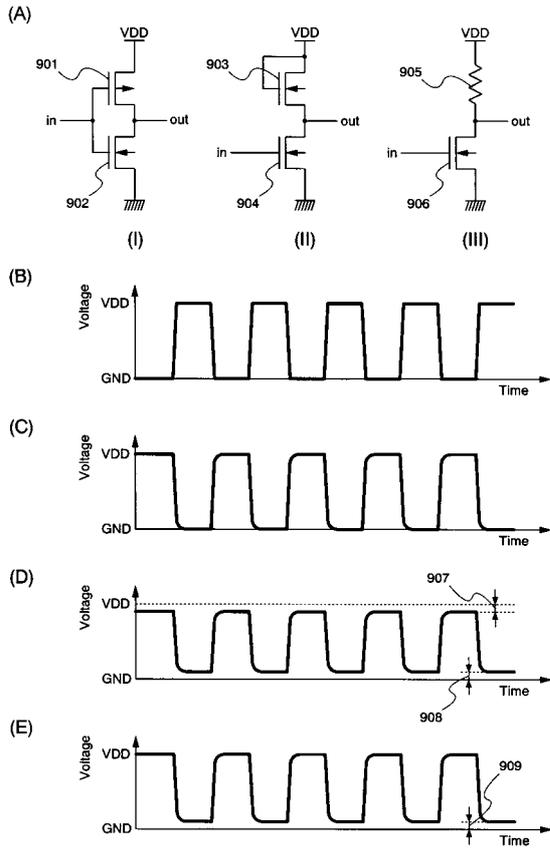
【図7】



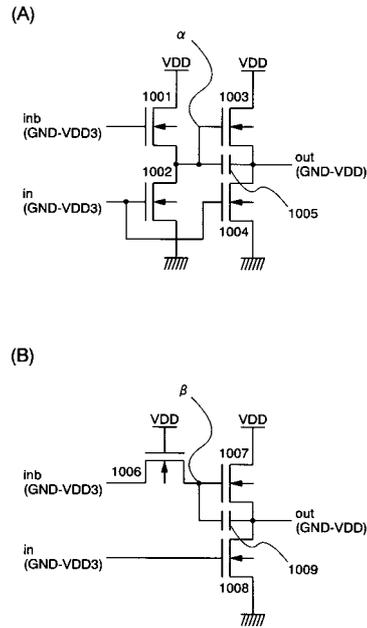
【図8】



【 9 】



【 10 】



フロントページの続き

- (56)参考文献 特表平11-502355(JP,A)
特開平05-303354(JP,A)
米国特許第03506851(US,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36
G09G 3/20
H03K 17/00-17/70

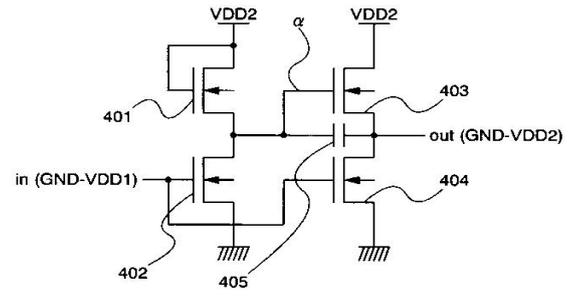
专利名称(译)	液晶表示装置、电子机器		
公开(公告)号	JP4785271B2	公开(公告)日	2011-10-05
申请号	JP2001133431	申请日	2001-04-27
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	浅見宗広 長尾祥 棚田好文		
发明人	浅見 宗広 長尾 祥 棚田 好文		
IPC分类号	G09G3/36 G09G3/20 H03K17/06 G02F1/1368 G02F1/133 G09G3/00 G11C19/00 H01L21/8238 H01L27/092 H01L29/786 H01L51/50 H03K17/687 H03K19/017		
CPC分类号	H01L29/786 H03K19/01714 H03K19/01721		
FI分类号	G09G3/36 G09G3/20.611.J G09G3/20.624.B H03K17/06.C G02F1/133.550 G02F1/1368 G09G3/20. 611.F G09G3/20.621.L G09G3/20.621.M G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230 H01L27/08.321.L H01L27/092.L H01L29/78.612.B H01L29/78.614 H03K17/06.063 H03K17/687.A H05B33/14.A		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/PA06 2H093/NA16 2H093/NA80 2H093/NC13 2H093/NC16 2H093 /NC22 2H093/NC23 2H093/NC34 2H093/NC90 2H093/ND36 2H093/ND40 2H093/ND48 2H192/AA24 2H192/FA73 2H192/FB02 2H193/ZA04 2H193/ZE31 3K107/AA01 3K107/BB01 3K107/CC45 3K107 /EE03 3K107/HH04 5B074/AA10 5B074/CA01 5B074/EA01 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF37 5C006 /BF46 5C006/EB04 5C006/EB06 5C006/FA26 5C006/FA47 5C006/GA02 5C006/GA04 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD26 5C080/DD27 5C080/DD28 5C080/FF11 5C080 /JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5F048/AA01 5F048/AB04 5F048/AC04 5F048/AC10 5F110 /AA16 5F110/AA30 5F110/BB02 5F110/NN72 5J055/AX05 5J055/AX06 5J055/AX63 5J055/BX16 5J055/CX30 5J055/DX20 5J055/EZ20 5J055/EZ69 5J055/FX05 5J055/FX12 5J055/FX28 5J055/GX01		
其他公开文献	JP2002328643A JP2002328643A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：为显示装置提供驱动电路，其中通过仅使用单导电类型的TFT（薄膜晶体管）构成电路可以减少制造工艺，并且还可以获得输出信号的电压幅度一般。解决方案：在连接到输出节点out的TFT 203的栅极和源极之间提供电容205，并且由TFT 201,202组成的电路具有使节点 α 处于浮置状态的功能。当节点 α 处于浮动状态时，通过使用存在于TFT 203的栅极和源极之间的电容耦合，使节点 α 的电位高于VDD。结果，该驱动电路可以正常获得输出信号的幅度在VDD和GND之间，而不产生由TFT的阈值引起的幅度衰减。

【 4 】

(A)



(B)

