

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4764869号  
(P4764869)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl. F 1  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/1343 (2006.01)** GO2F 1/1343

請求項の数 10 (全 24 頁)

(21) 出願番号	特願2007-318708 (P2007-318708)	(73) 特許権者	501426046
(22) 出願日	平成19年12月10日 (2007.12.10)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願2004-361915 (P2004-361915)		ミテッド
原出願日	平成16年12月14日 (2004.12.14)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(65) 公開番号	特開2008-77114 (P2008-77114A)	(74) 代理人	100110423
(43) 公開日	平成20年4月3日 (2008.4.3)		弁理士 曾我 道治
審査請求日	平成19年12月13日 (2007.12.13)	(74) 代理人	100084010
(31) 優先権主張番号	2003-098723		弁理士 古川 秀利
(32) 優先日	平成15年12月29日 (2003.12.29)	(74) 代理人	100094695
(33) 優先権主張国	韓国 (KR)		弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 半透過型液晶表示素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素領域を備えて画像を表示するアクティブ領域と、前記アクティブ領域を駆動する駆動回路領域で定義され、前記各画素領域は反射部と透過部に区分される絶縁基板上の前記アクティブ領域に第1半導体層を形成すると共に、前記駆動回路領域に第2半導体層を形成する段階と、

前記第1及び前記第2半導体層を含んでいる全面にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜上に第1及び第2ゲート電極とストレージ電極を形成すると共に、前記第1及び前記第2半導体層に不純物を注入して第1及び第2ソース/ドレイン領域とLD領域を形成する段階と、

前記第1及び第2ゲート電極を含んでいる全面に層間絶縁膜を形成する段階と、

前記層間絶縁膜上に、前記ストレージ電極である下部電極と対向する上部電極となり、ストレージキャパシタンスを構成する透過電極を形成する段階と、

前記透過電極を含んでいる全面に凹凸パターンを有する保護膜を形成する段階と、

前記ゲート絶縁膜及び前記保護膜の所定部位を除去して、前記ソース/ドレイン領域および透過電極が各々露出されるコンタクトホールおよび開放領域を形成する段階と、

前記保護膜上に金属層を積層して、前記コンタクトホールを通して前記第1及び第2ソース/ドレイン領域に接続する第1及び第2ソース/ドレイン電極と、一端が前記第1ドレイン電極に接続され、他端が前記開放領域を通して前記透過電極に接続する反射電極とを同時に形成する段階と

を含み、

前記ゲート絶縁膜上に第 1 及び第 2 ゲート電極とストレージ電極を形成すると共に、前記第 1 及び第 2 ソース/ドレイン領域と L D D 領域を形成する段階は、

前記ゲート絶縁膜上にゲート金属層を蒸着した後、第 1 フォトリソパターンをマスクとして前記ゲート金属層をエッチングして前記第 1 及び第 2 ゲート電極とストレージ電極を形成する段階と、

前記第 1 及び第 2 ゲート電極をマスクとして前記第 1 及び前記第 2 半導体層に n + イオンを注入して第 1 及び第 2 ソース/ドレイン領域を形成する段階と、

前記第 1 フォトリソパターンをアッシングする段階と、

前記アッシングされた第 1 フォトリソパターンをマスクとして前記第 1 及び第 2 ゲート電極とストレージ電極をエッチングする段階と、

前記エッチングされた第 1 及び第 2 ゲート電極をマスクとして前記第 1 及び第 2 ソース/ドレイン領域それぞれの内側に n - イオンを注入して第 1 及び第 2 L D D 領域を形成する段階と、

前記アクティブ領域を第 2 フォトリソパターンでマスクングして、前記第 2 ソース/ドレイン領域に p + イオンを注入する段階と

を含むことを特徴とする半透過型液晶表示素子の製造方法。

【請求項 2】

前記絶縁基板に対向基板を貼り合わせる段階と、

前記両基板間に液晶層を形成する段階とをさらに含んでいる

ことを特徴とする請求項 1 に記載の半透過型液晶表示素子の製造方法。

【請求項 3】

前記凹凸パターンと保護膜は、同時に形成する

ことを特徴とする請求項 1 に記載の半透過型液晶表示素子の製造方法。

【請求項 4】

前記凹凸パターンを有する保護膜を形成する段階であって、

前記保護膜を形成する段階と、

前記保護膜上に有機絶縁物質を塗布する段階と、

前記有機絶縁物質をパターンングして凹凸パターンを形成する段階と

を含んでいることを特徴とする請求項 1 に記載の半透過型液晶表示素子の製造方法。

【請求項 5】

前記有機絶縁物質は、フォトアクリルである

ことを特徴とする請求項 4 に記載の半透過型液晶表示素子の製造方法。

【請求項 6】

前記有機絶縁物質は、B C B (benzocyclobutene) である

ことを特徴とする請求項 4 に記載の半透過型液晶表示素子の製造方法。

【請求項 7】

前記ソース/ドレイン領域および透過電極が各々露出されるコンタクトホールおよび開放領域を形成する段階であって、

前記有機絶縁膜上にフォトリソを塗布してパターンングする段階と、

パターンングされた前記フォトリソの間に露出された前記有機絶縁膜、保護膜、層間絶縁膜およびゲート絶縁膜を一括エッチングしてコンタクトホールを形成し、前記有機絶縁膜および保護膜を一括エッチングして開放領域を形成する段階と

を含んでいることを特徴とする請求項 4 に記載の半透過型液晶表示素子の製造方法。

【請求項 8】

前記ソース/ドレイン領域および透過電極が各々露出されるコンタクトホールおよび開放領域を形成する段階であって、

前記有機絶縁膜上にフォトリソを塗布してパターンングする段階と、

パターンングされた前記フォトリソの間に露出された前記有機絶縁膜をエッチングする段階と、

10

20

30

40

50

パターンニングされた前記フォトリソグラフィおよび有機絶縁膜の間に露出された前記保護膜、層間絶縁膜およびゲート絶縁膜を一括エッチングしてコンタクトホールおよび開放領域を形成する段階と

を含んでいることを特徴とする請求項 4 に記載の半透過型液晶表示素子の製造方法。

【請求項 9】

前記透過電極は、前記ストレージ電極にオーバーラップされるように形成する

ことを特徴とする請求項 1 に記載の半透過型液晶表示素子の製造方法。

【請求項 10】

前記 p + イオンは、B または B F 2 である

ことを特徴とする請求項 1 に記載の半透過型液晶表示素子の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示素子 (LCD) に関し、特に低マスク (low mask) 技術を用いた CMOS - TFT アレイ基板の製造方法に関する。

【背景技術】

【0002】

液晶表示素子は、コントラスト比が大きく、階調表示や動画表示に好適であり、かつ電力消費が低いという特徴のため、平板ディスプレイの中でもその比重が増大している。

【0003】

20

このような液晶表示素子は動作実行のため、基板に駆動素子または配線などの幾つかのパターンを形成するが、パターンを形成するために使用される技術のうち、一般的なものがフォトリソグラフィである。

【0004】

前記方法は、パターンの形成される基板に紫外線により感光する材料であるフォトリソグラフィをコーティングし、光マスクに形成されたパターンをフォトリソグラフィ上に露光して現像し、このようにパターンニングされたフォトリソグラフィをマスクとして活用し望む物質層をエッチングしてから、フォトリソグラフィをストリッピングする一連の複雑な過程からなる。

【0005】

このため、フォトリソグラフィ工程の回数を最小限に減らして生産性を高め、工程のマージンを確保しようと“低マスク技術”に対する研究が盛んに進められている。

30

【0006】

一方、液晶表示素子は、各画素の画素電極に信号を選択的に印加するための薄膜トランジスタ (TFT) と、各画素がアドレッシングされるまで充電状態を保持させるストレージキャパシタが備えられた TFT アレイ基板と、色相表現のためのカラーフィルター層が備えられたカラーフィルター基板と、前記両基板間に封入された液晶層と、前記 TFT アレイ基板を駆動するための駆動回路とを備えて各種外部信号により画像を表示する。

【0007】

この時、半透過型液晶表示素子である場合は、各画素が透過部と反射部に区分されて、前記透過部には透過電極が形成されており、前記反射部には反射電極が形成されているため、液晶に一定の電圧を印加する。

40

【0008】

前記透過部は下部基板を通して入射するバックライトによる光を液晶層に入射させて画像を表示し、前記反射部は外部自然光が明るい時、上部基板を通して入射する外部光を反射させて画像を表示するという点に差がある。

【0009】

また、前記駆動回路は、別途の PCB 基板に形成されて、TCP により前記 TFT 基板に連結される。しかし、最近では前記駆動回路を別途の PCB に形成せず、前記 TFT アレイ基板に形成する方法が提案されている。

【0010】

50

また、前記薄膜トランジスタは、アクティブ領域で各画素を駆動する画素駆動用薄膜トランジスタと、前記画素駆動用薄膜トランジスタを作動させてゲート配線とデータ配線に信号を印加するパッド部領域の駆動回路用薄膜トランジスタに区分される。

【0011】

この時、前記画素駆動用薄膜トランジスタは高速動作が可能なn型TFETとし、前記駆動回路用薄膜トランジスタは前記n型TFETと共に消費電力が優れたp型TFETとして、CMOS薄膜トランジスタを得る。

【0012】

以下、図面を参照にしてCMOS薄膜トランジスタを有する従来の半透過型液晶表示素子の製造方法に対して説明すれば次の通りである。

10

【0013】

先ず、図1aのように、絶縁基板11上にバッファ層52を形成し、前記バッファ層52上に多結晶シリコン層を形成する。そして、前記多結晶シリコン層上に第1フォトリソグロスタ(図示せず)を蒸着し、第1マスクを用いたフォトリソグラフィで第1、第2、第3半導体層54(54a、54b、54c)を形成する。

【0014】

前記多結晶シリコン層を形成する方法は、多結晶シリコンを直接蒸着する方法と、非晶質シリコン(Amorphous Silicon)を蒸着してから、多結晶に結晶化する方法がある。

【0015】

前者の方法としては、550以上の高温状態で蒸着しなければならない低圧化学気相蒸着法(LPCVD法:Low Pressure Chemical Vapor Deposition)と、400以下でSiF<sub>4</sub>/SiH<sub>4</sub>/H<sub>2</sub>の混合ガスを使用して蒸着するプラズマ化学気相蒸着法(PECVD法:Plasma Enhanced Chemical Vapor Deposition)などがあり、後者の方法としては、高温で長時間熱処理して結晶化する固相結晶化法(SPC法:Solid Phase Crystallization)、250程度に加熱しながらエキシマレーザを照射して結晶化するエキシマレーザアニリング法(ELA法:Excimer Laser Annealing)、非晶質シリコン層の上部に金属を蒸着して結晶化を導く金属誘導結晶化法(Metal Induced Crystallization)などがある。

20

【0016】

前記半導体層54は三つの島状にパターンニングされるが、その中、第1、第3半導体層54a、54cには後工程を通して各々n型薄膜トランジスタ(TFT)とp型薄膜トランジスタ(TFT)が形成され、第2半導体層54cには後工程を通してストレージキャパシタが形成される。

30

【0017】

また、図1bのように、絶縁基板11の全面に第2フォトリソグロスタ31を塗布してから、第2マスクを用いた露光および現像工程により、n型TFT領域の第1半導体層54aと、p型TFT領域の第3半導体層54cとを覆うように、前記第2フォトリソグロスタを用いてパターンニングする。

【0018】

その後、基板の全面にストレージドーピングを行い、ストレージ領域の第2半導体層54bに対してストレージドーピング層を形成する。

40

【0019】

また、図1cのように、前記第2フォトリソグロスタ31のパターンを除去し、絶縁基板11の全面にシリコン酸化物(SiO<sub>x</sub>)またはシリコン窒化物(SiN<sub>x</sub>)などの無機絶縁物質を、通常、プラズマ強化型化学蒸気蒸着法(PECVD)により蒸着して、ゲート絶縁膜13を形成する。

【0020】

なお、前記ゲート絶縁膜13上に低抵抗金属層の一例として、銅(Cu)、アルミニウム(Al)、アルミニウムネオジウム(AlNd)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、タンタル(Ta)、モリブデン-タングステン(MoW)などを蒸着

50

し、その上に第3フォトリソレジスト(図示せず)を蒸着してから、第3マスクを用いたフォトリソグラフィで前記各半導体層54a、54b、54c上に第1、第2ゲート12、22およびストレージ電極19を形成する。

【0021】

この時、前記第1、第2ゲート12、22は、今後形成されるn型TF T領域とp型TF T領域での第1、第2チャンネル層14、24と重なるように所定領域に形成し、ストレージ電極19はストレージ領域での第2半導体層54bと重なるように形成する。

【0022】

また、前記第1、第2ゲート電極12、22をマスクとして、前記半導体層54a、54cに低濃度のn型不純物イオンをドーピングし、前記第1、第2ゲート電極12、22の両側の半導体層54a、54cにLDD(Lightly Doped Drain)ドーピング層88を形成する。この時、n型不純物がドーピングされていない第1、第2半導体層54a、54cの領域が第1、第2チャンネル層14、24になる。

【0023】

このように、半導体層の一定部分を低濃度にドーピングしてLDDドーピング層を形成する理由は、その領域での抵抗により接合部位にかかる電界を減少させてオフ電流を減らし、かつオン電流の減少を最小化できるようにするためである。

【0024】

その後、図1dのように、前記第1ゲート電極12を含んでいる全面に第4フォトリソレジスト33を塗布してから、第4マスクを用いた露光および現像工程で第1ゲート電極12の両側のn型TF T領域の第1半導体層54aの一部が露出されるようにパターニングする。これにより、p型TF T領域とストレージ領域とがブロッキングされて当該領域へのイオン注入を防止することができる。

【0025】

また、絶縁基板11の全面にリン(P)などを用いて高濃度のn型不純物イオンをドーピングし、n型TF T領域に第1ソース/ドレイン領域15a、15bを形成する。その後、前記第1ソース/ドレイン領域15a、15bを活性化させる。

【0026】

なお、前記第4フォトリソレジスト33をストリッピングしてから、図1eのように、前記第1、第2ゲート電極12、22を含んでいる全面に第5フォトリソレジスト35を塗布してから、第5マスクを用いた露光およびエッチング工程でp型TF T領域が露出されるようにパターニングする。これにより、n型TF T領域とストレージ領域がブロッキングされて当該領域へのイオン注入を防止できる。

【0027】

その後、絶縁基板11の全面にホウ素(B)などを用いて高濃度のp型不純物イオンをドーピングし、p型TF T領域に第2ソース/ドレイン領域25a、25bを形成する。そして、前記第2ソース/ドレイン領域25a、25bを活性化させる。

【0028】

なお、前記第5フォトリソレジスト35をストリッピングし、図1fに示したように、第1ゲート電極12を含んでいる基板の全面にシリコン酸化物またはシリコン窒化物などの絶縁物質をPECVD法で蒸着して層間絶縁膜23を形成する。

【0029】

また、第6フォトリソレジスト(図示せず)を蒸着し、第6マスクを用いたフォトリソグラフィで前記第1および第2ソース/ドレイン領域15a、15b、25a、25bの所定部位が現れるように、前記ゲート絶縁膜13および層間絶縁膜23を選択的に除去して第1コンタクトホール71を形成する。

【0030】

前記第6フォトリソレジストをストリッピングし、図1gのように、前記第1コンタクトホール71を通して第1および第2ソース/ドレイン領域15a、15b、25a、25bと連結される第1、第2ソース/ドレイン電極15c、15d、25c、25dを形成し

10

20

30

40

50

てn型TFTおよびp型TFTを備えたCMOS薄膜トランジスタを完成する。

【0031】

即ち、前記第1コンタクトホール71に埋め込まれるように、前記層間絶縁膜23を含んでいる全面に銅(Cu)、アルミニウム(Al)、アルミニウムネオジム(AlNd)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、タンタル(Ta)、モリブデン-タングステン(MoW)などの低抵抗金属層と、第7フォトレジスト(図示せず)を順次に蒸着し、第7マスクを用いた露光および現像工程でパターニングして第1、第2ソース/ドレイン電極15c、15d、25c、25dを形成する。

【0032】

これにより、前記第1ゲート電極12、第1ソース/ドレイン電極15c、15d、第1チャンネル層14で構成されて各画素ごとに形成され、前記各画素を駆動するn型TFTと、前記第2ゲート電極22、第2ソース/ドレイン電極25c、25d、第2チャンネル層24で構成されて駆動回路部に形成され、各ゲート配線、データ配線に信号を印加するp型TFTと、前記第2半導体層54b、ゲート絶縁膜13、ストレージ電極19で構成されて各画素ごとに形成されるストレージが完成される。

10

【0033】

前記第7フォトレジストをストリッピングし、図1hのように、前記第1ソース/ドレイン電極15c、15dを含んでいる全面にフオトアクリル樹脂を塗布してから、第8マスクを用いた露光および現像工程で一定間隔のフオトアクリル樹脂パターンを複数形成し、前記フオトアクリル樹脂パターンをリフローさせて球状の第1凹凸パターン90を形成する。したがって、前記第1凹凸パターン90は球状に所定間隔で複数形成される。

20

【0034】

また、図1iのように、前記第1凹凸パターン90を含んでいる全面にシリコン窒化物またはシリコン酸化物などの無機絶縁物質を蒸着したり、またはBCB或いはアクリル系物質のような有機絶縁物質を塗布して保護膜16を形成する。

【0035】

この時、前記保護膜用物質が前記第1凹凸パターン90に沿って蒸着または塗布されるため、保護膜16に第2凹凸パターン92が形成される。

【0036】

また、図1jのように、第9マスクを用いたフォトリソグラフィで、前記第1ドレイン電極15dおよびストレージ電極19が露出されるように、前記保護膜16および層間絶縁膜23をエッチングして第2コンタクトホール81を形成する。

30

【0037】

また、図1kのように、前記保護膜16を含んでいる全面に高反射率金属の一例として、アルミニウム、アルミニウムネオジム、チタンなどを蒸着してから、第10マスクを用いたフォトリソグラフィでパターニングして反射電極17aを形成する。

【0038】

前記反射電極17aは、前記第2凹凸パターン92の表面に沿って形成されるため、反射凹凸を有するようになる。前記の反射凹凸は、外部の自然光を光源として用いる場合、外部の自然光の反射角が局部的に変化して相当量の反射光量を確保するようになる。

40

【0039】

最後に、図1lのように、前記反射電極17aを含んでいる全面にITOまたはIZOなどを蒸着してから、第11マスクを用いるフォトリソグラフィでパターニングして透過電極17bを形成する。

【0040】

この時、前記反射電極17aは各画素の反射部に形成し、前記透過電極17bは各画素の透過部に形成するが、前記反射電極17aの所定部位に前記透過電極17bがコンタクトされて電圧を印加できるようにする。このように形成されたTFTアレイ基板は、通常計11回のマスクを用いて形成する。

【0041】

50

このように、 $n$ 型TFTおよび $p$ 型TFTを含んでいるCMOS-TFTアレイ基板は図示はしないが、カラーフィルター層が形成された対向基板とスペーサをその間におき、シール材により接着する。そして、両基板間に液晶を注入して液晶層を形成し、液晶注入口を封止することにより液晶表示素子を完成する。

【発明の開示】

【発明が解決しようとする課題】

【0042】

しかしながら、従来技術による前記CMOSは、集積度が低く、工程が複雑であるが、消費電力の消耗が低いという長所のため、工程を単純化するための研究が盛んである。このような研究の一つの形態として低マスク技術がある。

10

【0043】

本発明は上記の問題点を解決するためのもので、その目的は、マスクの使用回数を減らすことにより、工程単価を節減し、工程時間を短縮する半透過型液晶表示素子の製造方法を提供することにある。

【課題を解決するための手段】

【0044】

上記目的を達成するために、本発明に係る半透過型液晶表示素子の製造方法は、複数の画素領域を備えて画像を表示するアクティブ領域と、前記アクティブ領域を駆動する駆動回路領域で定義され、前記各画素領域は反射部と透過部に区分される絶縁基板上の前記アクティブ領域に第1半導体層を形成すると共に、前記駆動回路領域に第2半導体層を形成する段階と、前記第1及び前記第2半導体層を含んでいる全面にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜上に第1及び第2ゲート電極とストレージ電極を形成すると共に、前記第1及び前記第2半導体層に不純物を注入して第1及び第2ソース/ドレイン領域とLDD領域を形成する段階と、前記第1及び第2ゲート電極を含んでいる全面に層間絶縁膜を形成する段階と、前記層間絶縁膜上に、前記ストレージ電極である下部電極と対向する上部電極となり、ストレージキャパシタンスを構成する透過電極を形成する段階と、前記透過電極を含んでいる全面に凹凸パターンを有する保護膜を形成する段階と、前記ゲート絶縁膜及び前記保護膜の所定部位を除去して、前記ソース/ドレイン領域および透過電極が各々露出されるコンタクトホールおよび開放領域を形成する段階と、前記保護膜上に金属層を積層して、前記コンタクトホールを通して前記第1及び第2ソース/ドレイン領域に接続する第1及び第2ソース/ドレイン電極と、一端が前記第1ドレイン電極に接続され、他端が前記開放領域を通して前記透過電極に接続する反射電極とを同時に形成する段階とを含み、前記ゲート絶縁膜上に第1及び第2ゲート電極とストレージ電極を形成すると共に、前記第1及び第2ソース/ドレイン領域とLDD領域を形成する段階は、前記ゲート絶縁膜上にゲート金属層を蒸着した後、第1フォトリソパターンをマスクとして前記ゲート金属層をエッチングして前記第1及び第2ゲート電極とストレージ電極を形成する段階と、前記第1及び第2ゲート電極をマスクとして前記第1及び前記第2半導体層に $n$ +イオンを注入して第1及び第2ソース/ドレイン領域を形成する段階と、前記第1フォトリソパターンをアッシングする段階と、前記アッシングされた第1フォトリソパターンをマスクとして前記第1及び第2ゲート電極とストレージ電極をエッチングする段階と、前記エッチングされた第1及び第2ゲート電極をマスクとして前記第1及び第2ソース/ドレイン領域それぞれの内側に $n$ -イオンを注入して第1及び第2LDD領域を形成する段階と、前記アクティブ領域を第2フォトリソパターンでマスクングして、前記第2ソース/ドレイン領域に $p$ +イオンを注入する段階とを含むことを特徴とする。

20

30

40

【発明の効果】

【0045】

本発明の半透過型液晶表示素子の製造方法には次のような効果がある。

【0046】

第1に、ゲートエッチバック技術を用いることにより、1回のマスク使用により高濃度

50

の n 型不純物イオンドーピング段階と、低濃度の n 型不純物イオンドーピング段階と、カウンタドーピング段階とを全て行うことができるようになる。

【 0 0 4 7 】

第 2 に、ストレージキャパシタの下部電極はゲート電極と共に形成し、ストレージキャパシタの上部電極は透過電極を流用することにより、マスクの使用回数を 1 回低減することができる。

【 0 0 4 8 】

第 3 に、ソース/ドレイン電極と反射電極を同時に形成することにより、マスクの使用回数を 1 回低減することができる。

【 0 0 4 9 】

第 4 に、本発明に係る半透過型液晶表示素子は、従来 1 1 回のマスクの使用回数を 7 回に減らすことにより、製造原価を節減して工程時間を減らすことができ、大量生産に効果的である。

【 0 0 5 0 】

第 5 に、反射部と透過部とのセルギャップの差を適度にする。即ち、液晶層を 1 回通過する距離だけ反射部と透過部との保護膜の段差があることにより、反射部に入射する光と透過部に入射する光がスクリーンの表面に同時に到達する。

【 0 0 5 1 】

第 6 に、凹凸パターンが形成された保護膜上に曲率制御のための有機絶縁膜をさらに形成するが、前記保護膜と有機絶縁膜のパターニング工程を別途の過程として行うことにより、保護膜と有機絶縁膜の一括エッチングによる有機絶縁膜の表面の段差の不均一の問題を改善する。

【 発明を実施するための最良の形態 】

【 0 0 5 2 】

以下、本発明に係る半透過型液晶表示素子およびその製造方法の好適な実施の形態について、添付の図面に基づいて詳細に説明する。

【 0 0 5 3 】

第 1 の実施の形態

第 1 の実施の形態の特徴の一つは、有機絶縁膜で保護膜および半球状の凹凸パターンを一体型に形成することである。

【 0 0 5 4 】

図 2 は、本発明の第 1 の実施の形態に係る半透過型液晶表示素子の断面図および I - I ' 線上の平面図であり、図 3 a ないし図 3 i は、本発明の第 1 の実施の形態に係る半透過型液晶表示素子の製造工程を説明するための工程断面図および I - I ' 線上の平面図である。

【 0 0 5 5 】

前記図 2 ないし図 3 i の断面図は、n 型 T F T が形成されるアクティブ領域と p 型 T F T が形成される駆動回路部領域に区分して示されており、前記アクティブ領域に限って平面図が示されている。

【 0 0 5 6 】

まず、第 1 の実施の形態に係る半透過型液晶表示素子の T F T アレイ基板は、図 2 に示したように、複数の各画素領域に n 型 T F T を備えて画素を表示するアクティブ領域 ( I - I ' ) と、前記アクティブ領域を駆動するために n 型 T F T および p 型 T F T を備える駆動回路領域に定義される。この時、前記アクティブ領域の各画素領域は、反射部と透過部に区分されて外部光を光源に使用したり、またはバックライトを光源に使用したりする。

【 0 0 5 7 】

前記アクティブ領域には、第 1 ソース/ドレイン領域 1 1 5 a、1 1 5 b を備えた第 1 半導体層 1 5 4 a と、前記第 1 半導体層 1 5 4 a を含んでいる全面に形成されたゲート絶縁膜 1 1 3 と、前記ゲート絶縁膜 1 1 3 上で一列に形成されたゲート配線 1 1 2 a と、前

10

20

30

40

50

記ゲート配線 112a から分岐されて前記第 1 半導体層 154a の上部にオーバーラップされる第 1 ゲート電極 112 と、前記ゲート配線 112a に平行するように同一層に形成されてキャパシタの下部電極の役割をするストレージ電極 119 と、前記ゲート配線 112a を含んでいる全面に形成された層間絶縁膜 123 と、前記層間絶縁膜 123 の透過部に形成される透過電極 117b と、前記透過電極 117b を含んでいる全面に形成されてその表面に凹凸パターン 190 を一体型に備えた保護膜 116 と、前記保護膜上で前記第 1 ソース/ドレイン領域 115a、115b に接続する第 1 ソース/ドレイン電極 115c、115d と、前記第 1 ソース電極 115c と一体型に形成されて前記ゲート配線 112a に対して垂直交差するデータ配線 115e と、前記保護膜 116 の反射部で前記第 1 ドレイン電極 115d と一体型に形成されて前記凹凸パターン 190 に沿って反射凹凸を有し、透過部の開放領域 181 で前記透過電極 117b がコンタクトされる反射電極 117a とが備えられる。

10

## 【0058】

この時、前記第 1 ソース/ドレイン領域 115a、115b は n 型不純物でドーピングされて、前記第 1 半導体層 154a、ゲート絶縁膜 113、第 1 ゲート電極 112、第 1 ソース/ドレイン電極 115c、115d が n 型 T F T を構成する。前記第 1 ソース/ドレイン領域 115a、115b の内側には L D D 層 188 をさらに含んでいる。

## 【0059】

そして、前記透過電極 117b は、前記ストレージ電極 119 にオーバーラップされてキャパシタの上部電極の役割をするため、前記ストレージ電極 119 と透過電極 117b と、その間に介在された層間絶縁膜 123 とがストレージキャパシタを構成する。

20

## 【0060】

また、前記保護膜 116 は透過部で除去されて透過部の開放領域 181 を有する。この時、前記保護膜 116 は、液晶セルの段差だけの厚さで形成され、透過部で除去されて透過部の開放領域 181 を形成する。したがって、透過部の透過電極 117b が反射部の反射電極 117a より液晶セルの段差だけ低い位置に形成される。

## 【0061】

一方、前記駆動回路領域には、前記の構造を有する n 型 T F T 以外に、p 型 T F T がさらに備えられるが、前記 p 型 T F T は、p 型不純物でドーピングされた第 2 ソース/ドレイン領域 125a、125b を有する第 2 半導体層 154b と、前記第 2 半導体層 154b の上部に形成されるゲート絶縁膜 113 と、前記ゲート絶縁膜 113 上の第 2 ゲート電極 122 と、前記第 2 ゲート電極 122 に絶縁されて前記第 2 ソース/ドレイン領域 125a、125b にコンタクトされる第 2 ソース/ドレイン電極 125c、125d とを含んで構成される。

30

## 【0062】

前記半透過型液晶表示素子の製造工程は次の通りである。

先ず、図 3a のように、絶縁基板 111 上に非晶質シリコン ( a - S i : H ) を S i H<sub>4</sub> と H<sub>4</sub> との混合ガスを用いたプラズマ化学気相蒸着法で蒸着してから、その上にレーザーなどで熱を加えて急速に熔融および凝固させることにより、非晶質シリコンを多結晶シリコンに結晶化する。

40

## 【0063】

また、第 1 フォトリソグラフィおよび第 1 マスクを用いたフォトリソグラフィで、二つの島状にパターニングして第 1、第 2 半導体層 154 ( 154a、154b ) を形成する。

## 【0064】

この時、前記第 1 半導体層 154a は、n 型薄膜トランジスタ ( T F T ) が形成される領域に位置させ、前記第 2 半導体層 154b は p 型薄膜トランジスタ ( T F T ) が形成される領域に位置させる。

## 【0065】

図示はしないが、前記半導体層 154 の形成以前に、前記絶縁基板 111 の全面に化学気相蒸着法などでバッファ層 ( 図示せず ) をさらに形成してもよい。

50

## 【0066】

このようなバッファ層は、シリコン酸化物 ( $\text{SiO}_x$ ) のような絶縁物質で形成可能であるが、後工程において異物質が半導体層 154 に浸透することを防止し、非晶質シリコン層の結晶化過程における高温より絶縁基板 111 を保護して、絶縁基板 111 に対する半導体層 154 の接触特性を改善させる役割をする。

## 【0067】

また、前記半導体層 154 を含んでいる全面にシリコン酸化物 ( $\text{SiO}_x$ ) またはシリコン窒化物 ( $\text{SiN}_x$ ) などの無機絶縁物質をプラズマ強化型化学蒸気蒸着法で蒸着してゲート絶縁膜 113 を形成する。

## 【0068】

その後、図 3 b のように、前記ゲート絶縁膜 113 の上部に低抵抗金属層の一例として、銅 ( $\text{Cu}$ )、アルミニウム ( $\text{Al}$ )、アルミニウムネオジウム ( $\text{AlNd}$ )、モリブデン ( $\text{Mo}$ )、クロム ( $\text{Cr}$ )、チタン ( $\text{Ti}$ )、タンタル ( $\text{Ta}$ )、モリブデン - タングステン ( $\text{MoW}$ ) などを蒸着し、その上に第 2 フォトレジスト 131 を塗布する。

## 【0069】

それから、前記第 2 フォトレジスト 131 を第 2 マスクを用いた露光および現像工程でパターニングしてから、前記低抵抗金属層をエッチングして第 1、第 2 ゲート電極 112、122 およびストレージ電極 119 を形成する。

## 【0070】

この時、前記第 1、第 2 ゲート電極 112、122 は走査信号を伝達するゲート配線 112a と同時に形成する。

## 【0071】

また、図 3 c のように、前記第 2 フォトレジスト 131 をアッシング (ashing) して第 2 フォトレジスト 131 パターンの厚さと幅をゲート電極に比べて縮小させる。縮小された第 2 フォトレジスト 131、第 1、第 2 ゲート電極 112、122 をマスクとして前記第 1、第 2 半導体層 154 a、154 b に高濃度の n 型不純物をイオン注入する。

## 【0072】

即ち、リン ( $\text{P}$ ) イオンまたは砒素 ( $\text{As}$ ) イオンをドーピングすることにより、n 型 TFT 領域および p 型 TFT 領域に n 型ドーピング層である第 1、第 2 ソース/ドレイン領域 115 a、115 b、125 a、125 b を形成する。そして、第 1 ソース/ドレイン領域 115 a、115 b を活性化させる。

## 【0073】

この時、n 型イオンが注入されていない第 1、第 2 半導体層 154 a、154 b は第 1、第 2 チャネル層 114、124 になる。

## 【0074】

一方、p 型 TFT にイオン注入して形成された n 型ドーピング層は後工程である p 型不純物イオン注入時の p 型ドーピング層に変わるようになる。

## 【0075】

また、図 3 d のように、縮小された第 2 フォトレジスト 131 をマスクとして、第 1、第 2 ゲート電極 112、122 をエッチ - バック技術で側壁からエッチングする。このように、エッチ - バック技術によりエッチングされた領域だけ後工程で LDD ドーピング層 188 になる。

## 【0076】

そして、両側壁が少しエッチングされた第 1、第 2 ゲート電極 112、122 をマスクとして第 1、第 2 半導体層 154 a、154 b に低濃度の n 型不純物イオンをドーピングする。

## 【0077】

n - ドーピング層である LDD ドーピング層 188 は第 1、第 2 ゲート電極 112、122 に隣接した n + ドーピング層である第 1、第 2 ソース/ドレイン領域 115 a、115 b、125 a、125 b の内側に形成されて、接合部位にかかる電界を減少させてオフ

10

20

30

40

50

電流を減らす役割をする。

【0078】

また、前記第2フォトレジスト131をストリッピングし、図3eのように、前記第1、第2ゲート電極112、122およびストレージ電極119を含んでいる全面に第3フォトレジスト133を塗布してから、p型TFT領域が露出されるように第3マスクを用いた露光および現像工程で前記第3フォトレジスト133をパターニングする。

【0079】

その後、絶縁基板111の全面にホウ素(B)イオンまたは $BF_2$ イオンなどのp+イオンをカウンタードーピング(counter doping)してp型TFT領域の第2ソース/ドレイン領域125a、125bをp型に変える。そして、第2ソース/ドレイン領域125a、125bを活性化させる。

10

【0080】

この時、ドーピングしない第2半導体層154bは第2チャンネル層124になり、第3フォトレジスト133によりブロッキングされた残った領域にはイオンが注入されない。

【0081】

前記のカウンタードーピングは、LDDイオン注入時、使用される不純物と反対のタイプで、所定の角度をもってドーピングを行い、LDD領域の基板の濃度を高めることを言う。このように、LDDイオンの注入時、追加してカウンタードーピングを行う理由はパンチスルー(punch-through)現象を解決するためのものである。

【0082】

20

前記パンチスルー現象は、短チャンネル効果(short channel effect)のため発生する問題点で、前記短チャンネル効果とは、素子の集積度が高まるにつれて素子の大きさが小さくなり、また内部の電界が大きくなって長期間にわたり安定的にデバイスを作動させ難いことをいう。

【0083】

その後、前記第3フォトレジスト層133をストリッピングし、図3fに示したように、前記第1ゲート電極112を含んでいる基板の全面にシリコン酸化物またはシリコン窒化物などの絶縁物質をPECVD法で蒸着して層間絶縁膜123を形成する。

【0084】

また、前記層間絶縁膜123を含んでいる全面に透明な導電物質であるITOまたはIZOなどを蒸着してから、第4マスクを用いたフォトリソグラフィでパターニングして透過電極117bを形成する。

30

【0085】

この時、ストレージ電極119の上部にオーバーラップされた前記透過電極117bはストレージ電極119およびその間に介在された層間絶縁膜123と共にストレージキャパシタになる。したがって、ストレージキャパシタを形成するための追加工程は不要である。

【0086】

また、図3gのように、前記透過電極117bを含んでいる全面にフォトアクリル樹脂、BCBなどの有機絶縁物質を厚く塗布してから、第5マスクを用いたフォトリソグラフィで一体型の保護膜116と凹凸パターン190を形成する。前記保護膜116は液晶セルギャップの差ほどの段差を有する。

40

【0087】

この時、前記保護膜116と凹凸パターン190とを同時に形成するために、回折露光したり、またはネガティブフォトアクリル樹脂とポジティブフォトアクリル樹脂とを積層してポジティブフォトアクリル樹脂だけエッチングし、凹凸パターンを形成してもかまわない。

【0088】

前記凹凸パターン190は半球状で、所定間隔で複数形成される。この時、前記凹凸パターン190の曲率制御のために前記有機絶縁物質を所定時間アッシングしてリフロー

50

させることもできる。

【0089】

また、図3hのように、第6マスクを用いたフォトリソグラフィで、前記ゲート絶縁膜113、層間絶縁膜123および保護膜116の所定部位を除去してn型TF Tおよびp型TF Tの第1、第2ソース/ドレイン領域115a、115b、125a、125bが露出されるように、第1コンタクトホール171を形成し、これと共に前記保護膜116の所定部位を除去して前記透過電極117bの大部分が露出されるように透過部の開放領域181を形成する。

【0090】

この時、前記保護膜116により透過部の液晶セルギャップは反射部の液晶セルギャップより2倍程度大きくなるように構成するが、これは反射部と透過部との光効率を均一にするためのものである。

10

【0091】

一方、前記ゲート絶縁膜113、層間絶縁膜123および保護膜116をエッチングするためには通常、ドライエッチングを行うが、ドライエッチング工程はガスを高真空状態のエッチングチャンバーの内部に噴射してから、プラズマ状態に変形して陽イオンまたはラジカルが被エッチング層の所定領域をエッチングするようにさせる方法で、絶縁膜をエッチングする時に使用し、パターンの精密度が相対的に優れる。

【0092】

前記ドライエッチング技術はプラズマを形成する方法により、PE (Plasma Etching)、RIE (Reactive Ion Etching)、MERIE (Magnetically Enhanced Reactive Ion Etching)、ECR (Electron Cyclotron Resonance)、TCP (Transformer Coupled Plasma)などのモードに分けることができるが、このうちの液晶表示素子の製造工程ではPE、RIEモードを主に用いる。

20

【0093】

最後に、図3iのように、前記凹凸パターン190が搭載されている前記保護膜116上に高反射率を有して抵抗が低い金属層を蒸着し、第7マスクを用いたフォトリソグラフィでパターンニングして第1、第2ソース/ドレイン電極115c、115d、125c、125dおよび反射電極117aを同時に形成する。

【0094】

30

前記反射電極117aは、透過部の開放領域181を通して透過電極117bと接続され、前記凹凸パターン190の表面に沿って形成されるため、半球状の反射凹凸を複数有するようになる。前記の反射凹凸は、外部の自然光を光源として使用する場合、外部の自然光の反射角を局部的に変化させて反射光量を相当量確保することにより視野角を広げさせる。

【0095】

また、前記金属層は銅(Cu)、アルミニウム(Al)、アルミニウムネオジム(AlNd)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、タンタル(Ta)、モリブデン-タングステン(MoW)などにする。

【0096】

40

この時、前記第1ソース/ドレイン電極115c、115dの形成時、前記ゲート配線112aに交差するデータ配線115eを同時に形成する。垂直交差する前記ゲート配線112aおよびデータ配線115eは各画素領域を定義する。

【0097】

また、前記第1、第2ソース/ドレイン電極115c、115d、125c、125dは前記第1、第2ソース/ドレイン領域115a、115b、125a、125bに接続させて、前記第1ソース電極115aは前記データ配線115eと一体型に形成し、前記第1ドレイン電極115bは前記反射電極117aと一体型に形成する。

【0098】

このように、ソース/ドレイン電極と反射電極を同時に形成することにより、マスクの

50

使用回数を1回低減することができる。

【0099】

これにより、前記第1ゲート電極112、第1ソース/ドレイン電極115c、115d、第1チャンネル層114で構成されて、各画素ごとに形成され、前記各画素を駆動するn型TFTと、前記第2ゲート電極122、第2ソース/ドレイン電極125c、125d、第2チャンネル層124で構成されて駆動回路部に形成され、各ゲート配線、データ配線に信号を印加するp型TFTを備えたCMOS薄膜トランジスタが完成される。

【0100】

このように形成されたCMOS-TFTアレイ基板は通常、計7回のマスクを使用してn型TFTおよびp型TFTを含んでいるアレイ基板を形成する。

10

【0101】

第2の実施の形態

第2の実施の形態の特徴の一つは、有機絶縁膜で球状の凹凸パターンを形成してから、前記凹凸パターン上に有機絶縁膜をさらに形成することを特徴とする。したがって、第2の実施の形態に係る半透過型液晶表示素子は、凹凸パターンの上部に有機絶縁膜がさらに備えられること以外は、前記第1の実施の形態に係る液晶表示素子の構造と類似する。

【0102】

図4は、本発明の第2の実施の形態に係る半透過型液晶表示素子の工程断面図およびII-II'線上の平面図であり、図5aないし図5jは、本発明の第2の実施の形態に係る半透過型液晶表示素子の製造工程を説明するための工程断面図およびII-II'線上の平面図である。

20

【0103】

前記図4ないし図5jの工程断面図は、n型TFTが形成されるアクティブ領域(II-II')とp型TFTが形成される駆動回路部領域に区分して示されており、前記アクティブ領域に限って平面図が示されている。

【0104】

まず、第2の実施の形態に係る半透過型液晶表示素子は、図4に示したように、複数の各画素領域にn型TFTを備えて画像を表示するアクティブ領域(I-I')と、前記アクティブ領域を駆動するためにn型TFTおよびp型TFTを備える駆動回路領域と定義される。

30

【0105】

具体的に、第1、第2ソース/ドレイン領域215a、215b、225a、225bを各々備えた第1、第2半導体層254a、254bと、前記第1、第2半導体層254a、254bを含んでいる全面に形成されたゲート絶縁膜213と、前記ゲート絶縁膜213上に形成されたゲート配線212aと、前記ゲート配線212aから分岐されて前記第1、第2半導体層254a、254bの上部に各々オーバーラップされる第1、第2ゲート電極212、222と、前記ゲート配線212aに平行するように同一層に形成されるストレージ電極219と、前記ゲート配線212aを含んでいる全面に形成された層間絶縁膜223と、前記層間絶縁膜223の透過部に形成される透過電極217bと、前記透過電極217bを含んでいる全面に形成された保護膜216と、前記保護膜216の表面に形成された凹凸パターン290と、前記凹凸パターン290の曲率制御のために全面に形成された有機絶縁膜361と、前記有機絶縁膜361上で前記第1、第2ソース/ドレイン領域215a、215b、225a、225bに各々接続する第1、第2ソース/ドレイン電極215c、215d、225c、225dと、前記第1ソース電極215cと一体型に形成されて前記ゲート配線212aに対して垂直交差するデータ配線215eと、前記保護膜216の反射部で前記第1ドレイン電極215dと一体型に形成されて前記凹凸パターン290に沿って反射凹凸を有する反射電極217aとが備えられる。

40

【0106】

この時、前記第1ソース/ドレイン領域215a、215bは、n型不純物でドーピングされて、前記第1半導体層254a、ゲート絶縁膜213、第1ゲート電極212、第

50

1ソース/ドレイン電極215c、215dがn型TF Tを構成し、前記第2ソース/ドレイン領域225a、225bはp型不純物でドーピングされて、前記第2半導体層254b、ゲート絶縁膜213、第2ゲート電極222、第1ソース/ドレイン電極225c、225dがp型TF Tを構成する。

【0107】

そして、前記透過電極217bは前記ストレージ電極219にオーバーラップされてストレージキャパシタを構成する。

【0108】

また、前記保護膜216および有機絶縁膜316の積層膜の液晶セルの段差だけの厚さで形成され、透過部で除去されて透過部の開放領域281を形成する。前記透過部の透過電極217bと反射部の反射電極217aは前記透過部の開放領域281でコンタクトされる。

10

【0109】

前記半透過型液晶表示素子の製造工程は次の通りである。

第2の実施の形態の工程段階は、図3fに示したように、層間絶縁膜を形成する段階まで第1の実施の形態の工程段階と同一または類似する。

【0110】

具体的には次の通りである。

まず、図5aのように、絶縁基板211上に非晶質シリコンを $SiH_4$ と $H_2$ との混合ガスを用いたプラズマ化学気相蒸着法で蒸着してから、前記非晶質シリコンを多結晶シリコンに結晶化する。

20

【0111】

また、第1フォトリソグラフィおよび第1マスクを用いたフォトリソグラフィで、二つの島状にパターンニングして第1、第2半導体層254(254a、254b)を形成する。

【0112】

この時、前記第1半導体層254aはn型薄膜トランジスタ(TF T)が形成される領域に位置させ、前記第2半導体層254bはp型薄膜トランジスタ(TF T)が形成される領域に位置させる。

【0113】

その後、前記半導体層254を含んでいる全面にシリコン酸化物( $SiO_x$ )またはシリコン窒化物( $SiN_x$ )などの無機絶縁物質をプラズマ強化型化学蒸気蒸着法で蒸着してゲート絶縁膜213を形成する。

30

【0114】

また、図5bのように、前記ゲート絶縁膜213の上部に低抵抗金属層の一例として、銅(Cu)、アルミニウム(Al)、アルミニウムネオジウム(AlNd)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、タンタル(Ta)、モリブデン-タングステン(MoW)などを蒸着し、その上に第2フォトリソグラフィ231を塗布する。

【0115】

その後、前記第2フォトリソグラフィ231を第2マスクを用いたフォトリソグラフィでパターンニングしてから、前記低抵抗金属層をHF、BOE、 $NH_4F$ またはこれらの混合溶液でウェットエッチングして第1、第2ゲート電極212、222およびストレージ電極219を形成する。

40

【0116】

この時、前記第1、第2ゲート電極212、222は走査信号を伝達するゲート配線212aと同時に形成する。

【0117】

また、図5cのように、前記第2フォトリソグラフィ231をアッシングして第2フォトリソグラフィ231パターンの厚さと幅を縮小させ、縮小された第2フォトリソグラフィ231、第1、第2ゲート電極212、222をマスクとして前記第1、第2半導体層254a、254bに高濃度のn型不純物をイオン注入して、n型TF T領域およびp型TF T領域に

50

n型ドーピング層である第1、第2ソース/ドレイン領域215a、215b、225a、225bを形成する。

【0118】

この時、p型TFETにイオン注入して形成されたn型ドーピング層は後工程であるp型不純物イオン注入時p型ドーピング層と変えるようになる。

【0119】

また、図5dのように、縮小された第2フォトレジスト231をマスクにして、第1、第2ゲート電極212、222をエッチ-バック技術で側壁からエッチングしてから、前記第1、第2半導体層254a、254bに低濃度のn型不純物イオンをドーピングしてn-ドーピング層であるLDDドーピング層288を形成する。

10

【0120】

そして、前記第2フォトレジスト231をストリッピングし、図5eのように、基板の前面に第3フォトレジスト233を塗布してから、p型TFET領域が露出されるように第3マスクを用いた露光および現像工程で前記第3フォトレジスト233をパターニングする。

【0121】

その後、絶縁基板211の全面にp+イオンをカウンタードーピングしてp型TFET領域の第2ソース/ドレイン領域225a、225bをp型に変わる。この時、ドーピングされていない第2半導体層254bは第2チャンネル層224になる。

【0122】

20

また、前記第3フォトレジスト層233をストリッピングし、図5fに示したように、前記第1ゲート電極212を含んでいる基板の全面に層間絶縁膜223を形成し、前記層間絶縁膜223を含んでいる全面に透明な導電物質であるITOまたはIZOなどを蒸着してから、第4マスクを用いたフォトリソグラフィでパターニングして透過電極217bを形成する。

【0123】

この時、ストレージ電極219の上部にオーバーラップされた前記透過電極217bはストレージ電極219およびその間に介在する層間絶縁膜223と共にストレージキャパシタになる。したがって、ストレージキャパシタを形成するための追加工程は不要である。

30

【0124】

また、図5gのように、前記透過電極217bを含んでいる全面に保護膜216を蒸着してから、その上にフォトアクリル樹脂、BCBなどの有機絶縁物質を厚く塗布して第5マスクを用いるフォトリソグラフィで前記フォトアクリル樹脂をパターニングして球状の凹凸パターン290を複数形成する。

【0125】

前記凹凸パターン290は各画素の全領域に対してもれなく形成しても良く、反射部にだけ形成しても良い。但し、前記凹凸パターン290によりバックライトから分光される光の輝度が劣る恐れがあるため、反射部にだけ形成することが望ましい。

【0126】

40

この時、前記凹凸パターン290の曲率制御のため、前記フォトアクリル樹脂パターンを所定時間の間、アッシングしてリフローさせることもある。

【0127】

また、図5hのように、前記凹凸パターン290を含んでいる全面に誘電率が低いBCBまたはアクリル樹脂などの有機絶縁物質を塗布して前記凹凸パターン290の表面に沿って有機絶縁膜316を形成する。

【0128】

前記有機絶縁膜316は、前記凹凸パターン290を保護し、凹凸パターン290の曲率を制御する役割をする。

【0129】

50

また、図5 iのように、前記第6マスクを用いたフォトリソグラフィで、前記ゲート絶縁膜213、層間絶縁膜223、保護膜216および有機絶縁膜316を一括エッチングしてn型TFTおよびp型TFTの第1、第2ソース/ドレイン領域215a、215b、225a、225bが露出されるように第1コンタクトホール271を形成し、それと同時に前記保護膜216および有機絶縁膜316の所定部位を除去して前記透過電極217bの大部分が露出されるように透過部の開放領域281を形成する。

【0130】

この時、前記保護膜216および有機絶縁膜316の段差だけ透過部と反射部との位置の差があるが、前記保護膜216および有機絶縁膜316が液晶層ほど段差を有するため、透過部が反射部より液晶層の段差だけ下方に位置する。したがって、反射部に入射する光と透過部に入射する光とはスクリーンの表面に同時に到達するようになる。

10

【0131】

即ち、外部から反射部に入射する光は液晶層を2回通過してスクリーンの表面に到達するようになり、バックライトから透過部に入射する光は液晶層の段差を有する保護膜および有機絶縁膜を透過してから、液晶層を通過してスクリーンの表面に到達するようになるため、同時に到達するものである。

【0132】

一方、前記ゲート絶縁膜213、層間絶縁膜223、保護膜216、有機絶縁膜316をエッチングするためには通常、ドライエッチングを行うが、ドライエッチング工程はガスを高真空状態のエッチングチャンバーの内部に噴射してから、プラズマ状態に変形して陽イオンまたはラジカルが非エッチング層の所定領域をエッチングするようにする方法であって、絶縁膜をエッチングする時に使用し、パターンの精密度が相対的に優れる。

20

【0133】

最後に、図5 jのように、前記有機絶縁膜316を含んでいる全面に高反射率を有し、抵抗が低い金属層を蒸着し、第7マスクを用いたフォトリソグラフィ技術でパターニングして第1、第2ソース/ドレイン電極215c、215d、225c、225dおよび反射電極217aとを同時に形成する。

【0134】

前記反射電極217aは、透過部の開放領域281を通して透過電極217bと接続され、前記凹凸パターン290の表面に沿って形成されるため、半球状の反射凹凸を複数有する。前記の反射凹凸は外部の自然光を光源として使用する場合、外部の自然光の反射角を局部的に変化させて反射光量を相当量確保するようになる。

30

【0135】

また、前記金属層は銅(Cu)、アルミニウム(Al)、アルミニウムネオジム(AlNd)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、タンタル(Ta)、モリブデン-タングステン(MoW)などにする。

【0136】

この時、前記第1ソース/ドレイン電極215c、215dの形成時、前記ゲート配線212aに交差するデータ配線215eを同時に形成する。垂直交差する前記ゲート配線212aおよびデータ配線215eは各画素領域を定義する。

40

【0137】

また、前記第1、第2ソース/ドレイン電極215c、215d、225c、225dは前記第1、第2ソース/ドレイン領域215a、215b、225a、225bに接続させて、前記第1ソース電極215aは前記データ配線215eと一体型に形成し、前記第1ドレイン電極215bは前記反射電極217aと一体型に形成する。

【0138】

このように、ソース/ドレイン電極と反射電極を同時に形成することにより、マスクの使用回数を1回低減することができる。

【0139】

これにより、前記第1ゲート電極212、第1ソース/ドレイン電極215c、215

50

d、第1チャネル層214で構成されて、各画素ごとに形成され、前記各画素を駆動するn型TFETと、前記第2ゲート電極222、第2ソース/ドレイン電極225c、225d、第2チャネル層225で構成されて駆動回路部に形成され、各ゲート配線、データ配線に信号を印加するp型TFETを備えたCMOS薄膜トランジスタが完成される。この時、前記駆動回路部にはn型TFETがさらに形成される。

【0140】

このように形成されたCMOS-TFETアレイ基板は通常、計7回のマスクを使用してn型TFETおよびp型TFETを含んでいるアレイ基板を形成する。

【0141】

第3の実施の形態

第3の実施の形態の特徴の一つは、保護膜上に有機絶縁膜で球状の凹凸パターンを形成してから、前記凹凸パターン上に有機絶縁膜をさらに形成することを特徴とするが、前記保護膜および有機絶縁膜にコンタクトホールを形成する工程を互いに異なるエッチング工程で行うことを特徴とする。

【0142】

これは、前記保護膜と有機絶縁膜を一括エッチングしてコンタクトホールを形成する前記第2の実施の形態とその方法において相異なる。

【0143】

図6aないし図6dは、本発明の第3の実施の形態に係る半透過型液晶表示素子の製造工程を説明するための工程断面図およびIII-III'線上の平面図である。

【0144】

第3の実施の形態は、前記第2の実施の形態に係る半透過型液晶表示素子の製造方法と類似する。特に、凹凸パターンが形成された保護膜上に無機絶縁膜を形成する段階までは第2の実施の形態の工程段階と同一である。

【0145】

具体的には次の通りである。但し、有機絶縁膜を形成する段階までの説明は第2の実施の形態と同一であるため省略する。

【0146】

まず、図6aのように、凹凸パターン590が形成された保護膜516を含んでいる全面に誘電率が低いBCBまたはアクリル樹脂などの有機絶縁物質を塗布して前記凹凸パターン590の表面に沿って有機絶縁膜616を形成する。

【0147】

前記有機絶縁膜(616)は、前記凹凸パターン590を保護し、凹凸パターン590の曲率を制御する役割をする。

【0148】

前記図6bのように、第6マスクを用いたフォトリソグラフィで前記有機絶縁膜616を選択的に除去して保護膜516の所定部位が露出される第1コンタクトホール571および透過部の開放領域581を形成する。この時、有機絶縁物質で形成された凹凸パターン590も選択的に除去される。

【0149】

また、図6cのように、前記パターンされた有機絶縁膜616をマスクにして、保護膜516、層間絶縁膜523、ゲート絶縁膜513を選択的に除去することにより、n型TFETおよびp型TFETの第1、第2ソース/ドレイン領域515a、515b、525a、525bが露出される第1コンタクトホール571を形成する。

【0150】

それと共に、前記透過部の開放領域581の保護膜516を選択的に除去することにより、透過電極517bの大部分が露出される透過部の開放領域581を形成する。

【0151】

前記のように、第3の実施の形態では、有機絶縁膜616のパターニング工程と、有機絶縁膜616の下部層である保護膜516、層間絶縁膜523、ゲート絶縁膜513のバ

10

20

30

40

50

ターニング工程を互いに異なるエッチング工程で行うことを特徴とする。

【0152】

このように、有機絶縁膜、保護膜、層間絶縁膜、ゲート絶縁膜の一括エッチングにより有機絶縁膜の表面の段差が不均一になる問題点を解決することができる。一括エッチングするようになれば、工程時間が長くなり、有機絶縁膜の表面にドライエッチングガスによる衝突が多くなるため、その表面の段差が不均一になるものである。また、一括エッチングするための工程制御の難しさも解決できる。

【0153】

最後に、図6dのように、前記有機絶縁膜616を含んでいる全面に高反射率を有し、抵抗が低い銅(Cu)、アルミニウム(Al)、アルミニウムネオジム(AlNd)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、タンタル(Ta)、モリブデン-タングステン(MoW)などの金属層を蒸着し、第7マスクを用いたフォトリソグラフィ技術でパターンングして第1、第2ソース/ドレイン電極515c、515d、525c、525dおよび反射電極517aを同時に形成する。

10

【0154】

前記反射電極517aは、透過部の開放領域581を通して透過電極517bと接続し、前記凹凸パターン590の表面に沿って形成されるため、半球状の反射凹凸を複数有するようになる。

【0155】

この時、前記第1ソース/ドレイン電極515c、515dの形成時、前記ゲート配線512aに交差するデータ配線515eを同時に形成する。垂直交差する前記ゲート配線512aおよびデータ配線515eは各画素領域を定義する。

20

【0156】

また、前記第1、第2ソース/ドレイン電極515c、515d、525c、525dは前記第1、第2ソース/ドレイン領域515a、515b、525a、525bに接続し、前記第1ソース電極515aは前記データ配線515eと一体型に形成し、前記第1ドレイン電極515bは前記反射電極517aと一体型に形成する。

【0157】

これにより、前記第1ゲート電極512、第1ソース/ドレイン電極515c、515d、第1チャンネル層514で構成されて各画素領域または駆動回路部に形成されるn型TFTと、前記第2ゲート電極522、第2ソース/ドレイン電極525c、525d、第2チャンネル層524で構成されて駆動回路部に形成されるp型TFTを備えたCMOS薄膜トランジスタが完成される。

30

【0158】

このように形成されたCMOS-TFTアレイ基板は第2の実施の形態に係るアレイ基板とその構造が同一であり、通常計7回のマスクを使用して完成される。

【0159】

このように、多様な薄膜トランジスタ(TFT)が形成されたアレイ基板は図示はしないが、前記アレイ基板にカラーフィルター層およびコモン電極が形成された対向基板を対向して貼り合わせた後、前記両基板間に液晶層を形成し、液晶注入口をシールすることにより液晶表示素子を完成することができる。

40

【0160】

一方、以上で説明した本発明は上述した実施形態および添付した図面に限定されるものではなく、本発明の技術的思想を逸脱しない範囲内で複数の置換、変形および変更が可能であることが本発明が属する技術分野で通常の知識を有する者において明白である。

【図面の簡単な説明】

【0161】

【図1a】従来技術に係る半透過型液晶表示素子の工程断面図である。

【図1b】図1aに続く工程断面図である。

【図1c】図1bに続く工程断面図である。

50

【図 1 d】図 1 c に続く工程断面図である。

【図 1 e】図 1 d に続く工程断面図である。

【図 1 f】図 1 e に続く工程断面図である。

【図 1 g】図 1 f に続く工程断面図である。

【図 1 h】図 1 g に続く工程断面図である。

【図 1 i】図 1 h に続く工程断面図である。

【図 1 j】図 1 i に続く工程断面図である。

【図 1 k】図 1 j に続く工程断面図である。

【図 1 l】図 1 k に続く工程断面図である。

【図 2】本発明の第 1 の実施の形態に係る半透過型液晶表示素子の断面図および I - I ' 線上の平面図である。 10

【図 3 a】本発明の第 1 の実施の形態に係る半透過型液晶表示素子の製造工程を説明するための工程断面図および I - I ' 線上の平面図である。

【図 3 b】図 3 a に続く工程断面図および I - I ' 線上の平面図である。

【図 3 c】図 3 b に続く工程断面図および I - I ' 線上の平面図である。

【図 3 d】図 3 c に続く工程断面図および I - I ' 線上の平面図である。

【図 3 e】図 3 d に続く工程断面図および I - I ' 線上の平面図である。

【図 3 f】図 3 e に続く工程断面図および I - I ' 線上の平面図である。

【図 3 g】図 3 f に続く工程断面図および I - I ' 線上の平面図である。

【図 3 h】図 3 g に続く工程断面図および I - I ' 線上の平面図である。 20

【図 3 i】図 3 h に続く工程断面図および I - I ' 線上の平面図である。

【図 4】本発明の第 2 の実施の形態に係る半透過型液晶表示素子の工程断面図および II - II ' 線上の平面図である。

【図 5 a】本発明の第 2 の実施の形態に係る半透過型液晶表示素子の製造工程を説明するための工程断面図および II - II ' 線上の平面図である。

【図 5 b】図 5 a に続く工程断面図および II - II ' 線上の平面図である。

【図 5 c】図 5 b に続く工程断面図および II - II ' 線上の平面図である。

【図 5 d】図 5 c に続く工程断面図および II - II ' 線上の平面図である。

【図 5 e】図 5 d に続く工程断面図および II - II ' 線上の平面図である。

【図 5 f】図 5 e に続く工程断面図および II - II ' 線上の平面図である。 30

【図 5 g】図 5 f に続く工程断面図および II - II ' 線上の平面図である。

【図 5 h】図 5 g に続く工程断面図および II - II ' 線上の平面図である。

【図 5 i】図 5 h に続く工程断面図および II - II ' 線上の平面図である。

【図 5 j】図 5 i に続く工程断面図および II - II ' 線上の平面図である。

【図 6 a】本発明の第 3 の実施の形態に係る半透過型液晶表示素子の製造工程を説明するための工程断面図および III - III ' 線上の平面図である。

【図 6 b】図 6 a に続く工程断面図および III - III ' 線上の平面図である。

【図 6 c】図 6 b に続く工程断面図および III - III ' 線上の平面図である。

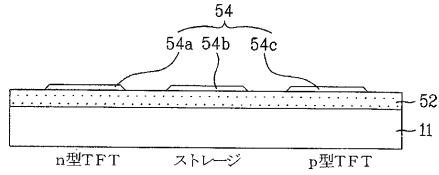
【図 6 d】図 6 c に続く工程断面図および III - III ' 線上の平面図である。

【符号の説明】 40

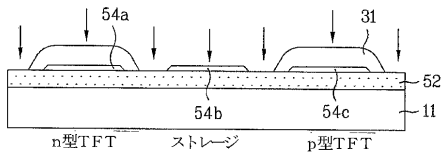
【 0 1 6 2 】

1 1 1 絶縁基板、1 1 2 ゲート電極、1 1 4 チャネル層、1 1 5 a、1 1 5 b ソース/ドレイン領域、1 1 5 c、1 1 5 d ソース/ドレイン電極、1 1 7 a 反射電極、1 1 7 b 透過電極、1 1 9 ストレージ電極、1 3 1、1 3 3 第 1、第 2 フォトリジスト、1 5 4 半導体層、1 7 1 第 1 コンタクトホール、1 8 1 透過部の開放領域、1 8 8 LDD ドーピング層、1 9 0 凹凸パターン。

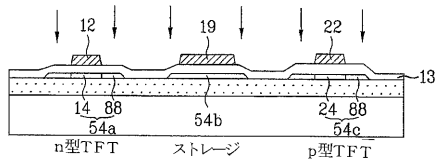
【図 1 a】



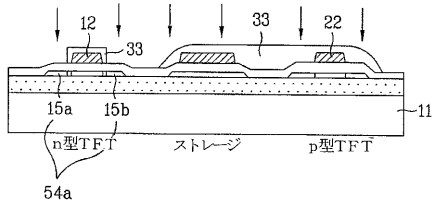
【図 1 b】



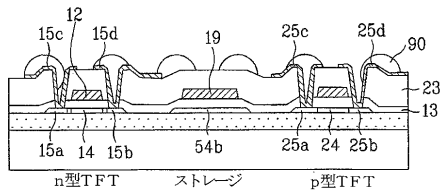
【図 1 c】



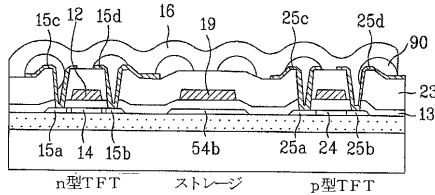
【図 1 d】



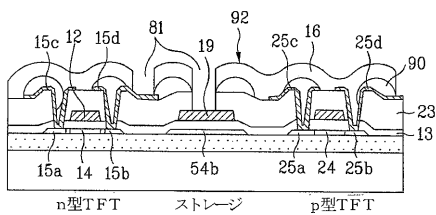
【図 1 h】



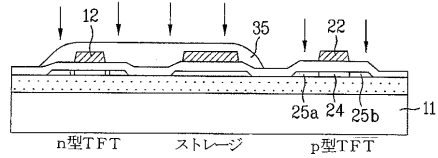
【図 1 i】



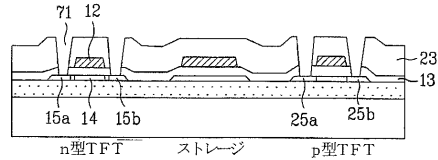
【図 1 j】



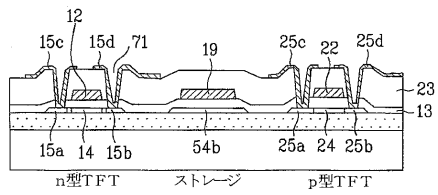
【図 1 e】



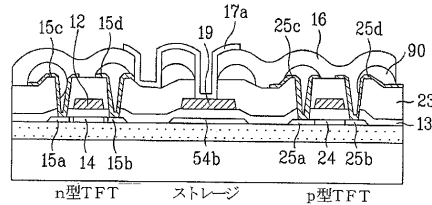
【図 1 f】



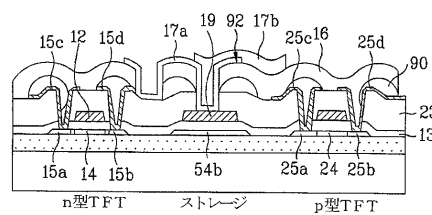
【図 1 g】



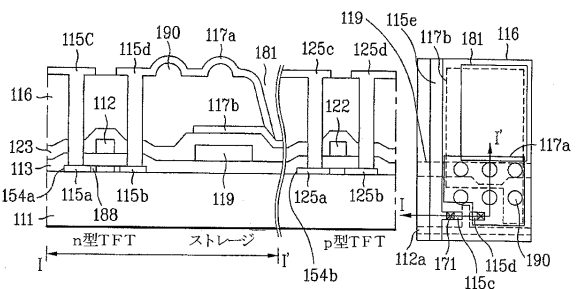
【図 1 k】



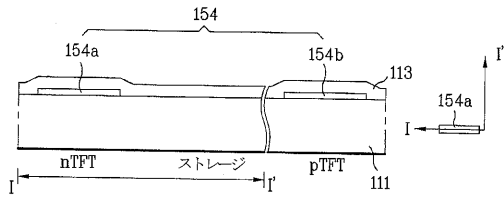
【図 1 l】



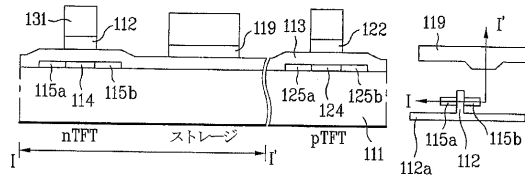
【図 2】



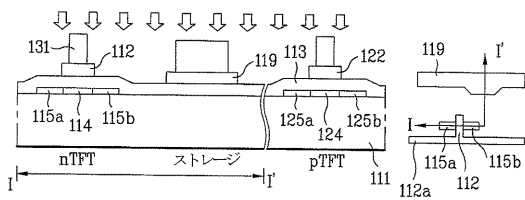
【図 3 a】



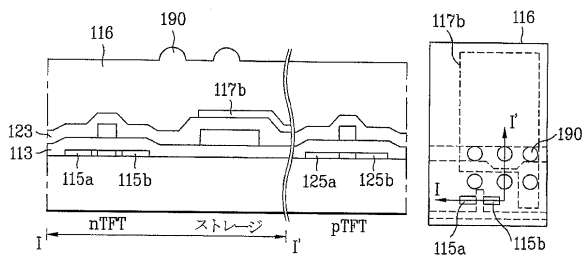
【図 3 b】



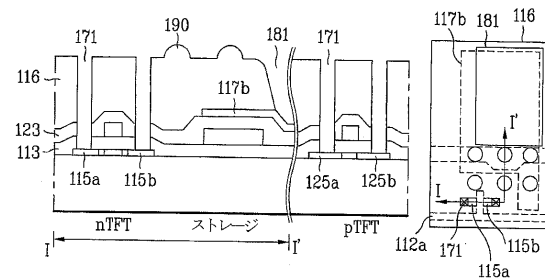
【図 3 c】



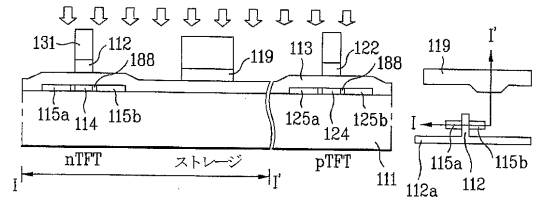
【図 3 g】



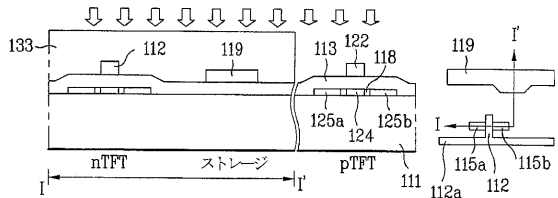
【図 3 h】



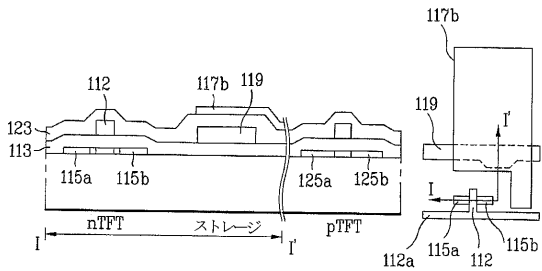
【図 3 d】



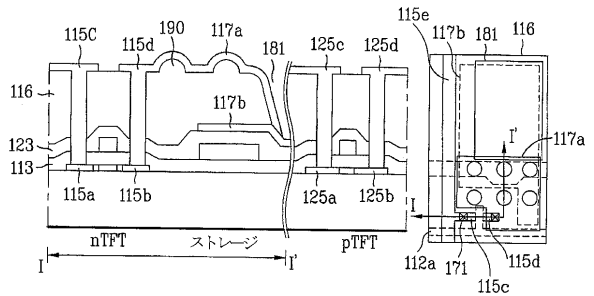
【図 3 e】



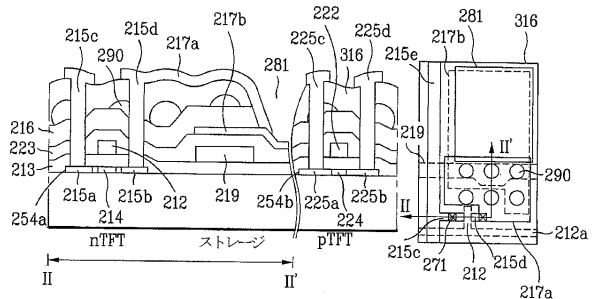
【図 3 f】



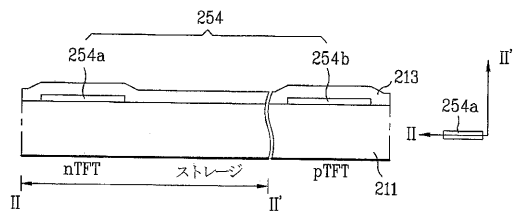
【図 3 i】



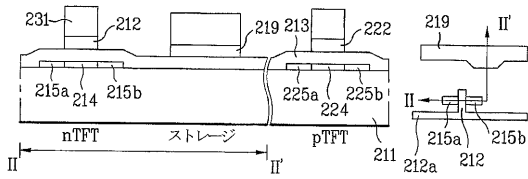
【図 4】



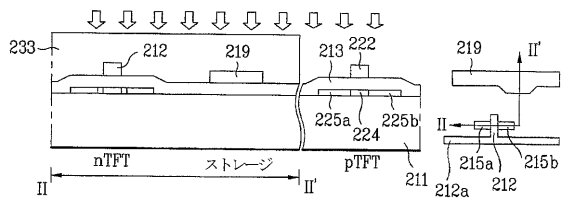
【図 5 a】



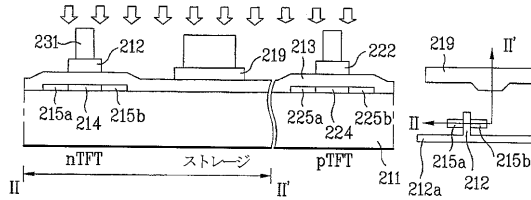
【図 5 b】



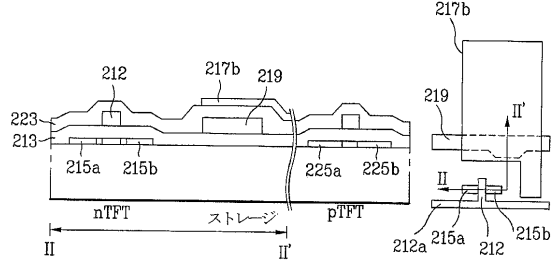
【図 5 e】



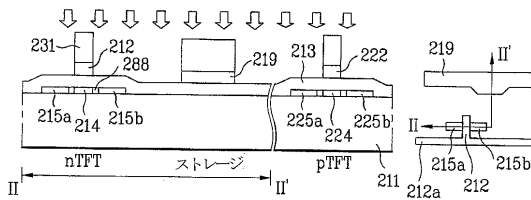
【図 5 c】



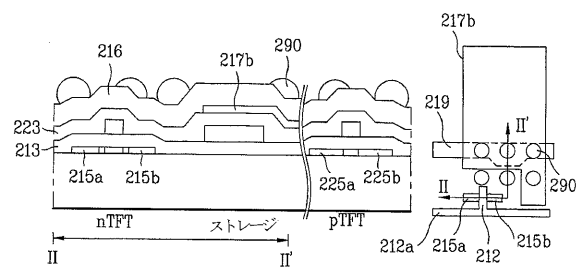
【図 5 f】



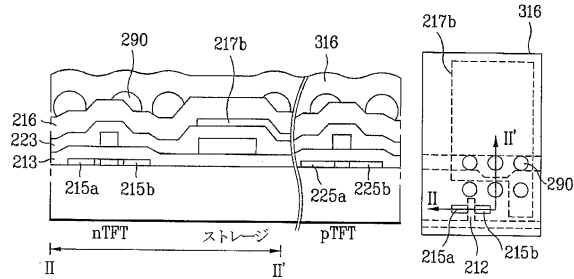
【図 5 d】



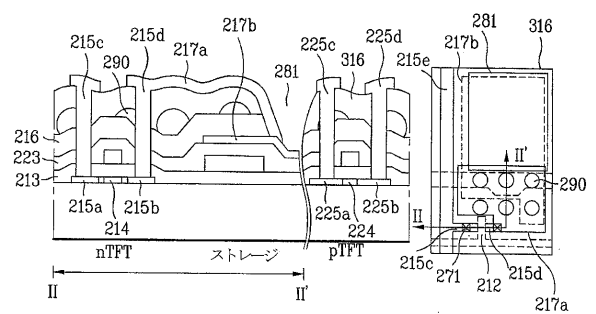
【図 5 g】



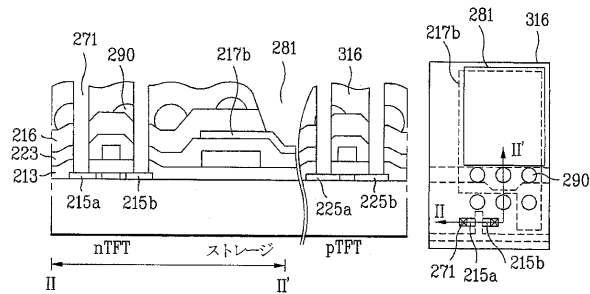
【図 5 h】



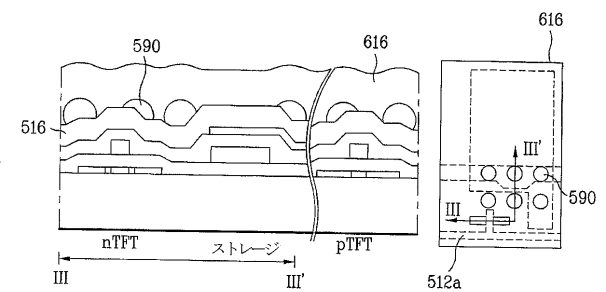
【図 5 j】



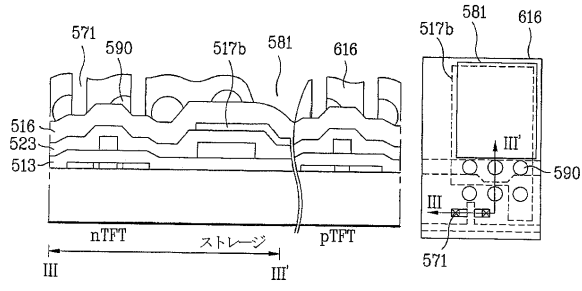
【図 5 i】



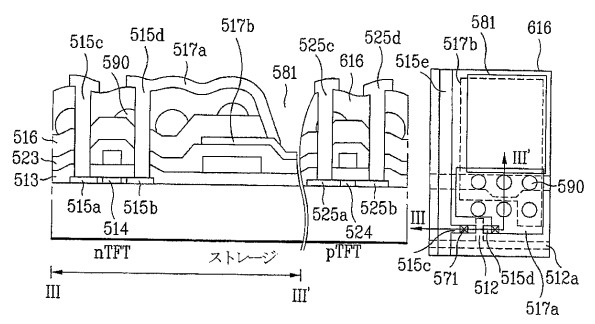
【図 6 a】



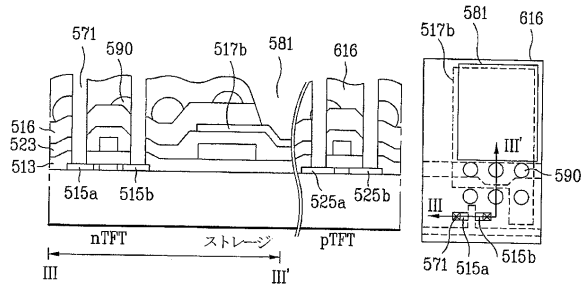
【図 6 b】



【図 6 d】



【図 6 c】



---

フロントページの続き

- (72)発明者 梁 ジュン榮  
大韓民国京畿道富川市遠美區上1洞ヘンボクハン - マウル、ソヘ・アパートメント 2407 - 1  
303
- (72)発明者 朴 容仁  
大韓民国ソウル陽川區新月洞987 - 1、新月市營アパートメント 15 - 1004
- (72)発明者 張 相民  
大韓民国京畿道安養市東安區冠陽洞、ヒョンデ・アイ - スペース 1412
- (72)発明者 崔 秀石  
大韓民国京畿道河南市草一洞224 - 5
- (72)発明者 金 商鉉  
大韓民国京畿道安養市萬安區石水洞415 - 1、石水エルジー・ヴィレッジ 401 - 503

審査官 山口 裕之

- (56)参考文献 特開2003 - 14968 (JP, A)  
特開2000 - 305099 (JP, A)  
特開2003 - 186030 (JP, A)  
特開2003 - 315766 (JP, A)  
特開2001 - 324723 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1 / 1368  
G02F 1 / 1343

专利名称(译)	制造半透射液晶显示元件的方法		
公开(公告)号	<a href="#">JP4764869B2</a>	公开(公告)日	2011-09-07
申请号	JP2007318708	申请日	2007-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	梁ジュン榮 朴容仁 張相民 崔秀石 金商鉉		
发明人	梁 ジュン榮 朴 容仁 張 相民 崔 秀石 金 商鉉		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1335 G02F1/136 G02F1/1362 H01L21/20 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L27/13 H01L29/786		
CPC分类号	G02F1/13454 G02F1/133555 G02F1/136213 G02F2001/136231 H01L27/1255 H01L27/1288 H01L29 /78621		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA29 2H092/GA59 2H092/HA03 2H092/HA05 2H092/JA25 2H092/JA28 2H092 /JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JA47 2H092/JB07 2H092/JB57 2H092/JB58 2H092/JB61 2H092/JB69 2H092/KA04 2H092/KA10 2H092/KA18 2H092/KB04 2H092/KB24 2H092 /KB25 2H092/MA04 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA27 2H092/NA26 2H092/NA27 2H192/AA24 2H192/BC31 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB02 2H192 /DA12 2H192/FB15 2H192/HA84		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	山口博之		
优先权	1020030098723 2003-12-29 KR		
其他公开文献	JP2008077114A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种制造反射型液晶显示元件的方法，该方法通过减少掩模的使用次数来缩短处理时间以降低处理单价。  
 ŽSOLUTION：反射型液晶显示元件包括：基板，其被定义为具有多个像素区域并显示图像的有源区域和驱动有源区域的驱动电路区域，并且每个像素区域被分成反射零件和传动部件；第一和第二半导体层具有分别形成在各个像素区和驱动电路区中的第一和第二源/漏区；形成栅极绝缘膜在包括第一和第二半导体层的整个表面上；第一和第二栅电极形成在第一和第二半导体层上的栅极绝缘膜

上，存储电极形成在像素区中;在基板的整个表面上形成的层间绝缘膜;形成在层间绝缘膜的像素区域中的透射电极;在包括传输电极的整个表面上形成的保护膜;以及在反射部分处形成在保护膜上的反射电极和连接到第一源/漏区的第一和第二源/漏电极之间形成的液晶层，和与之相对的反基板基质。

【图 1 j】

