

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4761681号
(P4761681)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl.

F I

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 O

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 1 1 A

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 6 1 2 U

請求項の数 6 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2001-294269 (P2001-294269)
(22) 出願日 平成13年9月26日(2001.9.26)
(65) 公開番号 特開2002-196306 (P2002-196306A)
(43) 公開日 平成14年7月12日(2002.7.12)
審査請求日 平成20年9月11日(2008.9.11)
(31) 優先権主張番号 特願2000-305642 (P2000-305642)
(32) 優先日 平成12年10月5日(2000.10.5)
(33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 小山 潤
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 熱海 知昭
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内
(72) 発明者 三宅 博之
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、

n ビット(n は自然数、 $n \geq 2$)のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

前記画素部における1つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する n 個の記憶回路と、D/A変換回路とを有し、

前記DACコントローラには、複数の固定電位が入力され、

前記DACコントローラは、複数のラッチ回路を有し、前記ラッチ回路に記憶された選択情報に応じて前記複数の固定電位のうち少なくとも1つを選択して前記画素に入力し、前記選択情報は、一定周期毎に書き換えられることを特徴とする液晶表示装置。

【請求項2】

ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、

n ビット(n は自然数、 $n \geq 2$)のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

前記画素部における1つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する n 個の記憶回路と、D/A変換回路とを有し、

前記 n 個の記憶回路は、1フレーム分の前記 n ビットのデジタル映像信号を記憶でき、

10

20

前記 D A C コントローラには、複数の固定電位が入力され、

前記 D A C コントローラは、複数のラッチ回路を有し、前記ラッチ回路に記憶された選択情報に応じて前記複数の固定電位のうち少なくとも 1 つを選択して前記画素に入力し、
前記選択情報は、一定周期毎に書き換えられることを特徴とする液晶表示装置。

【請求項 3】

ソース信号線駆動回路と、ゲート信号線駆動回路と、D A C コントローラと、画素部とを有し、

n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

前記画素部における 1 つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する n 個の記憶回路と、D / A 変換回路とを有し、

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、前記 n ビットのデジタル映像信号の保持を行う手段と、

前記 D / A 変換回路によって出力されたアナログ階調信号によって映像の表示を行う手段と、を有し、

前記 D A C コントローラには、複数の固定電位が入力され、

前記 D A C コントローラは、複数のラッチ回路を有し、前記ラッチ回路に記憶された選択情報に応じて前記複数の固定電位のうち少なくとも 1 つを選択して前記画素に入力し、
前記選択情報は、一定周期毎に書き換えられることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか 1 項において、

静止画像の表示期間においては、前記 D A C コントローラのみを駆動して、

前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D / A 変換を行ってアナログ階調信号を得、

前記アナログ階調信号によって映像の表示を行うことにより、

前記ソース信号線駆動回路および前記ゲート信号線駆動回路のそれぞれを停止することを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項において、

前記ソース信号線駆動回路は X アドレスデコーダを有し、

前記ゲート信号線駆動回路は Y アドレスデコーダを有し、

表示領域内の任意の座標の画素において前記記憶回路の書き換えが可能であることを特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、

前記複数の固定電位は、高圧側階調電源線の電位と低圧側階調電源線の電位とを含み、

前記高圧側階調電源線の電位と前記低圧側階調電源線の電位とが同電位である期間を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置および表示装置の駆動回路に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型表示装置およびアクティブマトリクス型表示装置の駆動回路に関する。その中で特に、映像ソースとしてデジタル映像信号を用いるアクティブマトリクス型液晶表示装置およびアクティブマトリクス型液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】

10

20

30

40

50

近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ(以下TFTと表記する)を用いたアクティブマトリクス型表示装置が普及してきている。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【0003】

さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、液晶表示装置は不可欠なデバイスとなってきている。

10

【0004】

通常のデジタル方式のアクティブマトリクス型液晶表示装置の概略図を、図14(A)に示す。基板1401の中央に画素部1404が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路1402が配置されている。画素部の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1403が配置されている。なお、図14(A)においては、ゲート信号線駆動回路1403は、画素部の左右両側に対称配置されているが、片側配置でも構わない。ただし、両側配置とした方が、駆動効率、駆動信頼性の面から見て望ましい。各駆動回路への外部からの信号入力は、フレキシブルプリントサーキット(Flexible Print Circuit: FPC)1405を介して行われる。

20

【0005】

図14(B)は、図14(A)において、画素部1404内で、点線枠1406で囲まれた2×2画素の部分の回路図を拡大したものである。1つの画素は、ソース信号線1451、ゲート信号線1452、画素TFT1453、液晶1454、保持容量1455を有する。

【0006】

ソース信号線駆動回路1402は、例えば図15に示すような構成をしている。図15に例として示す駆動回路は、3ビットデジタル階調の表示に対応したソース信号線駆動回路であり、シフトレジスタ回路(SR)1501、第1のラッチ回路(LAT1)1502、第2のラッチ回路(LAT2)1503、D/A(デジタル/アナログ)変換回路(Digital/Analog Converter: DAC)1504等を有する。なお、図15では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

30

【0007】

図15を用いて動作について簡単に説明する。まず、シフトレジスタ回路1501にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次サンプリングパルスが出力される。続いて、サンプリングパルスは第1のラッチ回路1502に入力され、そのタイミングにおいて、同じく第1のラッチ回路1502に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。ここで、D2が最上位ビット(Most Significant Bit: MSB)、D0が最下位ビット(Least Significant Bit: LSB)である。第1のラッチ回路1502において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1502で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路1503へと転送される。

40

【0008】

その後、再びシフトレジスタ回路1501が動作し、次の水平周期分のデジタル映像信号の保持が開始される。一方で、同時に、第2のラッチ回路1503で保持されているデジタル映像信号は、D/A変換回路1504にてアナログ映像信号へと変換される。このアナログ化されたデジタル映像信号は、ソース信号線を経由して、ゲート信号線(Gate Line)が選択状態にある行の画素1505に書き込まれる。この動作を繰り返すことによって、画像の表示が行われる。

50

【 0 0 0 9 】

【 発明が解決しようとする課題 】

一般的なアクティブマトリクス型液晶表示装置においては、動画の表示をスムーズに行うため、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1フレーム毎に同一の信号を供給し続けなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【 0 0 1 0 】

静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は1フレーム毎に外部の記憶回路から液晶表示装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

10

【 0 0 1 1 】

特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【 0 0 1 2 】

本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における外部回路、信号線駆動回路などの消費電力を低減することを課題とする。

【 0 0 1 3 】

20

【 課題を解決するための手段 】

前述した課題を解決するために、本発明では次のような手段を用いた。

【 0 0 1 4 】

1つの画素は、デジタル映像信号の各ビットを記憶するための記憶回路と、D/A変換回路とを有し、ソース信号線から入力されるデジタル映像信号は、一旦記憶回路に保持され、D/A変換されて液晶を駆動する。静止画の場合、一度記憶回路にてデジタル映像信号の記憶がなされて以降は、画素に書き込まれる情報は同様であるから、フレーム毎にデジタル映像信号の更新を行わなくとも、記憶回路に記憶されているデジタル映像信号を読み出して、静止画を表示することが出来る。すなわち、静止画表示を行っている間は、最初の1フレーム分のみのデジタル映像信号の処理動作を行って以降は、画素内のD/A変換回路によって、記憶回路に記憶されているデジタル映像信号を処理し、画素に書き込みを行う。よって、その間は駆動回路の大部分を停止させたままでの表示が可能である。その結果、消費電力の大幅な低減に寄与する。本発明を使用した液晶表示装置においては、従来100[mW]程度であった消費電力を、10[mW]程度に低減することが可能となった。

30

【 0 0 1 5 】

以下に、本発明の表示装置の構成について記載する。

【 0 0 1 6 】

本発明の液晶表示装置の第1の特徴は、

ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、

40

nビット(nは自然数、 $n \geq 2$)のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

前記画素部における1つの画素はそれぞれ、前記nビットのデジタル映像信号を記憶する、1ビット×n個の記憶回路と、D/A変換回路とを有することを特徴としている。

【 0 0 1 7 】

本発明の液晶表示装置の第2の特徴は、

ソース信号線駆動回路と、ゲート信号線駆動回路と、DACコントローラと、画素部とを有し、

nビット(nは自然数、 $n \geq 2$)のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

50

前記画素部における１つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する、 $1\text{ビット} \times n$ 個の記憶回路と、 D/A 変換回路とを有し、
前記記憶回路は、１フレーム分の前記 n ビットのデジタル映像信号を記憶することを特徴としている。

【００１８】

本発明の液晶表示装置の第３の特徴は、
ソース信号線駆動回路と、ゲート信号線駆動回路と、 DAC コントローラと、画素部とを有し、

n ビット(n は自然数、 $n \geq 2$)のデジタル映像信号を用いて映像の表示を行う液晶表示装置において、

前記画素部における１つの画素はそれぞれ、前記 n ビットのデジタル映像信号を記憶する、 $1\text{ビット} \times n$ 個の記憶回路と、 D/A 変換回路とを有し、

前記液晶表示装置は、

クロック信号とスタートパルスとに従って、サンプリングパルスを出力する手段と、

前記サンプリングパルスに従って、前記デジタル映像信号の保持を行う手段と、

前記保持されたデジタル映像信号を、記憶する手段と、

前記記憶された前記デジタル映像信号を読み出し、 D/A 変換を行ってアナログ階調信号を得る手段と、

前記アナログ階調信号によって映像の表示を行う手段と、

を有することを特徴としている。

【００１９】

本発明の液晶表示装置の第４の特徴は、

前記ソース信号線駆動回路は、デジタル映像信号をビット毎に順次入力することを特徴としている。

【００２０】

本発明の液晶表示装置の第５の特徴は、

前記ゲート信号線駆動回路は、ゲート信号線を介して、１画素中の前記記憶回路を、１水平期間中にビット毎に順次駆動することを特徴としている。

【００２１】

本発明の液晶表示装置の第６の特徴は、

前記 DAC コントローラには、複数の固定電位が入力され、前記複数の固定電位のうちいずれか１つもしくは複数を選択して画素に供給することを特徴としている。

【００２２】

本発明の液晶表示装置の第７の特徴は、

前記 DAC コントローラは、複数のラッチ回路を有し、

前記ラッチ回路に記憶された選択情報に応じて前記複数の固定電位のうちいずれか１つもしくは複数を選択することを特徴としている。

【００２３】

本発明の液晶表示装置の第８の特徴は、

前記選択情報は、一定周期毎に書き換えられることを特徴としている。

【００２４】

本発明の液晶表示装置の第９の特徴は、

前記記憶回路はスタティック型メモリ($SRAM$)であることを特徴としている。

【００２５】

本発明の液晶表示装置の第１０の特徴は、

前記ソース信号線駆動回路と、ゲート信号線駆動回路と、 DAC コントローラとは画素部と同一基板上に形成されていることを特徴としている。

【００２６】

本発明の液晶表示装置の第１１の特徴は、

前記ソース信号線駆動回路、前記ゲート信号線駆動回路、または前記 DAC コントローラ

10

20

30

40

50

は

外部回路であることを特徴としている。

【 0 0 2 7 】

本発明の液晶表示装置の第 1 2 の特徴は、

静止画像の表示期間においては、前記 D A C コントローラのみを駆動して、

前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D / A 変換を行ってアナログ階調信号を得、

前記アナログ階調信号によって映像の表示を行うことにより、

前記ソース信号線駆動回路および前記ゲート信号線駆動回路を停止することを特徴としている。

10

【 0 0 2 8 】

本発明の液晶表示装置の第 1 3 の特徴は、

静止画像の表示期間においては、前記 D A C コントローラのみを駆動して、

前記記憶回路に記憶されたデジタル映像信号を繰り返し読み出し、D / A 変換を行ってアナログ階調信号を得、

前記アナログ階調信号によって映像の表示を行うことにより、

前記 D A C コントローラを含まない外部回路を停止することを特徴としている。

【 0 0 2 9 】

本発明の液晶表示装置の第 1 4 の特徴は、

前記ソース信号線駆動回路は X アドレスデコーダを有し、

前記ゲート信号線駆動回路は Y アドレスデコーダを有し、

前記記憶回路は、表示領域内の任意の座標の画素において書き換えが可能であることを特徴としている。

20

【 0 0 3 0 】

本発明の液晶表示装置の第 1 5 の特徴は、

前記記憶回路は、ガラス基板上に形成されていることを特徴としている。

【 0 0 3 1 】

本発明の液晶表示装置の第 1 6 の特徴は、

前記記憶回路は、プラスチック基板上に形成されていることを特徴としている。

【 0 0 3 2 】

本発明の液晶表示装置の第 1 7 の特徴は、

前記記憶回路は、ステンレス基板上に形成されていることを特徴としている。

30

【 0 0 3 3 】

本発明の液晶表示装置の第 1 8 の特徴は、

前記記憶回路は、単結晶ウェハ上に形成されていることを特徴としている。

【 0 0 3 4 】

【 発明の実施の形態 】

本発明の実施の形態について説明する。なお、ここでは具体的に説明するために、デジタル映像信号の階調が 3 ビットである場合を例とするが、本発明は 3 ビットに限定されるわけではなく、同様の方法で n ビットのデジタル映像信号への対応が可能である。

40

【 0 0 3 5 】

図 1 は、本発明の表示装置の画素部についての回路図を示している。点線枠 1 0 0 で囲まれた部分が 1 画素であり、隣接した 3 画素でそれぞれ R、G、B のカラーフィルタを有し、カラー画像の表示を行う。1 画素は、ソース信号線 1 0 1、第 1 のゲート信号線 1 0 2、第 2 のゲート信号線 1 0 3、第 3 のゲート信号線 1 0 4、第 1 の画素 T F T 1 0 5、第 2 の画素 T F T 1 0 6、第 3 の画素 T F T 1 0 7、第 1 の記憶回路 1 0 8、第 2 の記憶回路 1 0 9、第 3 の記憶回路 1 1 0、階調電源選択用 T F T 1 1 1 ~ 1 1 6、低圧側階調電源線 (V_L) 1 1 7 ~ 1 1 9、高圧側階調電源線 (V_H) 1 2 0 ~ 1 2 2、第 1 の D A C 用容量 1 2 3、第 2 の D A C 用容量 1 2 4、第 3 の D A C 用容量 1 2 5、画素部リセット信号線 1 2 6、画素部リセット用 T F T 1 2 7、保持容量 1 2 8、中間階調電源線 (V_M) 1 2 9

50

、コモン電源線 130、および液晶素子(LC)を有する。各部の動作については後述する。

【0036】

ここで、DAC用容量123～125をそれぞれ $C_{123} \sim C_{125}$ とすると、それらの容量比は4:2:1となっている。3ビットのデジタル映像信号によって、充電される容量が決定し、その組み合わせによって8段階の電荷が充電される。これによって、液晶素子に印加される電圧の制御が行われる。

【0037】

図2は、本発明の表示装置のソース信号線駆動回路についての回路図を示している。ここでは、カラーQVGAの表示装置を例とし、水平方向画素数が960画素(320×RGB 10

【0038】

図示したソース信号線駆動回路は、シフトレジスタ201、NAND回路202、バッファ203、レベルシフタ204、第1のラッチ回路205、第2のラッチ回路206、画素207等を有する。

【0039】

シフトレジスタ201は、図5(A)に示すような構成をしている。図5(A)中、各信号の入出力に付した番号41～51は、同図にあるブロック図の入出力ピンに付した番号41～51に対応する。ここで用いるシフトレジスタは、サンプリングパルスを順次出力するシフトレジスタ部と、差動増幅回路を用いたレベルシフタ部とを有している。 20

【0040】

NAND回路202、バッファ203に関しては、一般的なものを用いれば良いので、ここでは説明を省略する。

【0041】

レベルシフタ204は、外部ソースから供給されるデジタル映像信号の電圧振幅の変換を行うものである。図5(B)に示すような構成をしており、12個のレベルシフタ回路(図5(B)のブロック図中、Unitと表記)と、電流源(図5(B)のブロック図中Sup.と表記)を有している。それぞれの回路図も同時に図5(B)に示す。12本の信号線より入力されるデジタル映像信号(RGB×4相)は、それぞれのレベルシフタによって電圧振幅の変換を受け、ビデオ信号線へと出力される。 30

【0042】

第1のラッチ回路205および第2のラッチ回路206は、図6(A)に示すような構成をしている。各信号の入出力に付した番号59～61は、同図にあるブロック図の入出力ピンに付した番号59～61に対応する。

【0043】

ソース信号線駆動回路の動作について説明する。図7に、タイミングチャートを示した。701は1水平期間、702は水平帰線期間を表す。なお、回路図は前出の図2を参照する。スタートパルス(S-SP)、クロック信号(S-CLK)の入力によって、シフトレジスタ201は順次サンプリングパルスを出力する。その後、NAND回路202、バッファ203を通り、第1のラッチ回路205においてラッチ動作を行うためのパルスとなる。第1のラッチ回路205では、デジタル映像信号を、先のサンプリングパルスのタイミングに従って順次ラッチしていく。図2で示したソース信号線駆動回路は、RGB3色、ビデオ4分割であるので、1つのサンプリングパルスのタイミングで、12段の第1のラッチ回路205がラッチ動作を同時に行う。水平方向1列全てのラッチ動作が終了すると、帰線期間中にラッチパルス(S-LAT)が入力され、そのタイミングに従って、一斉に第1のラッチ回路205から第2のラッチ回路206へのデジタル映像信号が転送される。なお、図2に示したシフトレジスタ201～第2のラッチ回路206は、1水平期間内に3回、前述の動作を行い、3ビットデジタル映像信号を順次処理する。 40

【0044】

本発明の液晶表示装置におけるソース信号線駆動回路においては、図7に示すように、ビ 50

ット毎のデータを順次入力する構成となっており、ここではD 2、D 1、D 0の順にデータの入力を行っている。このような構成とすることで、ソース信号線駆動回路のラッチ回路の数を減らすことが可能である。

【 0 0 4 5 】

図 3 は、本発明の表示装置のゲート信号線駆動回路についての回路図を示している。ここでは、カラーQ V G Aの表示装置を例とし、垂直方向画素数が2 4 0画素であるとして図示している。なお、本発明の液晶表示装置においては、デジタル映像信号の階調が3ビットの場合、1画素あたり3本のゲート信号線を用いて制御される。よって図 3 においては、ゲート信号線の本数は $2\ 4\ 0 \times 3 = 7\ 2\ 0$ 本となっている。すなわち、本発明によってnビットデジタル階調を実現するには、1画素あたりn本のゲート信号線を用い、図 3 によるとその場合のゲート信号線の本数は $2\ 4\ 0 \times n$ 本とすれば良い。

10

【 0 0 4 6 】

図示したゲート信号線駆動回路は、シフトレジスタ3 0 1、N A N D回路3 0 2、N O R回路を用いたマルチプレクサ3 0 3、レベルシフタ3 0 4、バッファ3 0 5等を有する。

【 0 0 4 7 】

シフトレジスタ3 0 1は、ソース信号線駆動回路の項で、図 5 (A)にて示した回路と同様であるので、説明を省略する。

【 0 0 4 8 】

レベルシフタ3 0 4は、図 6 (B)に示すような構成をしている。図 6 (B)中、各信号の入出力に付した番号6 2、6 3は、同図にあるブロック図の入出力ピンに付した番号6 2、6 3に対応する。

20

【 0 0 4 9 】

N A N D回路3 0 2、バッファ3 0 5に関しては、一般的なものを用いれば良いので、ここでは説明を省略する。

【 0 0 5 0 】

次に、ゲート信号線駆動回路の動作について説明する。図 8 に、タイミングチャートを示した。8 0 1は1水平期間、8 0 2はD A C処理期間、8 0 3は表示期間を表す。なお、回路図は前出の図 3を参照する。スタートパルス(G - S P)、クロック信号(G - C L K)の入力によって、シフトレジスタ3 0 1は順次選択パルスを出力する。その後、N A N D回路3 0 2を通った後、マルチプレクサ3 0 3に入力される。マルチプレクサ3 0 3には、第1～第3のマルチプレクス信号(G - M P X 1～3)が共に入力され、シフトレジスタから出力されるパルスの1 / 3のパルス幅を有する選択パルスを3つ順次出力する。これらはゲート信号線選択パルスとして、ゲート信号線に出力され、画素T F Tのゲート電極に電圧が印加される。

30

【 0 0 5 1 】

図 4 は、本発明の表示装置のD A Cコントローラについての回路図を示している。図示したD A Cコントローラは、シフトレジスタ4 0 1、N A N D回路4 0 2、N O R回路を用いたマルチプレクサ4 0 3、レベルシフタ4 0 4、階調電源選択回路(V_{P I X} S e l e c t)4 0 5等を有する。

【 0 0 5 2 】

ここで、シフトレジスタ4 0 1～レベルシフタ4 0 4までの回路は、図 3を用いて説明したゲート信号線駆動回路と同様であるので、ここでは説明を省略する。

40

【 0 0 5 3 】

階調電源選択回路4 0 5は、図 6 (C)に示すような構成をしている。図 6 (C)中、各信号の入出力に付した番号6 4～6 8は、同図にあるブロック図の入出力ピンに付した番号6 4～6 8に対応する。

【 0 0 5 4 】

続いて、D A Cコントローラの動作について説明する。図 8 に、タイミングチャートを示した。説明に際して参照する。なお、回路図は前出の図 4を参照する。シフトレジスタ4 0 1～N A N D回路4 0 2までの動作は、ゲート信号線駆動回路と共通である。マルチブ

50

レクサ 403 には、それぞれ極性反転信号 (C - P o l - S)、リセット信号 1 (C - R e s 1)、リセット信号 2 (C - R e s 2) が入力され、シフトレジスタ 401 から出力される選択パルスとの論理和をとる。このうち、リセット信号 1 は、レベルシフタ 404 でその電圧振幅の変換を受けた後、直接画素部のリセット信号線に出力される。リセット信号 2 および極性反転信号は、レベルシフタ 404 で電圧振幅の変換を受けた後、階調電源選択回路 405 へと入力される。

【 0 0 5 5 】

ここで、階調電源選択回路 405 の動作について説明する。階調電源選択回路 405 には、前述の 2 信号の他に、極性切替信号 (C - P o l - V) が入力される。これは、液晶素子に印加する電圧を、一定周期 (通常は 1 フレーム期間毎) で正負の切替を行うための信号である。階調電源選択回路 405 に極性反転信号 (C - P o l - S) が入力されると、そのときの極性切替信号 (C - P o l - V) の状態をラッチし、以後、再び極性反転信号 (C - P o l - S) が入力される間での間、その状態が階調電源選択回路 405 内のアナログスイッチ群 (図 6 (C) の詳細図を参照) を制御する。ここで、画素に印加される電位の正負が決定される。

【 0 0 5 6 】

高圧側階調電源線には、 V_H または V_{Hb} のいずれかが、低圧側階調電源線には、 V_L または V_{Lb} のいずれかが選択される。このとき、液晶の対向電極の電位を COM とし、 $V_H > V_M > V_L$ であるとき、 $|V_H - V_M|$ 、 $|V_{Hb} - V_M|$ 、 $|V_L - V_M|$ 、 $|V_{Lb} - V_M|$ とする。

【 0 0 5 7 】

例えば、 $V_M = 0 [V]$ とし、 $V_H = -V_L = 5 [V]$ 、 $V_{Hb} = -V_{Lb} = -5 [V]$ 、などとする。上記の条件を満たす上、簡単で望ましい。

【 0 0 5 8 】

また、リセット信号 2 が入力されている間は、高圧側階調電源線 (V_H) には強制的に低圧側階調電源線と同電位が入力される (すなわち、図 1 において、 $V_H = V_L$) ようになっており、後述する画素部の記憶回路への書き込み動作が 3 ビット分終了するまでの間は、DAC 用容量に電荷が蓄積されないようにしている。

【 0 0 5 9 】

続いて、画素内での信号の処理から表示までの動作について説明する。説明に際して前出の図 1 を参照する。ソース信号線 101 からは、3 ビットデジタル映像信号が、ビット毎に順次入力されてくる。このデジタル映像信号は、1 画素あたり 3 本配置されているゲート信号線 102 ~ 104 が、1 水平期間内に順次選択されることにより、各記憶回路へと書き込まれる。

【 0 0 6 0 】

まず、リセット信号 1 (C - R E S 1) が入力されて、画素部リセット用 T F T 127 が導通し、対向電極の電位を V_M に初期化する。次に、リセット信号 2 (C - R E S 2) が入力されて、DAC 用容量 123 ~ 125 に電荷が蓄積されない状態に固定される。

【 0 0 6 1 】

次に、1 水平期間は 3 つのサブ期間に分割され、最初のサブ期間では、第 1 のマルチプレクス信号 (G - M P X 1) のタイミングで第 1 のゲート信号線 102 が選択されて、第 1 の画素 T F T 105 が導通し、最上位ビットのデジタル映像信号 (D 2) が、記憶回路 108 に書き込まれる。続いて、第 2 のマルチプレクス信号 (G - M P X 2) のタイミングで第 2 のゲート信号線 103 が選択されて、第 2 の画素 T F T 106 が導通し、第 2 ビットのデジタル映像信号 (D 1) が、記憶回路 109 に書き込まれる。最後に、第 3 のマルチプレクス信号 (G - M P X 3) のタイミングで第 3 のゲート信号線 104 が選択されて、第 3 の画素 T F T 107 が導通し、最下位ビットのデジタル映像信号 (D 0) が、記憶回路 110 に書き込まれる。

【 0 0 6 2 】

各記憶回路 108 ~ 110 に記憶されたデジタル映像信号に従って、階調電源選択用 T F

10

20

30

40

50

T 1 1 1 ~ 1 1 6 によって各ビットで階調電源線が選択される。このとき、リセット信号 2 (C - R E S 2) のパルスが停止して、D A C 用容量 1 2 3 ~ 1 2 5 に電荷が蓄積され、液晶素子を駆動して映像の表示を行う。

【 0 0 6 3 】

本発明の液晶表示装置を、n ビットのデジタル映像信号に対応させるには、1 水平期間を n 分割して同様の処理を行えば良い。以後は、順次ビット毎に記憶回路への信号の書き込みを行うことが出来る。

【 0 0 6 4 】

静止画を表示する場合には、ソース信号線駆動回路およびゲート信号線駆動回路を停止し、D A C コントローラのみを動作させる。このとき、記憶回路に記憶されたデジタル映像信号をフレーム毎に読み出すことにより、継続的に静止画表示を行うことが出来る。したがって、従来の表示装置に比較して、駆動回路の消費電力を大幅に低減することが可能となる。

【 0 0 6 5 】

なお、本実施形態においては、D / A 変換回路は複数の容量を用いた容量型 D / A 変換回路を用いているが、他にも抵抗分割によって複数の電位を与える抵抗型 D / A 変換回路等を用いても良い。

【 0 0 6 6 】

【実施例】

以下に本発明の実施例について記述する。

【 0 0 6 7 】

[実施例 1]

図 1 2 は、本発明の液晶表示装置の全体概略図である。基板 1 2 0 1 の中央部には画素部 1 2 0 5 を有し、端部には信号入力用の F P C 1 2 0 6 を有する。画素部 1 2 0 5 の下側には、デジタル映像信号を処理し、ソース信号線に書き込みを行うための、ソース信号線駆動回路 1 2 0 2 が配置されている。画素部 1 2 0 5 の左右には、ゲート信号線を選択するための、ゲート信号線駆動回路 1 2 0 3 および、画素部に配置された D / A 変換回路を制御するための D A C コントローラ 1 2 0 4 が配置されている。液晶表示装置の駆動の信頼性および効率等を考慮すると、図 1 4 (A) に示したように、駆動回路を画素部の両側に対向配置することが望ましいが、本例のような片側配置でも良い。また、図 1 2 に示した回路構成で、両側配置とするには、ゲート信号線駆動回路 1 2 0 3 と D A C コントローラ 1 2 0 4 とを一体の回路で作成する方法が挙げられる。本発明の実施形態にて示した駆動回路の動作によると、ゲート信号線駆動回路 1 2 0 3 と D A C コントローラ 1 2 0 4 とは、同一周波数のクロック信号によって駆動するため、前述のように回路を一体形成することは容易であり、有効な手段であるといえる。

【 0 0 6 8 】

図 9 は、本発明の液晶表示装置のアクティブマトリクス基板における画素部の回路レイアウトの例を示している。図 9 では、対向基板側に配置されている対向電極および、画素電極等は省略している。なお、図に付した番号は、図 1 に示した回路図に付した番号と同様である。

【 0 0 6 9 】

点線枠 1 0 0 で囲まれた部分が 1 画素である。点線枠 1 0 8 ~ 1 1 0 で囲まれた部分が、デジタル映像信号をビット毎に記憶する記憶回路であり、本実施例に示した図においては、インバータをループ状に接続した一般的な S R A M である。このように、本発明の液晶表示装置においては、画素部の回路構成には通常よりも多くの素子を要するため、開口率を確保するのが困難である。よって本発明の液晶表示装置としては、画素部の構成は反射型を採用するのが望ましい。ただし、回路の微細加工等によって、各部の省スペース化が可能であれば、透過型の液晶表示装置へは容易に適用が可能である。

【 0 0 7 0 】

[実施例 2]

本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0071】

図16(A)を参照する。まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板5001を用いる。なお、基板5001としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

10

【0072】

次いで、基板5001上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜5002を形成する。本実施例では下地膜5002として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜5002の1層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜5001aを10~200[nm](好ましくは50~100[nm])形成する。本実施例では、膜厚50[nm]の酸化窒化珪素膜5002a(組成比 $\text{Si} = 32[\%]$ 、 $\text{O} = 27[\%]$ 、 $\text{N} = 24[\%]$ 、 $\text{H} = 17[\%]$)を形成した。次いで、下地膜5002の2層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では、膜厚100[nm]の酸化窒化珪素膜5002b(組成比 $\text{Si} = 32[\%]$ 、 $\text{O} = 59[\%]$ 、 $\text{N} = 7[\%]$ 、 $\text{H} = 2[\%]$)を形成した。

20

【0073】

次いで、下地膜上に半導体層5003~5006を形成する。半導体層5003~5006は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層5003~5006は、25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x = 0.0001 \sim 0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55[nm]の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500[]、1時間)を行った後、熱結晶化(550[]、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜から、フォトリソグラフィ法を用いたパターニング処理によって、半導体層5003~5006を形成した。

30

【0074】

また、半導体層5003~5006を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0075】

40

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²](代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光

50

の重ね合わせ率(オーバーラップ率)を50~90[%]として行えばよい。

【0076】

次いで、半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110[nm]の厚さで酸化窒化珪素膜(組成比Si=32[%]、O=59[%]、N=7[%]、H=2[%])で形成した。勿論、ゲート絶縁膜5007は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0077】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[]とし、高周波(13.56[MHz])電力密度0.5~0.8[W/cm₂]で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500[]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0078】

次いで、ゲート絶縁膜5007上に膜厚20~100[nm]の第1の導電膜5008と、膜厚100~400[nm]の第2の導電膜5009とを積層形成する。本実施例では、膜厚30[nm]のTaN膜からなる第1の導電膜5007と、膜厚370[nm]のW膜からなる第2の導電膜5008を積層形成した。TaN膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することができた。

【0079】

なお、本実施例では、第1の導電膜5008をTaN、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をTa膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜をTiN膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜をTaN膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0080】

次に、図16(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエ

10

20

30

40

50

エッチング速度は200.39[nm/min.]、Ta₂N₅に対するエッチング速度は80.32[nm/min.]であり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0081】

この後、図16(B)に示すようにレジストからなるマスク5010を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではW膜及びTa₂N₅膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97[nm/min.]、Ta₂N₅に対するエッチング速度は66.43[nm/min.]である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。

【0082】

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5015(第1の導電層5011a~5015aと第2の導電層5011b~5015b)を形成する。ゲート絶縁膜5007においては、第1の形状の導電層5011~5015で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0083】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する(図5(B))。ドーピング処理はイオンドーブ法、若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ [atoms/cm²]とし、加速電圧を60~100[keV]として行う。本実施例ではドーズ量を 1.5×10^{15} [atoms/cm²]とし、加速電圧を80[keV]として行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、第1の形状の導電層5011~5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域5016~5019が形成される。高濃度不純物領域5016~5019には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。

【0084】

次いで、図16(C)に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20/20/20[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62[nm/min.]、Ta₂N₅に対するエッチング速度は20.67[nm/min.]であり、Ta₂N₅に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層5020b~5024bを形成する。一方、第1の導電層5011a~5015aは、ほとんどエッチングされず、第1の導電層5020a~5024aを形成する。

【0085】

次いで、第2のドーピング処理を行う。ドーピングは第2の導電層5020b~5024bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に

不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 1.5×10^{14} [atoms/cm²]、電流密度0.5 [μA]、加速電圧90 [keV]にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域5025~5028を自己整合的に形成する。この低濃度不純物領域5025~5028へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ [atoms/cm³]であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域5016~5019にも不純物元素が添加される(図17(A))。

【0086】

10

次いで、図17(B)に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために行われる。ただし、第3のエッチングを行わない領域には、レジスト5029からなるマスクを形成する。

【0087】

第3のエッチング処理におけるエッチング条件は、エッチングガスとしてCl₂とSF₆とを用い、それぞれのガス流量比を10/50 [sccm]として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTaNに対するエッチング速度は、111.2 [nm/min.]であり、ゲート絶縁膜に対するエッチング速度は、12.8 [nm/min.]である。

20

【0088】

本実施例では、1.3 [Pa]の圧力でコイル型の電極に500 [W]のRF(13.56 [MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも10 [W]のRF(13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層5030a~5032aが形成される。

【0089】

上記第3のエッチングによって、第1の導電層5030a~5032aと重ならない不純物領域(LDD領域)5033~5034が形成される。なお、不純物領域(GOLD領域)5025、5028は、第1の導電層5020a、5024aとそれぞれ重なったままである。

30

【0090】

このようにして、本実施例は、第1の導電層と重ならない不純物領域(LDD領域)5033~5034と、第1の導電層と重なる不純物領域(GOLD領域)5025、5028を同時に形成することができ、TFET特性に応じた作り分けが可能となる。

【0091】

次いで、レジストからなるマスクを除去した後、ゲート絶縁膜5007をエッチング処理する。ここでのエッチング処理は、エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンバー圧力6.7 [Pa]、RF電力800 [W]、CHF₃ガス流量35 [sccm]で第3のエッチング処理を行った。これにより、高濃度不純物領域5016~5019の一部は露呈し、ゲート絶縁膜5007a~5007dが形成される。

40

【0092】

次に、新たにレジストからなるマスク5035を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFETの活性層となる半導体層に前記第1の導電型(n型)とは逆の第2の導電型(p型)を付与する不純物元素が添加された不純物領域5036を形成する(図17(C))。第1の導電層5030aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0093】

50

本実施例では、不純物領域 5 0 3 6 はジボラン(B_2H_6)を用いたイオンドーピング法で形成する。なお、この第 3 のドーピング処理の際には、n チャネル型 T F T を形成する半導体層はレジストからなるマスク 5 0 3 5 で覆われている。第 1 のドーピング処理及び第 2 のドーピング処理によって、不純物領域 5 0 3 6 にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においても p 型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにドーピング処理することにより、p チャネル型 T F T のソース領域およびドレイン領域として機能するために何ら問題は生じない。

【 0 0 9 4 】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物(B)のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

10

【 0 0 9 5 】

次いで、レジストからなるマスク 5 0 3 5 を除去して図 1 8 (A) に示すように第 1 の層間絶縁膜 5 0 3 7 を形成する。この第 1 の層間絶縁膜 5 0 3 7 としては、プラズマ C V D 法またはスパッタ法を用い、厚さを 1 0 0 ~ 2 0 0 [nm] として珪素を含む絶縁膜で形成する。本実施例では、プラズマ C V D 法により膜厚 1 5 0 [nm] の酸化窒化珪素膜を形成した。勿論、第 1 の層間絶縁膜 5 0 3 7 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【 0 0 9 6 】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーンズアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 [ppm] 以下、好ましくは 0 . 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 []、代表的には 5 0 0 ~ 5 5 0 [] で行えばよく、本実施例では 5 5 0 []、4 時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(R T A 法)を適用することができる。

20

【 0 0 9 7 】

なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用した N i が高濃度の P を含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有する T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

30

【 0 0 9 8 】

また、第 1 の層間絶縁膜 5 0 3 7 を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 5 0 3 7 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【 0 0 9 9 】

その他、活性化処理を行った後でドーピング処理を行い、第 1 の層間絶縁膜 5 0 3 7 を形成させても良い。

【 0 1 0 0 】

さらに、3 ~ 1 0 0 [%] の水素を含む雰囲気中で、3 0 0 ~ 5 5 0 [] で 1 ~ 1 2 時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約 3 [%] の含む窒素雰囲気中で 4 1 0 []、1 時間の熱処理を行った。この工程は層間絶縁膜 5 0 3 7 に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

40

【 0 1 0 1 】

また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーや Y A G レーザー等のレーザー光を照射することが望ましい。

【 0 1 0 2 】

次いで、図 1 8 (B) に示すように第 1 の層間絶縁膜 5 0 3 7 上に有機絶縁物材料から成る

50

第2の層間絶縁膜5038を形成する。本実施例では膜厚1.6[μm]のアクリル樹脂膜を形成した。次いで、各不純物領域5016、5018、5019、5036に達するコンタクトホールを形成するためのパターニングを行う。

【0103】

第2の層間絶縁膜5038としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)などを用いることができる。

【0104】

本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1~5[μm](さらに好ましくは2~4[μm])とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。

また、コンタクトホールの形成には、ドライエッチングまたはウエットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウエットエッチング法を用いるのが望ましい。

【0105】

さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜5037及び第2層間絶縁膜5038を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜5038を形成する材料は、第1層間絶縁膜5037を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0106】

そして、各不純物領域5016、5018、5019、5036とそれぞれ電氣的に接続する配線5039~5044を形成する。ここでは、膜厚50[nm]のTi膜と、膜厚500[nm]の合金膜(AlとTiとの合金膜)との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0107】

以上のようにして、nチャネル型TFT、pチャネル型TFTを有する駆動回路と、画素TFT、保持容量を有する画素部とを、同一基板上に形成することが出来る。本明細書中では、このような基板をアクティブマトリクス基板と表記する。

【0108】

また、保持容量については、ゲート導電膜の形成前に、必要部分に選択的に不純物のドーピングを行い、容量を形成しても良い。この方法によると、フォトレジスト用のマスクが1枚増えることになるが、バイアスをかけることなく保持容量を形成することが出来る。

【0109】

続いて、第3の層間絶縁膜5045を形成する。この工程においては、続く画素電極の形成のために、TFTを形成している面の平坦化を行うためのものでもある。よって、平坦性に優れた、アクリル等の樹脂膜からなる絶縁膜で形成するのが望ましい。次いで、その上にMgAg膜を形成し、パターニングすることによって、画素電極(反射電極)5046を形成する(図18(C))。

【0110】

一方、対向基板5047を用意する。図19(A)に示すように、対向基板5047にはカラーフィルタ層5048~5050、オーバーコート層5051を形成する。カラーフィルタ層は、TFTの上方で、異なる色のカラーフィルタ5048、5049を重ねて形成し、遮光膜を兼ねる構成とする。なお、各色のカラーフィルタ層は、樹脂に顔料を混合したものを使い、1~3[μm]の厚さで形成する。これには感光性の材料を用い、マスクを用いて所定のパターンに形成することが出来る。同時に、このカラーフィルタ層を利用して、スペーサを形成する(図示せず)。これは、カラーフィルタを重ねて形成することによって形成すれば良い。スペーサの高さは、オーバーコート層5051の厚さ1~4[μm]を考慮することにより、2~7[μm]、好ましくは4~6[μm]とすることが出来、この高

10

20

30

40

50

さにより、アクティブマトリクス基板と対向基板とを貼り合わせた際のギャップを形成する。オーバーコート層5051は、光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂等を用いれば良い。

【0111】

オーバーコート層5051を形成した後、透明導電膜でなる対向電極5052をパターンニング形成する。その後、アクティブマトリクス基板、対向基板ともに、配向膜5053を形成し、ラビング処理を行う。

【0112】

その後、アクティブマトリクス基板と対向基板とを、シール剤5055で貼り合わせる。シール剤5055にはフィラーが混入されており、このフィラーとスペーサによって、2枚の基板が均一な間隔をもって貼り合わせられる。続いて、両基板の間に液晶材料5054を注入し、封止剤(図示せず)によって完全に封止する。液晶材料5054としては、公知の液晶材料を用いれば良い。以上のようにして、図19(A)に示すようなアクティブマトリクス型液晶表示装置が完成する。

【0113】

なお、上記の工程により作成されるアクティブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTや、その他の構造のTFTに関しても、本実施例は容易に適用され得る。

【0114】

また、本実施例においてはガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用する場合にも実施が可能である。

【0115】

[実施例3]

実施形態にて示した、本発明の液晶表示装置においては、その画素部に配置されたD/A変換回路には、容量型のD/A変換回路(C-DAC)を採用していた。しかし、D/A変換回路として、他の型式のものを用いても、本発明は容易に実施が可能である。本実施例においては、実施形態とは異なる型式のD/A変換回路を用いて画素部を構成する例について述べる。

【0116】

図10(A)に一例を示す。図10(A)に示した画素の回路図は、実施形態に示したものと同様、3ビットデジタル映像信号に対応したものであり、点線枠1000で囲まれた部分が1画素である。画素部には、8本の階調電源線が配置されており、それぞれの階調電源線は、V0、V1、・・・、V7と8段階の電位が供給される。記憶回路で記憶されている3ビットデジタル映像信号は、デコーダ1001に入力される。デコーダ1001は、図10(B)に示すように、3入力NAND回路を8(2^3)個用いて構成される。ブロック図の入出力ピンに付した番号と、回路図の入出力に付した番号とが対応する。デコーダに3ビットデジタル映像信号が入力されると、77~84のいずれか1本から出力が得られる。この出力パルスは、スイッチ1002に入力され、図10(C)に示すように、8本の階調電源線のいずれか1本を選択して、選択された階調電源線の電位を液晶素子に印加する。なお、反転駆動を行うには、一定周期(例えば1フレーム周期)ごとに電位の正負の逆転をすれば良い。この構成のD/A変換回路を用いて階調表現を行う場合には、nビットの階調に対して 2^n 本の階調電源線を必要とする。

【0117】

同様に、デコーダを用いたD/A変換回路を有する画素のさらなる一例を図11(A)に示す。前述の3入力NAND回路を用いて構成するD/A変換回路に対し、図11(A)に示した画素においては、図11(B)に示すようにD/A変換回路およびスイッチ回路を一体の構成とし、素子数低減をはかっている。それぞれの階調電源線からは3直列のTFTを経由して液晶素子に電位を印加する。

【0118】

図 10、11 にて示した画素の有する D/A 変換回路において、電位出力部におけるスイッチとして単体 T F T を用いて説明したが、アナログスイッチ、トランスマッションゲート等を用いて動作の安定化をはかっても良い。

【0119】

[実施例 4]

本発明の液晶表示装置は、ソース信号線駆動回路およびゲート信号線駆動回路にデコーダを搭載することによって、さらなる低消費電力化をはかることが出来る。以下に一例を示す。

【0120】

図 13(A) は、本発明の液晶表示装置において、ソース信号線およびゲート信号線にデコーダを搭載したものの全体概略図である。基板 1301 の中央に画素部 1305 が配置されている。画素部の上側には、ソース信号線を制御するための、ソース信号線駆動回路 & X アドレスデコーダ 1302 が配置されている。画素部の左右にはそれぞれ、ゲート信号線を制御するための、ゲート信号線駆動回路 & Y アドレスデコーダ 1303 および D A C コントローラ 1304 が配置されている。デコーダ部の回路図を、図 13(B) に示す。アドレス信号線 1311、N A N D 回路 1312、レベルシフタ 1313、バッファ 1314 等を有する。アドレス信号が n ビットである場合、n 入力 N A N D 回路を用いる。このようなデコーダをソース信号線側およびゲート信号線側に用いることで、画素部 1305 における表示領域の任意の座標選択が可能となる。すなわち、画面の一部分のみを書き換えたい場合には、デコーダを用いてその部分のみを選択し、その画素の記憶回路へ書き込みを行えば良い。映像信号の更新が行われない部分は、引き続き記憶回路に記憶された映像信号に基づいて、静止画像の表示が行われる。

【0121】

なお、ソース信号線側、ゲート信号線側ともに、図 13(B) に示すようなデコーダを用いて良いが、これはあくまで回路構成の一例であり、デコーダの形式は限定しない。

【0122】

[実施例 5]

図 20 に、本発明の液晶表示装置を携帯情報端末に応用した例を示す。図 20 において、2001 はペン入力タブレット、2002 は検出回路、2003 はメモリーカード、2004 は電源、2005 は外部インターフェイスポート、2006 は C P U、2007 は映像信号処理回路、2008 はタブレットインターフェイス、2009 はフラッシュメモリ、2010 は D R A M、2011 は V R A M、2012 は L C D コントローラ、2013 は液晶表示装置、2014 は画素部、2015 はゲート信号線駆動回路、2016 はソース信号線駆動回路、2017 は D A C コントローラである。本実施例では、静止画像を表示する場合には、C P U 2006 の映像信号処理回路 2007、V R A M 2011 などの機能を停止させ、低消費電力化をはかることが出来る。図 20 において、点線枠で囲まれた部分の回路のみ、静止画像の表示中に動作を行う。また、L C D コントローラ 2012 は、C O G によって液晶表示装置 2013 に装着しても良いし、液晶表示装置と同時に基板上に一体形成しても良い。

【0123】

また、図 21 に本発明の液晶表示装置を携帯電話に応用した例を示す。図 21 において、2101 はキーボード、2102 は音声処理回路、2103 はメモリーカード、2104 は電源、2105 は外部インターフェイスポート、2106 は C P U、2107 は映像信号処理回路、2108 はキーボードインターフェイス、2109 はフラッシュメモリ、2110 は D R A M、2111 は V R A M、2112 は L C D コントローラ、2113 は液晶表示装置、2114 は画素部、2115 はゲート信号線駆動回路、2116 はソース信号線駆動回路、2117 は D A C コントローラ、2118 は送受信回路、2119 はマイク、2120 はスピーカである。前述の携帯情報端末と同様、静止画像の表示中は一部の回路の動作を停止させることが出来るため、低消費電力化をはかることが出来る。

【0124】

[実施例 6]

本発明の液晶表示装置には様々な用途がある。本実施例では、本発明の液晶表示装置を組み込んだ電子機器の応用例について説明する。

【0125】

このような電子機器には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を22および図23に示す。

【0126】

図22(A)は液晶ディスプレイ(LCD)であり、筐体3301、支持台3302、表示部3303等を含む。本発明の液晶表示装置は表示部3303にて用いることが出来る。

10

【0127】

図22(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の液晶表示装置は表示部3312にて用いることが出来る。

【0128】

図22(C)はパーソナルコンピュータであり、本体3321、筐体3322、表示部3323、キーボード3324等を含む。本発明の液晶表示装置は表示部3323にて用いることが出来る。

【0129】

図22(D)は携帯情報端末であり、本体3331、スタイラス3332、表示部3333、操作ボタン3334、外部インターフェイス3335等を含む。本発明の液晶表示装置は表示部3333にて用いることが出来る。

20

【0130】

図23(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の液晶表示装置は表示部3404にて用いることが出来る。

【0131】

図23(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の液晶表示装置は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型もしくは家庭用の音響再生装置に用いても良い。

30

【0132】

図23(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。本発明の液晶表示装置は、表示部(A)3502、表示部(B)3505にて用いることが出来る。

【0133】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例5に示したいずれの構成を適用しても良い。

【発明の効果】

40

本発明の液晶表示装置においては、各画素に配置された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際には、記憶回路に記憶されたデジタル映像信号を反復して用いることで、継続的に静止画像の表示を行う際にはソース信号線駆動回路およびゲート信号線駆動回路を停止させておくことが可能となる。また、液晶表示装置に入力する信号を処理するための映像信号処理回路等の回路も、継続的に静止画像の表示を行う際は停止させておくことが可能になるため、液晶表示装置の低消費電力化に大きく貢献する。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の画素部についての回路図。

【図2】 本発明の液晶表示装置のソース信号線駆動回路についての回路図。

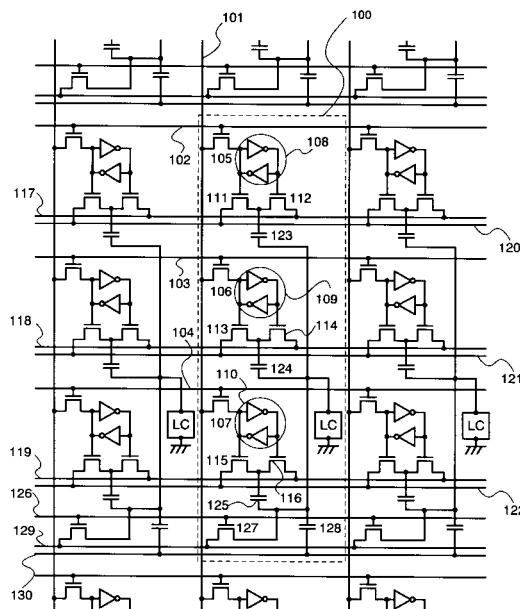
50

- 【図 3】 本発明の液晶表示装置のゲート信号線駆動回路についての回路図。
 【図 4】 本発明の液晶表示装置の D A C コントローラについての回路図。
 【図 5】 各回路図にてブロックで示した回路の詳細図。
 【図 6】 各回路図にてブロックで示した回路の詳細図。
 【図 7】 本発明の液晶表示装置の動作に関するタイミングチャートを示す図。
 【図 8】 本発明の液晶表示装置の動作に関するタイミングチャートを示す図。
 【図 9】 本発明の液晶表示装置の画素部についての実際のレイアウトを示す図。
 【図 10】 複数の階調電源線とデコーダにより構成された D / A 変換回路を有する画素の回路図。
 【図 11】 複数の階調電源線とデコーダにより構成された D / A 変換回路を有する画素の回路図。
 【図 12】 本発明の液晶表示装置の基板全体の概略図。
 【図 13】 本発明の液晶表示装置に、X アドレスデコーダおよび Y アドレスデコーダを追加した例を示す図。
 【図 14】 従来の液晶表示装置の基板全体の概略図および画素部の回路図。
 【図 15】 従来の液晶表示装置のソース信号線駆動回路についての回路図。
 【図 16】 液晶表示装置の作成工程例を示す図。
 【図 17】 液晶表示装置の作成工程例を示す図。
 【図 18】 液晶表示装置の作成工程例を示す図。
 【図 19】 液晶表示装置の作成工程例を示す図。
 【図 20】 携帯情報端末の構成を示すブロック図。
 【図 21】 携帯電話の構成を示すブロック図。
 【図 22】 本発明の液晶表示装置を適用した電子機器の例を示す図。
 【図 23】 本発明の液晶表示装置を適用した電子機器の例を示す図。

10

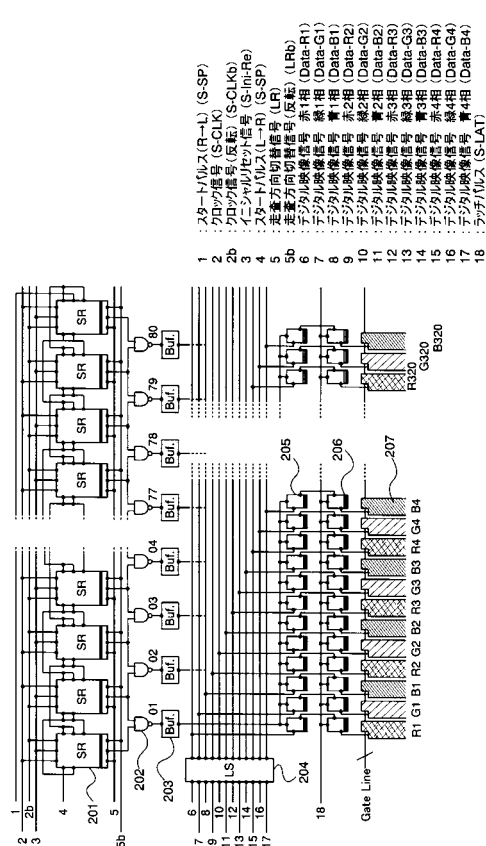
20

【図 1】

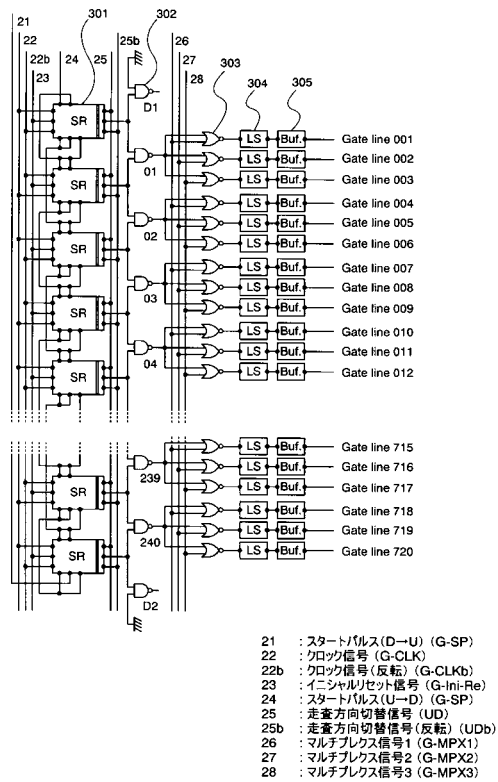


- 101 : ソース信号線
 102~104 : ゲート信号線
 105~107 : 画素TFT
 108~110 : 記憶回路
 111~116 : 階調電源選択用TFT
 117~119 : 低圧側階調電源線 (V_L)
 120~122 : 高圧側階調電源線 (V_H)
 123~125 : DAC 増幅器
 126 : 画素部リセット信号線
 127 : 保持容量 (C_s)
 128 : 中間階調電源線 (V_M)
 129 : コモン電源線 (COM)

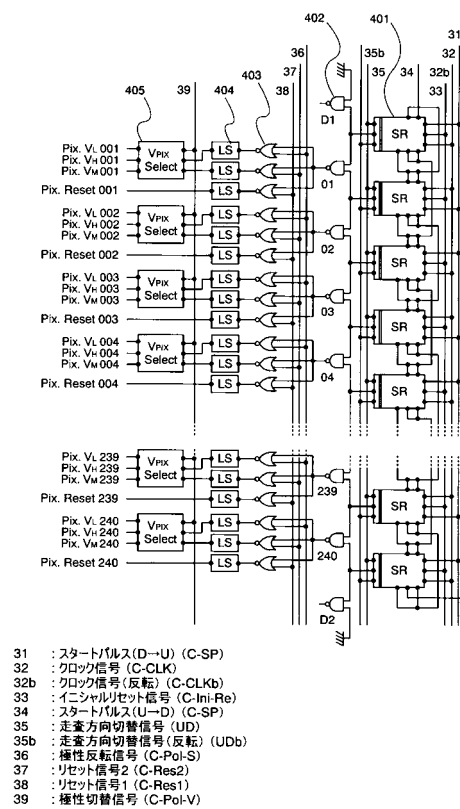
【図 2】



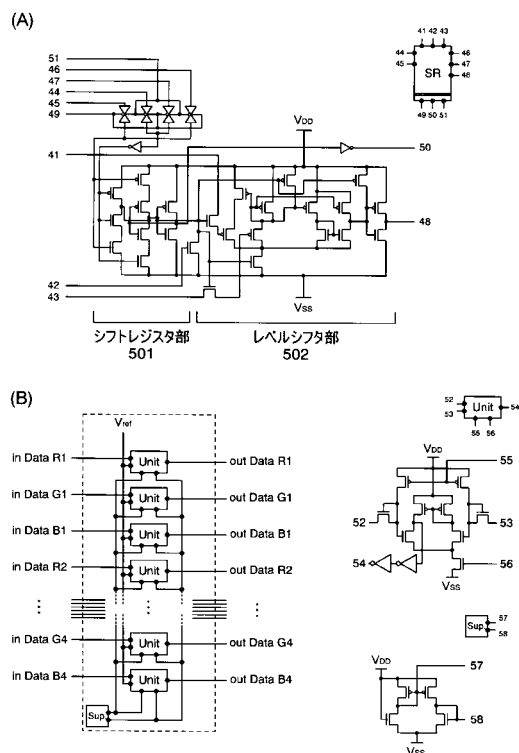
【図 3】



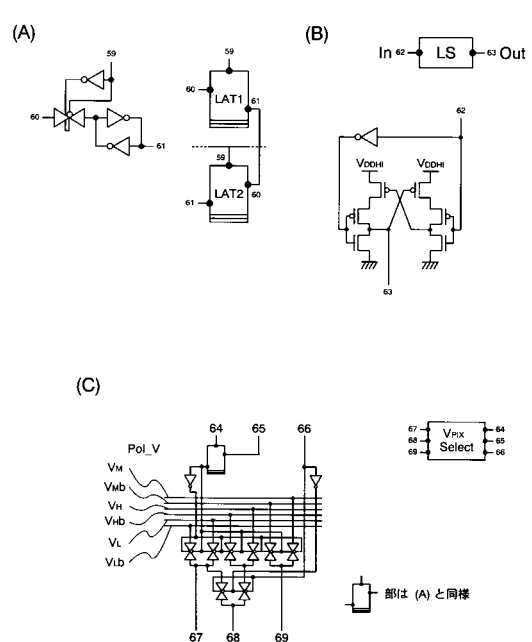
【図 4】



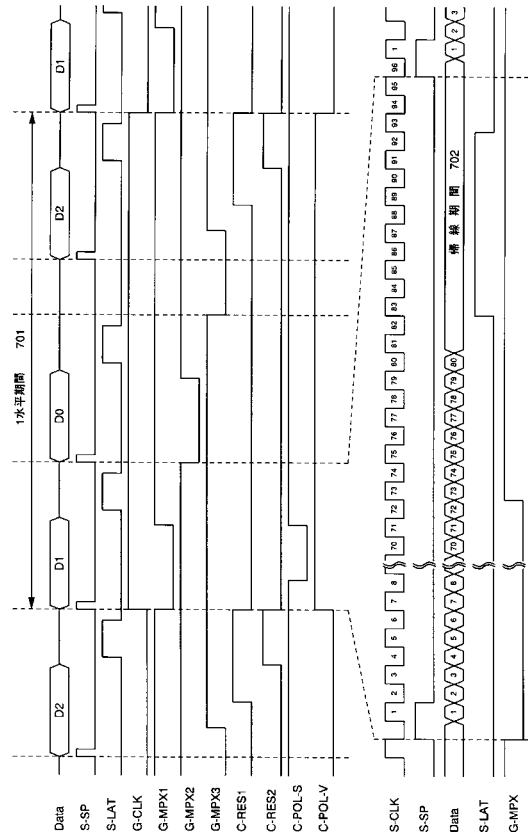
【図 5】



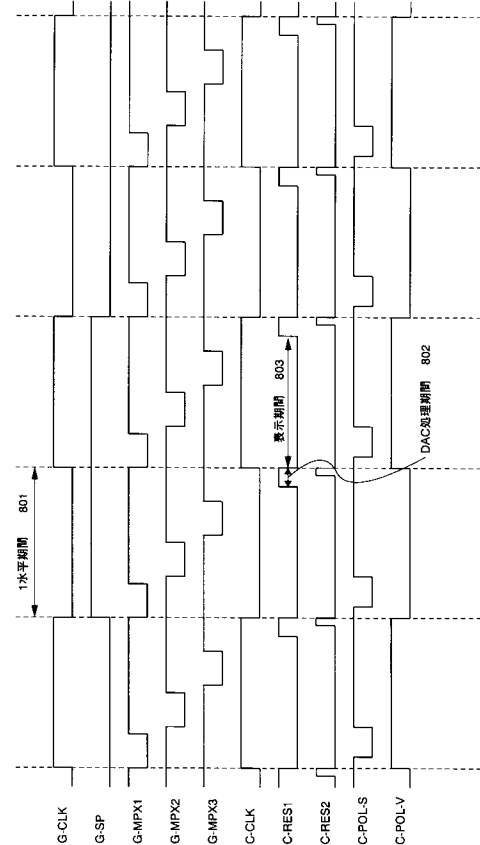
【図 6】



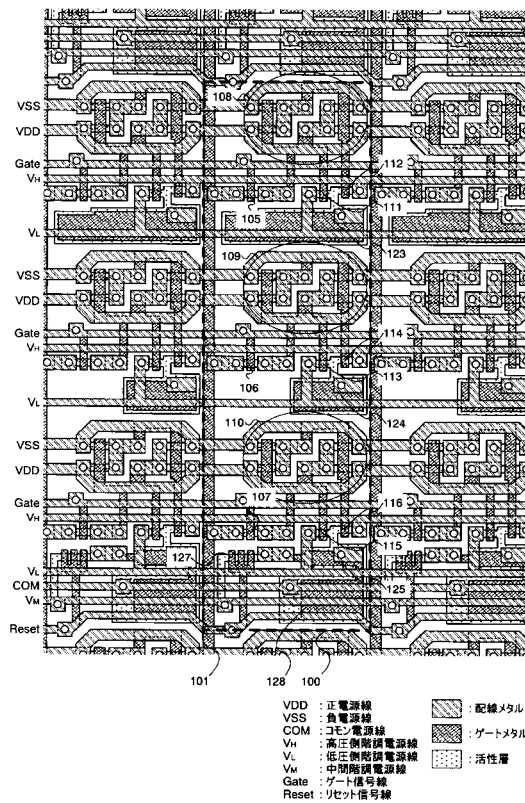
【図 7】



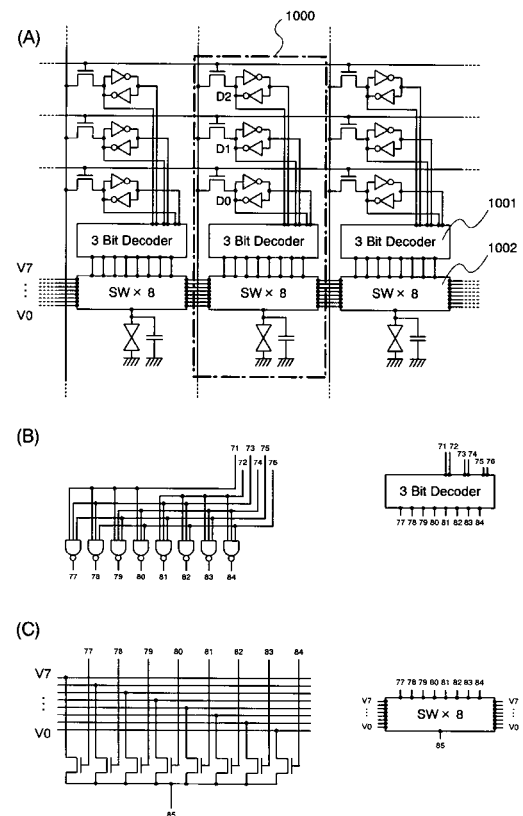
【図 8】



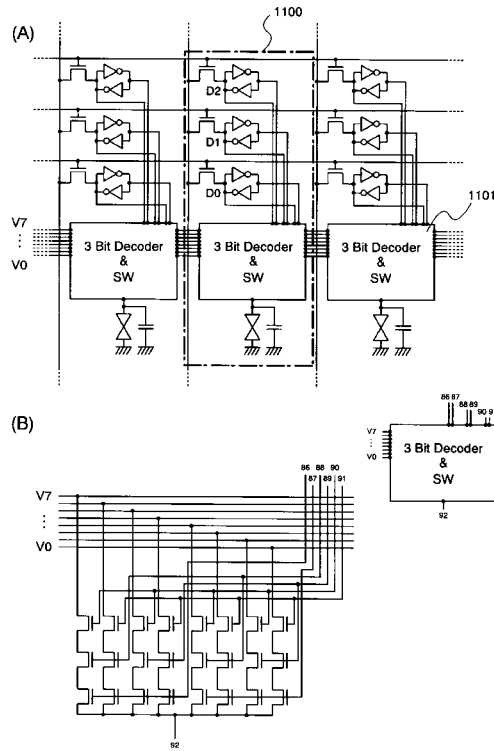
【図 9】



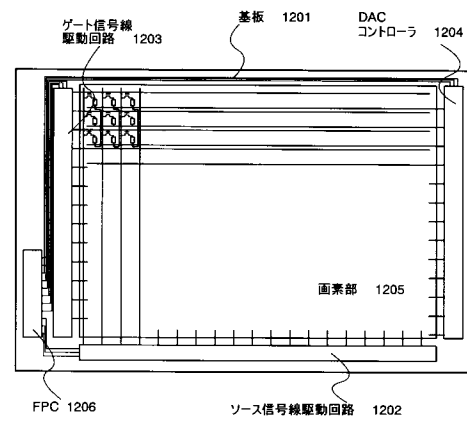
【図 10】



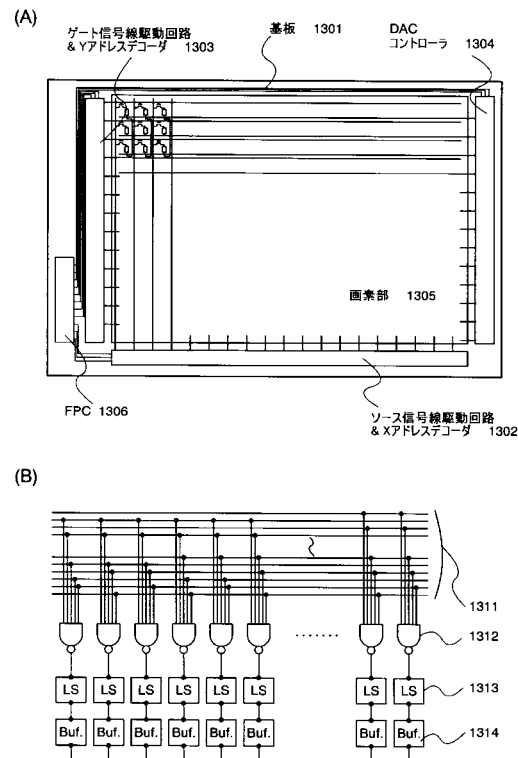
【図 1 1】



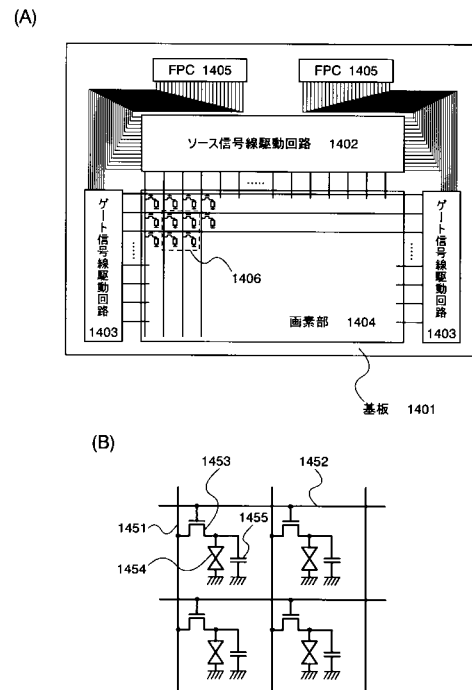
【図 1 2】



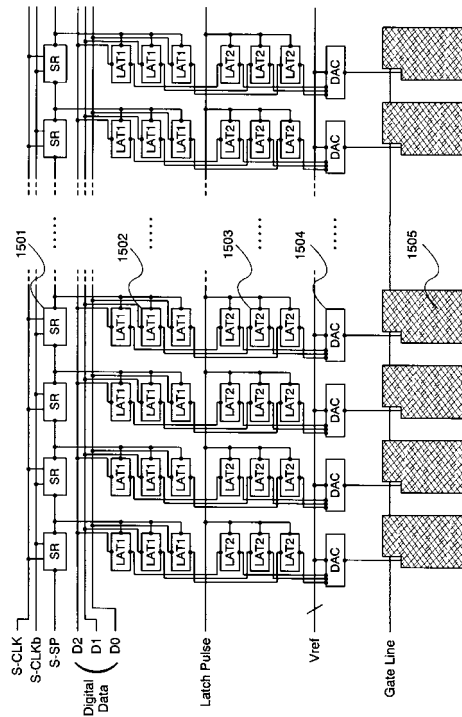
【図 1 3】



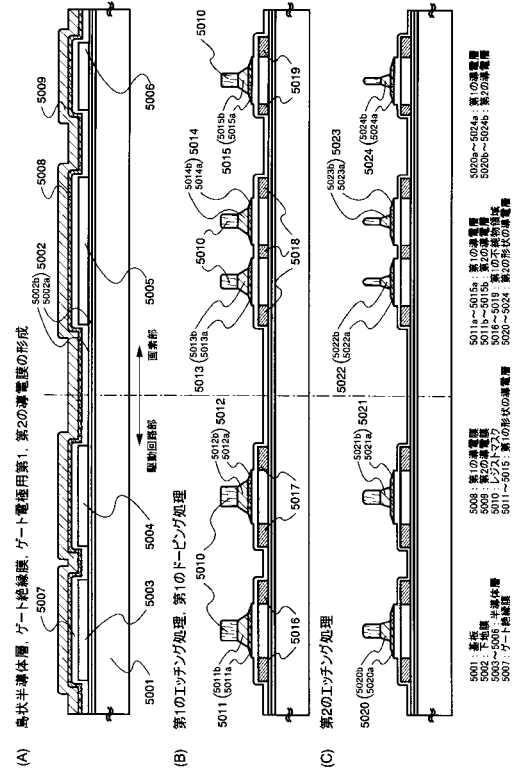
【図 1 4】



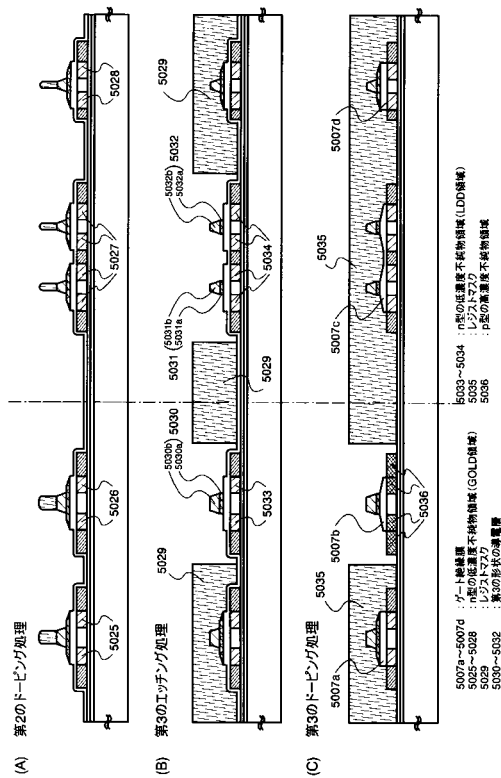
【 図 1 5 】



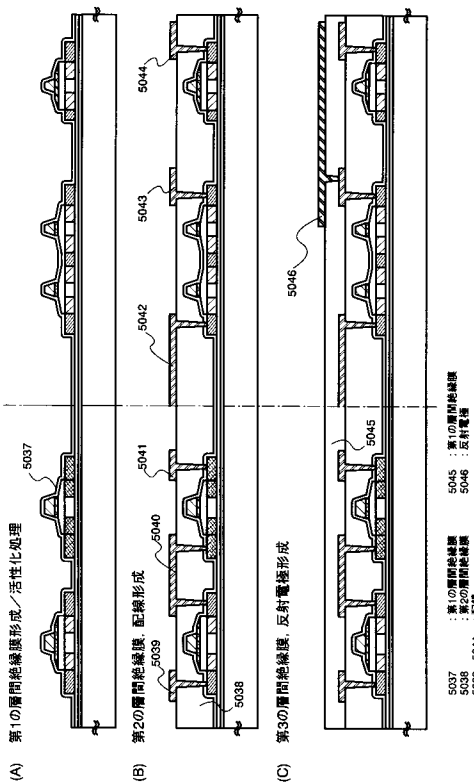
【 図 1 6 】



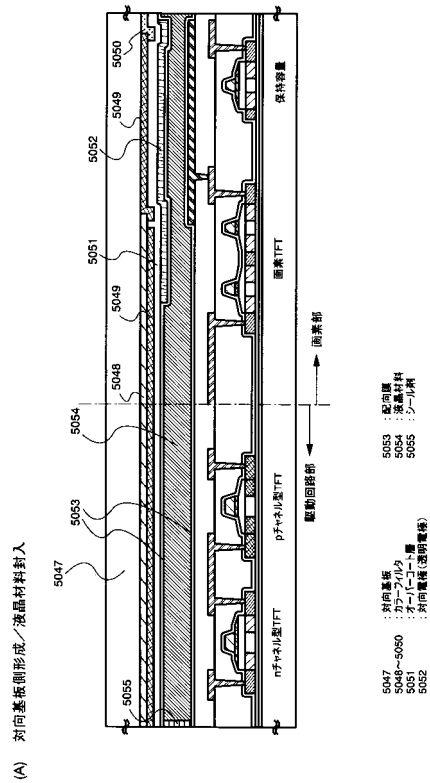
【 図 1 7 】



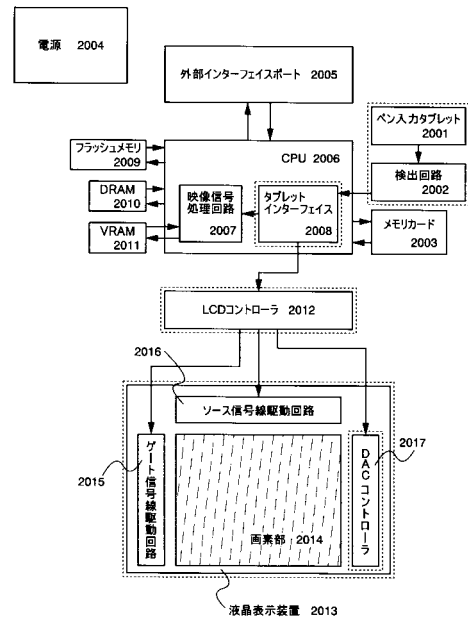
【 図 1 8 】



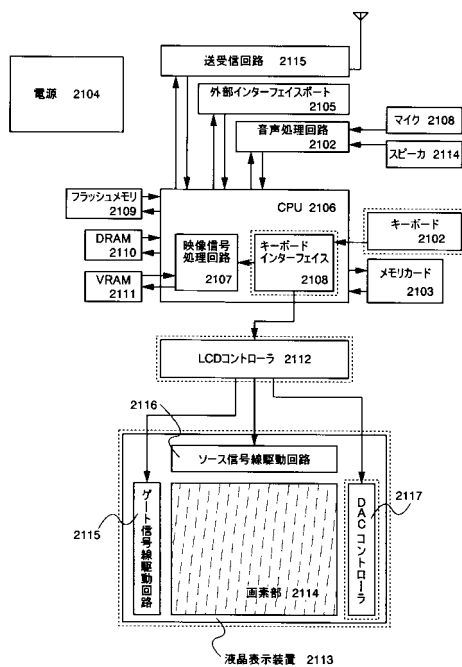
【 図 1 9 】



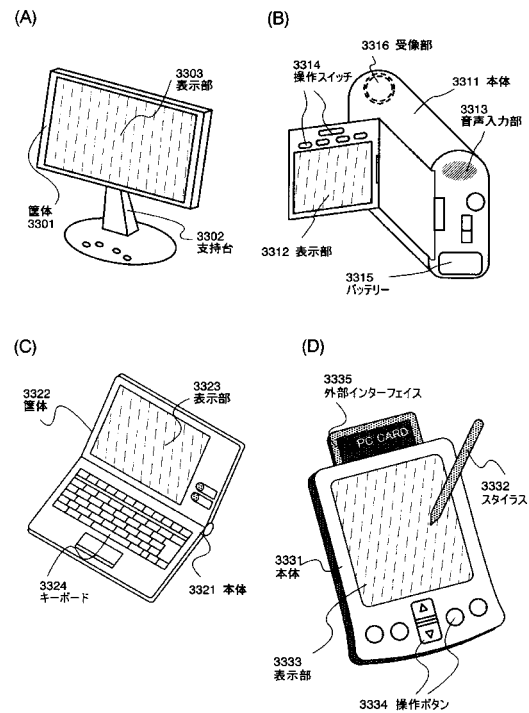
【 図 2 0 】



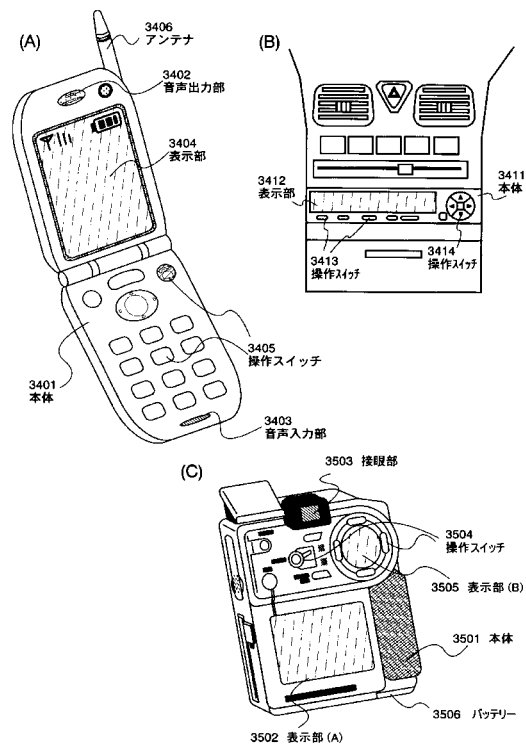
【 図 2 1 】



【 図 2 2 】



【図 23】



 フロントページの続き

(51)Int.Cl.	F I
	G 0 9 G 3/20 6 2 3 F
	G 0 9 G 3/20 6 2 4 B
	G 0 9 G 3/20 6 3 1 H
	G 0 9 G 3/20 6 6 0 U
	G 0 9 G 3/20 6 6 0 V
	G 0 9 G 3/20 6 8 0 P
	G 0 9 G 3/20 6 8 0 T
	G 0 9 G 3/20 6 8 0 V
	G 0 9 G 3/36

(56)参考文献 特開平 1 1 - 1 0 1 9 6 7 (J P , A)
 特開平 0 9 - 2 4 3 9 9 4 (J P , A)
 特開平 0 8 - 1 9 4 2 0 5 (J P , A)
 特開平 0 6 - 1 0 2 5 3 0 (J P , A)
 特開 2 0 0 1 - 1 0 8 9 6 4 (J P , A)
 特開 2 0 0 0 - 3 0 5 5 3 5 (J P , A)
 特許第 3 6 0 5 8 2 9 (J P , B 2)
 特開平 1 0 - 2 5 3 9 4 1 (J P , A)
 特表 2 0 0 2 - 5 1 6 0 4 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/133
 G02F 1/1343
 G02F 1/1368
 G09G 3/20
 G09G 3/36

专利名称(译)	液晶表示装置		
公开(公告)号	JP4761681B2	公开(公告)日	2011-08-31
申请号	JP2001294269	申请日	2001-09-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 熱海知昭 三宅博之		
发明人	小山 潤 熱海 知昭 三宅 博之		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1343 G09G3/20 G09G3/36 G09F9/00 G09F9/30 G09F9/35		
CPC分类号	G09G2300/0857		
FI分类号	G02F1/133.550 G02F1/1368 G02F1/1343 G09G3/20.611.A G09G3/20.612.U G09G3/20.623.F G09G3/20.624.B G09G3/20.631.H G09G3/20.660.U G09G3/20.660.V G09G3/20.680.P G09G3/20.680.T G09G3/20.680.V G09G3/36 G09F9/00.348.C G09F9/00.348.G G09F9/00.348.Z G09F9/30.338 G09F9/35		
F-TERM分类号	2H092/GA29 2H092/GA50 2H092/GA59 2H092/JA25 2H092/JA26 2H092/JA33 2H092/JA35 2H092/JA38 2H092/JA40 2H092/JA46 2H092/JB42 2H092/JB57 2H092/JB58 2H092/KA04 2H092/KA07 2H092/KA12 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA19 2H092/MA27 2H092/MA29 2H092/MA30 2H092/NA26 2H093/NA42 2H093/NB07 2H093/NC09 2H093/NC11 2H093/NC15 2H093/NC22 2H093/NC26 2H093/ND39 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB23 2H192/CC02 2H192/CC12 2H192/CC32 2H192/FA73 2H192/FB03 2H192/FB06 2H192/FB13 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZC22 2H193/ZF23 2H193/ZF24 2H193/ZF44 5C006/AA01 5C006/AA02 5C006/AA16 5C006/AF44 5C006/AF45 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF04 5C006/BF09 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE19 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA22 5C094/BA03 5C094/BA09 5C094/BA14 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA14 5C094/DA15 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/HA05 5C094/HA06 5C094/HA08 5C094/HA10 5G435/AA00 5G435/BB12 5G435/EE33 5G435/EE36 5G435/EE37 5G435/GG21 5G435/LL07 5G435/LL14 5G435/LL17		
优先权	2000305642 2000-10-05 JP		
其他公开文献	JP2002196306A5 JP2002196306A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供低功耗的液晶显示装置。 在用于使用n位 (n是自然数， $n \geq 2$) 数字图像信号显示图像的液晶显示装置中，用于存储n位数字图像信号和D /的存储电路转换电路，可以在像素中存储一帧的n位视频信号。在静止图像的显示中，由于存储在存储电路中的图像信号被读取并显示每帧，因此在此期间仅驱动DAC控制器。因此，它有助于降低整个液晶显示装置的功耗。

図 1】

