

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4337065号
(P4337065)

(45) 発行日 平成21年9月30日 (2009.9.30)

(24) 登録日 平成21年7月10日 (2009.7.10)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 624A

G09G 3/20 670D

G02F 1/133 550

G02F 1/133 505

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2007-176350 (P2007-176350)
 (22) 出願日 平成19年7月4日 (2007.7.4)
 (65) 公開番号 特開2009-14987 (P2009-14987A)
 (43) 公開日 平成21年1月22日 (2009.1.22)
 審査請求日 平成20年5月23日 (2008.5.23)

(73) 特許権者 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 田尻 憲一
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート線と、このゲート線にゲート信号を供給するゲートドライバと、ソース線と、このソース線にソース信号を供給するソースドライバと、前記ソース線に接続された画素スイッチング素子を通してソース信号が印加される画素電極と、この画素電極と共通電極との間に配置された液晶と、前記共通電極に共通電極信号を供給する共通電極ドライバと、前記画素電極と保持容量線との間に接続された保持容量と、前記保持容量線を第1の電位と第2の電位に交互に駆動する保持容量線駆動回路と、を備えた液晶表示装置において、

該液晶表示装置の電源をオフするための信号を検出すると、前記共通電極と前記ソース線を短絡させ、前記ソースドライバ、前記共通電極ドライバ及び前記保持容量線駆動回路への電源供給を停止し、電源供給の停止後に、前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を接地電位に設定するように制御を行うシーケンス制御回路を設けたことを特徴とする液晶表示装置。

【請求項 2】

前記シーケンス制御回路は、該液晶表示装置の電源をオフするための信号を検出すると、前記電源供給の停止前に、前記画素スイッチング素子を通して前記画素電極に液晶の表示をオフ状態にするためのオフ電位を書き込むように制御を行うことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記シーケンス制御回路は、1フレーム期間に前記共通電極と前記ソース線を短絡させ、

前記ソースドライバ、前記共通電極ドライバ及び前記保持容量線駆動回路への電源供給を停止し、その次の１フレーム期間に前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を接地電位に設定するように制御を行うことを特徴とする請求項１に記載の液晶表示装置。

【請求項４】

前記ソース線と前記共通電極の間に接続されたスイッチング素子を備え、前記シーケンス制御回路は前記スイッチング素子をオンさせることにより、前記ソース線を前記共通電極と短絡させることを特徴とする請求項１、２、３のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は、液晶表示装置に関し、特に、電源オフ時のシーケンス制御を行うシーケンス制御機能を備えた液晶表示装置に関する。

【背景技術】

【０００２】

従来より、液晶表示装置の駆動方式として保持容量線駆動方式が知られている。この方式は、保持容量線と画素電極の間に保持容量を設け、画素に表示信号を書き込んだ後に、保持容量線の電位を変動させることにより、画素電極の電位を正又は負の方向に変化させる。これにより、表示信号のダイナミックレンジを小さくすることができるため、低消費駆動が可能になる。

20

【０００３】

この種の液晶表示装置において、電源オフ時には、各画素にオフ電位（液晶表示をオフ状態にするための電位）を書き込んだ後に、電源を停止していた。

【０００４】

なお、この保持容量線駆動方式を用いた液晶表示装置については、特許文献１に記載されている。

【特許文献１】特開２００２－１９６３５８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

30

しかしながら、保持容量線駆動方式の液晶表示装置においては、スリープ状態等の電源オフ時に、保持容量を介して画素電極に電荷が移動し、表示不良を起こすおそれがあった。

【課題を解決するための手段】

【０００６】

本発明の液晶表示装置は、ゲート線と、このゲート線にゲート信号を供給するゲートドライバと、ソース線と、このソース線にソース信号を供給するソースドライバと、ソース線に接続された画素スイッチング素子を通してソース信号が印加される画素電極とこの画素電極と共通電極との間に配置された液晶と、共通電極に共通電極信号を供給する共通電極ドライバと、画素電極と保持容量線との間に接続された保持容量と、保持容量線を第１の電位と第２の電位に交互に駆動する保持容量線駆動回路と、を備えた液晶表示装置において、該液晶表示装置の電源をオフするための信号を検出すると、共通電極とソース線を短絡させ、ソースドライバ、共通電極ドライバ及び保持容量線駆動回路への電源供給を停止し、電源供給の停止後に、ゲートドライバのゲート信号に応じて画素スイッチング素子をオンさせることにより、画素電極の電位を接地電位に設定するように制御を行うシーケンス制御回路を設けたことを特徴とする。

40

【発明の効果】

【０００７】

本発明によれば、保持容量線駆動方式を用いた液晶表示装置において、電源オフ時に、画素電極と共通電極、及び保持容量の両端を接地電位に設定することで、電荷の移動を無

50

くし、表示不良の発生を防止することができる。

【発明を実施するための最良の形態】

【0008】

本発明の実施形態による液晶表示装置について図面を参照しながら説明する。図1に示すように、ソース線SLと第1のゲート線GL1の交差点に対応して画素PXL1が設けられ、ソース線SLと第2のゲート線GL2の交差点に対応して画素PXL2が設けられている。図1では2つの画素PXL1, PXL2だけを示したが、実際には図2のように、複数の画素PXL1, PXL2, PXL3, PXL4, ... がマトリクス状に配置されている。

【0009】

画素PXL1, PXL2には、Nチャネル型の薄膜トランジスタ(以下、TFTという)からなる画素トランジスタ10、画素トランジスタ10のドレインに接続された画素電極11、画素電極11と共通電極CLの間に配置された液晶12が設けられている。また、第1行目の画素PXL1に対応して、第1の保持容量線SC1が設けられ、画素PXL1の画素電極11と第1の保持容量線SC1との間に保持容量13が設けられている。また、第2行目の画素PXL2に対応して、第2の保持容量線SC2が設けられ、画素PXL2の画素電極11と第2の保持容量線SC2との間に保持容量13が設けられている。

【0010】

画素PXL1, PXL2の画素トランジスタ10(本発明の画素スイッチング素子の一例)のソースは、ソース線SLに接続されている。1行目の画素PXL1の画素トランジスタ10のゲートは、第1のゲート線GL1に接続され、2行目の画素PXL2の画素トランジスタ10のゲートは、第2のゲート線GL2に接続されている。

【0011】

また、ソース信号Sig(表示信号)をソース線SLに供給するソースドライバ14が設けられている。ソース信号Sigは、一定周期(例えば、一水平周期)で基準電位に対して極性が反転するようになっている。ソースドライバ14とソース線SLとの間には、Nチャネル型TFTからなる水平スイッチング素子SWHが接続されており、水平スイッチング素子SWHが制御信号に応じてオンすると、ソースドライバ14からソース線SLへソース信号Sigを供給することができるようになっている。

【0012】

また、ゲート信号を第1のゲート線GL1, 第2のゲート線GL2に供給するゲートドライバ15が設けられている。ゲートドライバ15には、画素トランジスタ10をオンさせるための高レベル(例えば8V)のゲート信号と、画素トランジスタ10をオフさせるための低レベル(例えば-4V)のゲート信号を発生するためDC-DCコンバータ(不図示)が設けられている。

【0013】

ソース線SLと共通電極CLの間には、Nチャネル型TFTからなるスイッチング素子SWSが接続されている。このスイッチング素子SWSは、電源オフ時には制御信号DSGに応じてオンし、ソース線SLを共通電極CLと短絡するために用いられる。

【0014】

また、通常動作時に共通電極CLに共通電極信号を供給するための共通電極ドライバ16が設けられている。共通電極信号は、例えば2Vの直流電位である。

【0015】

また、各保持容量線SCに高レベルの電位VCOMH(例えば、4V)と低レベルの電位VCOML(例えば0V)を1フレーム期間毎に交互に供給するように駆動を行う保持容量線駆動回路20が設けられている。保持容量線駆動回路20は、高レベルの電位VCOMHを出力する第1の保持容量ドライバ21Hと、低レベルの電位VCOMLを出力する第2の保持容量ドライバ21L、第1の極性スイッチング素子SW1、第2の極性スイッチング素子SW2を有している。

【0016】

第1の極性スイッチング素子SW1は、極性選択信号POLに応じてスイッチングし、第1の保持容量ドライバ21Hからの高レベルの電位VCOMHと第2の保持容量ドライバ21Lからの低レベルの電位VCOMLとを第1の保持容量線SC1に交互に出力する。第2の極性スイッチング素子SW2は、極性選択信号*POL（極性選択信号POLの反転信号）に応じて、第1の極性スイッチング素子SW1と相補的にスイッチングし、第1の保持容量ドライバ21Hからの高レベルの電位VCOMHと第2の保持容量ドライバ21Lからの低レベルの電位VCOMLとを第2の保持容量線SC2に交互に出力する。

【0017】

これにより、隣接する第1の保持容量線SC1と第2の保持容量線SC2は、互いに逆極性（一方が高レベルで他方が低レベル）になるように駆動される。尚、ソースドライバ14、ゲートドライバ15、共通電極ドライバ16、保持容量線駆動回路20には、電源30から電源電位が供給されている。また、図示しないが、上記以外の回路には他の電源から電源電位が供給されている。

【0018】

さらに、電源オフ時に、ソースドライバ14、ゲートドライバ15、共通電極ドライバ16、スイッチング素子SWs、水平スイッチング素子SWH、保持容量線駆動回路20、電源30の動作をシーケンス制御するシーケンス制御回路40が設けられている。シーケンス制御回路40は、この液晶表示装置の電源30等をオフするための信号、例えば、電源オフコマンドや表示オフコマンドを検出すると、シーケンス制御を開始するように構成されている。

【0019】

上述の液晶表示装置の通常動作時における書き込み動作は以下の通りである。ここでは、1行目の画素PXL1への書き込みについて説明する。まず、ゲートドライバ15から高レベルのゲート信号が第1のゲート線GL1に一水平期間出力されると、それに応じて画素トランジスタ10がオンする。このとき、スイッチング素子SWsはオフし、水平スイッチング素子SWHはオンしている。そして、ソースドライバ14からソース線SLにソース信号Sigが出力されると、ソース信号Sigは画素トランジスタ10を通して画素PXL1に書き込まれる（画素書き込み）。即ち、ソース信号Sigは画素トランジスタ10を通して画素電極11に印加され保持容量13によって保持される。

【0020】

その後、ゲート信号が低レベルに立ち下ると、保持容量線駆動回路20の第1の極性スイッチング素子SW1が切り換えられ、第1の保持容量線SC1の電位が変化する。即ち、第1の保持容量線SC1の電位は、高レベルVCOMHから低レベルVCOMLに、又は低レベルVCOMLから高レベルVCOMHに変化する。すると、保持容量13の容量カップリングにより、画素電極11の電位は、画素書き込みされた電位から正又は負の方向に変化する。例えば、第1の保持容量線SC1の電位が高レベルVCOMHから低レベルVCOMLに変化したとすると、画素電極11の電位は、負の方向に変化する。そして、画素電極11に保持された電位に応じて液晶12の光学的制御が行われ、表示が行われる。このような保持容量線駆動方式によれば、画素電極11の電位変化の分だけ、ソース信号Sigのダイナミックレンジを小さくすることができるため、低消費電力駆動が可能である。

【0021】

本発明の特徴は、シーケンス制御回路40による電源オフ時のシーケンス制御にあり、以下、これについて図3のタイミング図と、図1、図4、及び図5の回路図を参照して説明する。

【0022】

液晶表示装置の電源30等をオフするための信号として、例えば、電源オフコマンドが検出されると、その後の垂直同期信号Vsyncに同期して、極性選択信号POLが高レベルから低レベルに変化する。スイッチング素子SWsは低レベルの制御信号DSGに応じてオフしており、これによりソース線SLと共通電極CLは切断されている。共通電極

10

20

30

40

50

ドライバ１６は共通電極信号として２Ｖの電位を出力する。

【００２３】

また、同じフレーム期間において、ゲートドライバ１５は活性化されており、第１のゲート線ＧＬ１に高レベルのゲート信号が一水平期間出力されることで、画素ＰＸＬ１の画素トランジスタ１０がオンする。そして、水平スイッチング素子ＳＷＨは、高レベルの制御信号ＳＥＬに応じてオンする。すると、ソースドライバ１４からソース線ＳＬに、オフ表示に対応した電位、例えば黒表示に対応した電位のソース信号Ｓｉｇが出力される。これにより、オフ表示に対応した電位のソース信号Ｓｉｇが画素トランジスタ１０を通して画素ＰＸＬ１に書き込まれる（オフ書き込み）。

【００２４】

その後、極性選択信号ＰＯＬに応じて第１の極性スイッチング素子ＳＷ１が切り換えられる。すると、画素ＰＸＬ１の第１の保持容量線ＳＣ１の電位は、高レベルＶＣＯＭＨから低レベルＶＣＯＭＬに変化する。これにより、保持容量１３の容量カップリングにより、画素電極１１の電位は、オフ書き込みされた電位から負の方向に変化する。そして、画素電極１１に保持された電位に応じて液晶１２の光学的制御が行われ、オフ表示が行われる。画素ＰＸＬ２へのオフ書き込みについても同様であるが、書き込み後に、第２の保持容量線ＳＣ２は反対に低レベルから高レベルに変化する点が異なる。

【００２５】

その後、図４に示すように、次に到来する垂直同期信号Ｖｓｙｎｃに同期して、即ち、その次のフレーム期間において、制御信号ＤＳＧが高レベルになり、スイッチング素子ＳＷＳがオンすることでソース線ＳＬと共通電極ＣＬが短絡される。また、制御信号ＳＥＬが低レベルになることにより、水平スイッチング素子ＳＷＨはオフし、ソースドライバ１４はソース線ＳＬから電氣的に切断される。

【００２６】

また、電源３０からの電源電位の供給が停止されることにより共通電極ドライバ１６の動作が停止し、その出力は２Ｖから０Ｖ（接地電位）に変化する。これにより、共通電極ＣＬが０Ｖに設定され、ソース線ＳＬと共通電極ＣＬとは、共に０Ｖに設定される。また、同じフレーム期間において、電源３０からの電源電位の供給が停止されることにより、ソースドライバ１４の動作、第１及び第２の保持容量ドライバ２１Ｈ、２１Ｌの動作も停止する。これにより、第１及び第２の保持容量線ＳＣ１、ＳＣ２の電位は０Ｖに設定される。また、ゲートドライバ１５から低レベルのゲート信号が出力され、第１及び第２のゲート線ＧＬ１、ＧＬ２の電位は低レベルに設定される。

【００２７】

この状態では、ソース線ＳＬと共通電極ＣＬは共に０Ｖに設定されているが、保持容量１３を介して画素電極１１に電荷が移動することにより、液晶１２の両端、即ち画素電極１１と共通電極ＣＬとの間に電位差が生じ、表示不良が発生してしまう。

【００２８】

そこで、画素電極１１に移動した電荷を除去する動作を行う。即ち、図５に示すように、その次のフレーム期間において、ゲートドライバ１５から高レベルのゲート信号が第１のゲート線ＧＬ１に一水平期間出力されることで、画素ＰＸＬ１の画素トランジスタ１０がオンする。これにより、ソース線ＳＬの０Ｖの電位が画素ＰＸＬ１に書き込まれ、画素ＰＸＬ１の画素電極１１の電位は０Ｖに設定される。即ち、画素電極１１の電荷が除去される。画素ＰＸＬ２についても同様にして、次の一水平期間に、ゲートドライバ１５から高レベルのゲート信号が第２のゲート線ＧＬ２に出力されることで、画素ＰＸＬ２の画素トランジスタ１０がオンする。これにより、画素ＰＸＬ２の画素電極１１の電位が０Ｖに設定される。こうして、全ての画素について、電荷除去が行われる。

【００２９】

そして、次に到来する垂直同期信号Ｖｓｙｎｃに同期して、即ち、その次のフレーム期間において、電源３０からの電源電位の供給が停止されることによりゲートドライバ１５の動作は停止する。他の回路（不図示）についても他の電源（不図示）からの電源電位の

10

20

30

40

50

供給を停止させことにより、このフレーム期間以降は電源停止状態となる。

【 0 0 3 0 】

このように、上述の液晶表示装置によれば、電源オフ時に、画素電極 1 1 と共通電極 C L の電位、保持容量 1 3 の両端の電位はいずれも 0 V になるので、電荷の移動が無くなり、表示不良の発生を防止することができる。

【 0 0 3 1 】

尚、本発明は上記実施形態に限定されることなくその要旨を逸脱しない範囲で変更が可能であることは言うまでもない。例えば、上記実施形態では、オフ書き込みの動作は必ずしも必要ではなく、省略されてもよい。この場合、電源オフコマンドが検出されると、その後の垂直同期信号 V s y n c に同期して、共通電極ドライバ 1 6、ソースドライバ 1 4 の動作、保持容量線駆動回路 2 0 を構成する第 1 の保持容量ドライバ 2 1 H 及び第 2 の保持容量ドライバ 2 1 L の各動作が停止され、以降のシーケンスが続いて行われる。

10

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】本発明の実施形態による液晶表示装置を示す回路図である。

【図 2】本発明の実施形態による液晶表示装置の画素の配置図である。

【図 3】本発明の実施形態による液晶表示装置の電源オフ時のシーケンスを説明するタイミング図である。

【図 4】本発明の実施形態による液晶表示装置を示す回路図である。

【図 5】本発明の実施形態による液晶表示装置を示す回路図である。

20

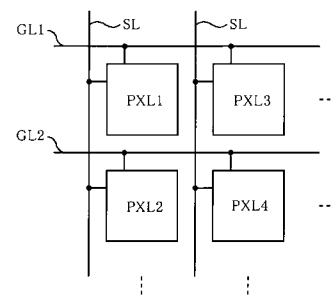
【符号の説明】

【 0 0 3 3 】

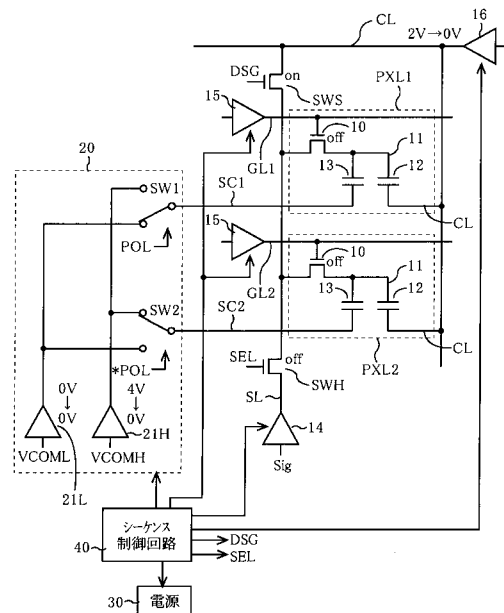
1 0	画素トランジスタ	1 1	画素電極	1 2	液晶
1 3	保持容量	1 4	ソースドライバ	1 5	ゲートドライバ
1 6	共通電極ドライバ	2 0	保持容量線駆動回路		
2 1 H	第 1 の保持容量ドライバ	2 1 L	第 2 の保持容量ドライバ		
3 0	電源	4 0	シーケンス制御回路		
P X L 1 , P X L 2 , P X L 3 , P X L 4 , . . .	画素				
C L	共通電極	G L 1	第 1 のゲート線	G L 2	第 2 のゲート線
S L	ソース線	S C 1	第 1 の保持容量線	S C 2	第 2 の保持容量線
S W S	スイッチング素子	S W H	水平スイッチング素子		
S W 1	第 1 の極性スイッチング素子	S W 2	第 1 の極性スイッチング素子		

30

【 図 2 】



【 図 4 】



フロントページの続き

(56)参考文献 特開 2005 - 049849 (JP, A)
特開 2004 - 240062 (JP, A)
特開 2005 - 017934 (JP, A)
特開 2006 - 047500 (JP, A)
特開 2004 - 219682 (JP, A)
特開 2000 - 347627 (JP, A)
特開 2001 - 042288 (JP, A)
特開 2000 - 163025 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP4337065B2	公开(公告)日	2009-09-30
申请号	JP2007176350	申请日	2007-07-04
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	田尻憲一		
发明人	田尻 憲一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/3688 G09G2300/0876 G09G2310/0245 G09G2330/02 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.670.D G02F1/133.550 G02F1/133.505 G09G3/20.611.A G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G09G3/20.623.R G09G3/20.624.D G09G3/20.624.E		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND38 2H093/ND39 2H093/ND60 2H093/NH12 2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB14 2H193/ZC04 2H193/ZC24 2H193/ZD23 2H193/ZE31 2H193/ZE38 2H193/ZF06 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZF60 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AF33 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF64 5C006/AF67 5C006/AF68 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF42 5C006/FA16 5C006/FA34 5C006/FA38 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD14 5C080/DD18 5C080/DD24 5C080/DD26 5C080/DD29 5C080/EE25 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	须藤克彦		
其他公开文献	JP2009014987A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够在使用保持电容器线驱动系统相对于液晶显示装置关闭电源时防止显示不良。解决方案：当检测到断电命令时，序列控制电路40执行以下顺序控制。也就是说，顺序控制电路40使公共电极CL源极线SL短路并且停止向源极驱动器14，公共电极驱动器16和保持电容器线驱动电路20供电。由此，源极的电位线CL和公共电极CL被设置为0V。然后，序列控制电路40执行控制，以通过打开像素晶体管10将像素电极11的电位设置为0V，根据在停止电源供应之后，栅极驱动器15的栅极信号。由此，使像素电极11和公共电极CL的所有电位和保持电容器13的两端的电位为0V，因此禁止电荷的移动以防止出现有缺陷的显示。。Ž

【 図 1 】

