

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4117890号
(P4117890)

(45) 発行日 平成20年7月16日 (2008. 7. 16)

(24) 登録日 平成20年5月2日 (2008. 5. 2)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
 G02F 1/133 550
 G02F 1/1368
 G09G 3/20 611E
 G09G 3/20 611J

請求項の数 25 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2005-48123 (P2005-48123)
 (22) 出願日 平成17年2月24日 (2005. 2. 24)
 (65) 公開番号 特開2005-242355 (P2005-242355A)
 (43) 公開日 平成17年9月8日 (2005. 9. 8)
 審査請求日 平成17年2月24日 (2005. 2. 24)
 (31) 優先権主張番号 10/785, 099
 (32) 優先日 平成16年2月25日 (2004. 2. 25)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 501358079
 友達光電股▲ふん▼有限公司
 台湾新竹市科学工業園區力行二路1号
 (74) 代理人 110000268
 特許業務法人 田中・岡崎アンドアソシエ
 イツ
 (72) 発明者 陳 晶川
 台湾台北市大安区臥龍街188巷1号2樓
 之1

審査官 一宮 誠

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ装置とその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

互いに平行に形成される複数本のゲートラインと、
 ゲートラインと直交し、互いに平行に形成され複数本のソースラインと、
 隣接するゲートラインとソースラインとで形成される複数のディスプレイセルからなる
 ディ스플레이セルアレイとを含む液晶ディスプレイ装置において、
 ディ스플레이セルは、第Nゲートラインと第Mソースラインとで形成される領域である
 とともに、第(N-2)ゲートラインによって駆動する第一トランジスタと、第Nゲート
 ラインによって駆動する第二トランジスタとを含むことを特徴とする液晶ディスプレイ装置
 。

【請求項 2】

ディスプレイセルは、ソース電極と第(N-2)ゲートラインとの間に配置されたコン
 デンサを更に含む、請求項1に記載の液晶ディスプレイ装置。

【請求項 3】

ディスプレイセルは、ソース電極と第(N-1)ゲートラインとの間に配置されたコン
 デンサを更に含む、請求項1に記載の液晶ディスプレイ装置。

【請求項 4】

各ディスプレイセルは、ソース電極と第(N-2)ゲートラインとの間に配置された第
 一コンデンサと、
 ソース電極と第(N-1)ゲートラインとの間に配置された第二コンデンサを更に含む請

求項 1 に記載の液晶ディスプレイ装置。

【請求項 5】

第一コンデンサは、第 (N - 2) ゲートラインからの信号が高ロジックレベルにあるとき、第一電位が充電され、低ロジックレベルにあるとき、第一電位より高く、第二電位より低い第三電位が充電される請求項 4 に記載の液晶ディスプレイ装置。

【請求項 6】

ソース電極の電位は、第 (N - 1) ゲートラインからの信号が高ロジックレベルにあるとき、第一電位に上昇し、低ロジックレベルにあるとき、第三電位に下降する請求項 5 に記載の液晶ディスプレイ装置。

【請求項 7】

第一コンデンサは、第 N ゲートラインからの信号が高ロジックレベルにあるとき、第三電位から第一電位に増加した電位が充電される請求項 6 に記載の液晶ディスプレイ装置。

【請求項 8】

互いに平行に形成される複数本のゲートラインと、
ゲートラインと直交し、互いに平行に形成される複数本のソースラインと
隣接するゲートラインとソースラインとで形成される複数のディスプレイセルからなるディスプレイアレイとを含む液晶ディスプレイ装置において、
ディスプレイセルは、第 N ゲートラインと第 M ソースラインとで形成される領域であるとともに、ソース電極と第 (N - 2) ゲートラインとの間に配置された第一コンデンサと、ソース電極と第 (N - 1) ゲートラインとの間に配置された第二コンデンサとを含むことを特徴とする液晶ディスプレイ装置。

【請求項 9】

ディスプレイセルは、
第 (N - 2) ゲートラインのゲート電極に接続した第一トランジスタと、第 N ゲートラインのゲート電極に接続した第二トランジスタとを更に含む請求項 8 に記載の液晶ディスプレイ装置。

【請求項 10】

第一トランジスタの第一端子はソース電極と、第二端子は第 M ソースラインと接続されている請求項 9 に記載の液晶ディスプレイ装置。

【請求項 11】

第二トランジスタの第一端子はソース電極と、第二端子は第 M ソースラインと接続されている請求項 9 に記載の液晶ディスプレイ装置。

【請求項 12】

第 M ソースラインからの信号は、第一電位と第二電位とを含む請求項 8 に記載の液晶ディスプレイ装置。

【請求項 13】

第 (N - 2) ゲートラインの選択期間後、第一コンデンサは、第三電位が充電される請求項 12 に記載の液晶ディスプレイ装置。

【請求項 14】

第 (N - 1) ゲートラインの選択期間後、ソース電極の電位は第三電位で維持される請求項 12 に記載の液晶ディスプレイ装置。

【請求項 15】

第 N ゲートラインの選択期間後、第一コンデンサに充電される電位は、第三電位から第一電位となる請求項 12 に記載の液晶ディスプレイ装置。

【請求項 16】

互いに平行に形成される複数本のゲートラインと、
ゲートラインと直交し、互いに平行に形成される複数本のソースラインと、
隣接するゲートラインとソースラインとで形成される複数のディスプレイセルからなるディスプレイアレイと、第一トランジスタと第二トランジスタが配置されたディスプレイセルとを含む液晶ディスプレイ装置の駆動方法において、

10

20

30

40

50

第(N-2)ゲートラインにて、第一トランジスタを駆動するステップと、
第Nゲートラインにて、第二トランジスタを駆動するステップと、
を含むことを特徴とする液晶ディスプレイ装置に適する駆動方法。

【請求項17】

ディスプレイセルは、ソース電極と第Nゲートラインとの間に第一コンデンサが配置されており、

各ディスプレイセルに、ソース電極と第(N-2)ゲートラインとの間に第二コンデンサが配置されている請求項16に記載の駆動方法。

【請求項18】

第一トランジスタおよび第二トランジスタに、第Mソースラインから第一電位と第二電位とを有する信号を提供するステップを更に含む請求項17に記載の駆動方法。

10

【請求項19】

第(N-2)ゲートラインを選択するステップと、
第(N-2)ゲートラインの選択期間後、第一コンデンサに第三電位を充電させるステップとを更に含む請求項18に記載の駆動方法。

【請求項20】

第(N-1)ゲートラインを選択するステップと、
第(N-1)ゲートラインの選択期間後、ソース電極の電位を第三電位に維持するステップとを更に含む請求項18に記載の駆動方法。

20

【請求項21】

第Nゲートラインを選択するステップと、
第Nゲートラインの選択期間後、第一コンデンサに第三電位から第一電位へと増加する電位を充電するステップとを更に含む請求項18に記載の駆動方法。

【請求項22】

互いに平行に形成される複数本のゲートラインを提供するステップと、
ゲートラインと直交し、互いに平行に形成される複数本のソースラインを提供するステップと、

隣接するゲートラインとソースラインとで形成される複数のディスプレイセルからなるディスプレイアレイを形成するステップとを含む液晶ディスプレイ装置の駆動方法において、

30

第Mソースラインから第一電位と第二電位とを含む信号を提供するステップと、第(N-2)ゲートラインを選択するステップと、

第(N-2)ゲートラインの選択期間後、第一コンデンサを第三電位に充電するステップと

第(N-1)ゲートラインを選択するステップと、
第(N-1)ゲートラインの選択期間後、第一コンデンサの電位を第三電位に維持するステップと、

第Nゲートラインを選択するステップと、
第Nゲートラインの選択期間後、第一コンデンサに第三電位から第一電位へと増加する電位を充電するステップとを更に含むことを特徴とする液晶ディスプレイ装置の駆動方法

40

【請求項23】

第一トランジスタと第二トランジスタが配置されたディスプレイセルである請求項22に記載の駆動方法。

【請求項24】

第(N-2)ゲートラインによって、第一トランジスタを駆動させるステップを更に含む請求項23に記載の駆動方法。

【請求項25】

第Nゲートラインによって、第二トランジスタを駆動させるステップを更に含む請求項23に記載の駆動方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ装置に関し、特に、薄膜トランジスタ液晶ディスプレイ（TFTLCD）装置に適する駆動回路と駆動方法に関するものである。

【背景技術】

【0002】

一般に、薄膜トランジスタ液晶ディスプレイ装置は、駆動回路と駆動回路によって駆動されるディスプレイセルとからなる。駆動回路は、互いに平行に形成された複数本のゲートラインと、ゲートラインと直交し、互いに平行に形成される複数本のソースラインが形成される。そして、隣接するゲートラインとソースラインとでディスプレイセルが形成される。ディスプレイセルは、薄膜トランジスタと蓄積コンデンサ（Cs）を含む。薄膜トランジスタは、ゲートラインに接続されたゲート電極と、ソースラインに接続されたドレイン電極と、ソースラインに接続されたドレイン電極を有する。

【0003】

図1Aは、ディスプレイセルに1つの薄膜トランジスタを有する、従来のCs-on-gate型TFTLCD装置10の回路図を示している。TFTLCD装置10の、ディスプレイセル12は、TFT14と蓄積コンデンサ16とからなる。TFT14は、ゲートライン G_n と接続したゲート電極14-2、ソースライン S_m と接続したドレイン電極14-4と、蓄積コンデンサ16を接続することができるソース電極14-6とを有する。蓄積コンデンサ16は、ゲートライン G_{n-1} に接続されている。また、ディスプレイセル12には、ソース電極14-6と共通電極（未表示）との間に更にコンデンサ18が接続されている。

【0004】

図1B及び図1Cは、図1AのTFTLCD装置10のタイミング波形図を示している。図1Cによればゲートライン G_{n-1} が選ばれる時、つまり、ゲート信号 $V(G_{n-1})$ が高ロジックレベルにある時、ソース電極14-6の電位 V_{16} は、基準電位より高電位となるように上昇する。ゲートライン G_{n-1} の選択期間が終わり、ゲート信号 $V(G_{n-1})$ のロジックレベルが低くなった時、電位 V_{16} は、基準電位となるように下降する。次に、ゲートライン G_n が選ばれた時、即ち、ゲート信号 $V(G_n)$ が高ロジックレベルにある時、蓄積コンデンサ16には、ソースライン S_m を通じて送られたソース信号 $V(S_m)$ のピーク値が充電される。そしてゲートライン G_n の選択期間が終わり、ゲート信号が低ロジックレベルになった時、蓄積コンデンサ16に充電された電位は、フィードスルー効果（feed-through effect）によりわずかに放電する。放電後、ソース電極14-6の電位は一定となる。もし、フィードスルー電位 ΔV が大きくなると、画像のちらつき（flicker）現象がひどくなる。

【0005】

また、ディスプレイセルに、2つの薄膜トランジスタを有するように回路を形成したものもある。（例えば特許文献1）図2Aは、ディスプレイセルに2つの薄膜トランジスタを有する、従来のCs-on-gate型TFTLCD装置10の回路図の一例を示している。従来のCs-on-gate型のTFTLCD装置30の回路図を示している。TFTLCD装置30のディスプレイセル32を例とする各ディスプレイセルは、第一TFT34、第二TFT38と蓄積コンデンサ36とからなる。そして、第一TFT34は、ゲートライン G_n に接続したゲート電極34-2、ソースライン S_m に接続したドレイン電極34-4と、蓄積コンデンサ36の一方の電極とするソース電極34-6を含む。さらに、第二TFT38は、ゲートライン G_{n-1} に接続したゲート電極38-2、ソースライン S_m に接続したドレイン電極38-4と、第一TFT34に接続したソース電極34-6のソース電極（未表示）とを含む。蓄積コンデンサ36の他方の電極36-2は、ゲートライン G_{n-1} に接続される。さらにディスプレイセル32には、ソース電極34-6と共通電極（未表示）との間にコンデンサ40が接続される。

【 0 0 0 6 】

【特許文献 1】特開平 2 - 1 1 8 5 2 2 公報

【 0 0 0 7 】

図 2 B と図 2 C には、図 2 A の T F T L C D 装置 3 0 のタイミング波形図を示している。図 2 C によれば、ゲートライン G_{n-1} が選ばれた時、言い換えると、ゲート信号 $V(G_{n-1})$ が高ロジックレベルにある時、ソース電極 3 4 - 6 の電位は、基準電位より高電位となるように上昇し、続いて、第二 T F T 3 8 がゲート信号 $V(G_{n-1})$ によってオンにされた時、ソース電極 3 4 - 6 の電位は、ピーク値より低電位となるように下降する。さらに、ゲートライン G_{n-1} の選択期間が終わり、ゲート信号 $V(G_{n-1})$ が低ロジックレベルとなった時、電位 V_{36} は、負の電位となる。次に、ゲートライン G_n が選ばれた時、即ち、ゲート信号 $V(G_n)$ が高ロジックレベルにある時、蓄積コンデンサ 1 6 は、負の電位から、ソースライン S_m を通して送られたソース信号 $V(S_m)$ のピーク値が充電される。ゲート信号が低ロジックレベルになった時、蓄積コンデンサ 3 6 に充電された電位は、フィードスルー効果 (feed-through effect) により、わずかに放電する。放電後、ソース電極 3 4 - 6 の電位 V_{36} は一定となる。図 2 A の回路における駆動方式を、ライン反転またはドット反転とした場合、ディスプレイセル 3 2 への充電は、図 1 A のディスプレイセル 1 2 の充電より困難となる。

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

20

本願発明は、以上のような事情を背景になされたものであり、T F T L C D 装置における、フィードスルー効果を低下させることができる、駆動回路及び駆動方法を提供するものである。

【課題を解決するための手段】

【 0 0 0 9 】

上記の問題を解決するために、本発明者が鋭意研究した結果、本発明は、互いに平行に形成される複数本のゲートラインと、ゲートラインと直交し、互いに平行に形成され複数本のソースラインと、隣接するゲートラインとソースラインとで形成される複数のディスプレイセルからなるディスプレイセルアレイを含む液晶ディスプレイ装置において、ディスプレイセルは、第 N ゲートラインと第 M ソースラインとで形成される領域であるとともに、第 (N - 2) ゲートラインによって駆動する第一トランジスタと、第 N ゲートラインによって駆動する第二トランジスタとを含むことを特徴とする液晶ディスプレイ装置とした。

30

【 0 0 1 0 】

そして、ディスプレイセルはソース電極と第 (N - 2) ゲートラインとの間に配置されたコンデンサを含むものが好ましく、ソース電極と第 (N - 1) ゲートラインとの間にコンデンサ配置されることが好ましい。更に、ソース電極と第 (N - 2) ゲートラインとの間に配置された第一コンデンサと、ソース電極と第 (N - 1) ゲートラインとの間に配置することもできる。

【 0 0 1 1 】

40

このような、駆動回路とした場合、第一コンデンサは、第 (N - 2) ゲートラインからの信号が高ロジックレベルにあるとき、第一電位が充電され、低ロジックレベルにあるとき、第一電位より高く、第二電位より低い第三電位が充電される。ここで第一電位とはソースラインからの信号における、信号の最大値をいい、第二電位とはソースラインからの信号における信号の最小値つまり信号値がゼロの状態である。

【 0 0 1 2 】

そして、ソース電極の電位は、第 (N - 1) ゲートラインからの信号が高ロジックレベルであるとき、第一電位に上昇し、低ロジックレベルにあるとき、第三電位に下降する。さらに第一コンデンサは、第 N ゲートラインからの信号が高ロジックレベルにあるとき、第三電位から第一電位に増加した電位が充電することが可能となる。

50

【 0 0 1 3 】

つまり、本発明の T F T L C D 装置では、第一コンデンサが第一電位に充電される速度が従来の T F T L C D 装置 1 0 より早くすることが可能である。よって、効果的にフィードスルー効果を低減させることができる。

【発明の効果】

【 0 0 1 4 】

本発明の T F T L C D 装置における駆動回路と駆動方法によれば、フィードスルー電位 ΔV を低減することができる。これにより、従来技術の T F T L C D 装置において生じていた、画像がちらつく現象を解決することができる。

【発明を実施するための最良の形態】

10

【 0 0 1 5 】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照にしながら、詳細に説明する。

【実施例】

【 0 0 1 6 】

図 3 A は、本発明における、T F T L C D 装置 5 0 の回路図の一例を示している。T F T L C D 装置 5 0 は、互いに平行に形成された複数のゲートライン、互いに平行に形成され、複数のゲートラインと直交している複数のソースラインと、ディスプレイアレイを含む。ディスプレイセルには、複数のディスプレイセルを有し、各ディスプレイセルは、隣接するゲートラインとソースラインとが交差する領域に形成される。図 3 A は簡略化のために、ゲートライン G_{N-2} 、 G_{N-1} と G_N と、ソースライン S_{M-2} 、 S_{M-1} と S_M のみを表した。

20

【 0 0 1 7 】

図 3 A によれば、ディスプレイセル 5 2 を例とする各ディスプレイセルは、第一トランジスタ 5 4 と、第二トランジスタ 5 6 と、第一コンデンサ 5 8 と、第二コンデンサ 6 0 とを有する。第一トランジスタ 5 4 は、ゲートライン G_N に接続したゲート電極 5 4 - 2、ソースライン S_M に接続したドレイン電極 5 4 - 4 と、第一コンデンサ 5 8 と第二コンデンサ 6 0 の一つの電極とするソース電極 5 4 - 6 を含む。そして、第二トランジスタ 5 6 は、ゲートライン G_{N-2} に接続したゲート電極 5 6 - 2、ソースライン S_M に接続したドレイン 5 6 - 4 と、第一トランジスタ 5 4 に接続したソース電極 5 4 - 6 を有する。さらに、第一コンデンサ 5 8 は、ゲートライン G_{N-2} に接続される。第二コンデンサ 6 0 は、ゲートライン G_{N-1} に接続される。また、ディスプレイセル 5 2 は、第三コンデンサ 6 2 を有し、ソース電極 5 4 - 6 と共通電極（未表示）との間に形成される。

30

【 0 0 1 8 】

図 3 B と図 3 C に、図 3 A の T F T L C D 装置 5 0 のタイミング波形図を示している。図 3 B は、タイミングを合わせた波形を示し、図 3 C はタイミングを分けて波形を示している。図 3 C によれば、ゲートライン G_{N-2} が選ばれた時、言い換えると、ゲート信号 $V(G_{N-2})$ が高ロジックレベルにある時、ゲート電極 5 6 - 2 は、ゲート信号 $V(G_{N-2})$ によって駆動し、第二トランジスタ 5 6 をオン状態にする。この時、ソースライン S_M から送られたソース信号 $V(S_M)$ は、高ロジックレベルであり、第一コンデンサ 5 8 と第二コンデンサ 6 0 とに書き込まれる。つまり、ソース電極 5 4 - 6 の電位 V_{58} は、ソース信号 $V(S_M)$ の低ロジックから高ロジックレベルになるように上昇する。そして、ゲートライン G_{N-2} の選択期間終了後、ゲート信号 $V(G_{N-2})$ は、低ロジックレベルとなり、第二トランジスタ 5 6 はオフになる。第二トランジスタ 5 6 はオフになると、電位 V_{58} は、放電して第三状態となる。ディスプレイセル 5 2 がこのフレームで完全に充電される前に、電位 V_{58} は、一時的に第三状態で維持される。

40

【 0 0 1 9 】

続いて、ゲートライン G_{N-1} が選ばれた時、言い換えると、対応するゲート信号 $V(G_{N-1})$ が高ロジックレベルにある時、第一トランジスタ 5 4 と第二トランジスタ 5 6 はオフになり、第一コンデンサ 5 8 または第二コンデンサ 6 0 に書き込まれるソース信号

50

がなく、電位 V_{58} は、上昇する。ゲートライン G_{N-1} の選択期間が終わった時、電位 V_{58} は、下降する。電位 V_{58} の上昇、下降の現象がみられるのは、ゲートライン G_{N-1} のロジックレベルが、第一コンデンサ 58 の基準レベルとなるからである。システムがオフ状態（トランジスタがオフ）では、電位は、基準電位に基づいて維持される。

【0020】

続いて、ゲートライン G_N が選ばれた時、言い換えると、対応するゲート信号 $V(G_N)$ が高ロジックレベルにある時、ゲート電極 54 - 2 は、ゲート信号 $V(G_N)$ によって駆動され、第一トランジスタ 54 がオンの状態になる。この時、ソース信号 $V(S_M)$ が、第一コンデンサ 58 と第二コンデンサ 60 に書き込まれる。そして電位 V_{58} は、第三状態から第一状態に上昇する。ゲートライン G_N の選択期間が終わった時、ゲート信号 $V(G_N)$ は、低ロジックレベルに変わり、第一トランジスタ 54 はオフ状態になる。第一トランジスタ 54 がオフになると、電位 V_{58} は、フィードスルー効果によって僅かに減少する。

10

【0021】

図 4 は、図 1 A の TFTLCD 装置 10 と図 3 A の TFTLCD 装置 50 の充電能力の比較を示している。ここで、TFTLCD 装置 50 の電位 V_{58} は、実線で表示され、TFTLCD 装置 10 の電位 V_{16} は、点線で表示されている。図 4 によれば、TFTLCD 装置 50 の電位 V_{58} は、第三電位から第一電位に充電される。よって、TFTLCD 装置 50 の電位 V_{58} は、第一状態に充電される速度が TFTLCD 装置 10 の電位 V_{16} より早い。TFTLCD 装置 50 と、TFTLCD 装置 10 とは、フィードスルー電位は ΔV であり、同じであるが、TFTLCD 装置 50 は、効果的にフィードスルー効果を低減させることができる。

20

【0022】

本発明における TFTLCD 装置の駆動方法は以下のとおりである。駆動回路には、平行した複数のゲートライン G_{N-2} 、 G_{N-1} と G_N とを提供する。そして、複数のゲートラインと直交し、互いに平行なソースライン S_{M-2} 、 S_{M-1} と S_M とを含む。

【0023】

ディスプレイレイ 12 には、第一トランジスタ 54 と第二トランジスタ 56 が形成される。第一トランジスタ 54 は、第 $(N-2)$ ゲートラインにより駆動する。第二トランジスタ 56 は、第 N ゲートラインにより駆動する。そして、第 M ソースラインから、高ロジックレベルである第一電位、または低ロジックレベルである第二電位を有するソース信号 $V(S_M)$ を送信される。

30

【0024】

そして、第 $(N-2)$ ゲートラインが選ばれ、第 $(N-2)$ ゲートラインの選択期間後、ディスプレイレイ 12 の第一コンデンサ 58 は、第一と第二電位の間の第三電位に充電される。次に第 $(N-1)$ ゲートラインが選ばれ、第 $(N-1)$ ゲートラインの選択期間後、第一コンデンサ 58 は、第三電位に維持されるように充電される。続いて第 N ゲートラインが選ばれ、第 N ゲートラインの選択期間後、第一コンデンサ 58 は、第三電位から第一電位に増加した電位が充電される。

【0025】

40

上記の実施例に基づけば、第一トランジスタ 54 と第二トランジスタ 56 は、ディスプレイレイ 12 内に配置される。第一トランジスタ 54 は、第 $(N-2)$ ゲートラインにより駆動され、第二トランジスタ 56 は、第 N ゲートラインにより駆動される。

【0026】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することは可能である。従って、本発明が保護を請求する範囲は、特許請求の範囲を基準とする。

【図面の簡単な説明】

【0027】

50

【図 1 A】従来の C s - o n - g a t e 型の T F T L C D 装置の回路図を示している。

【図 1 B】図 1 A の T F T L C D 装置の波形図を示している。

【図 1 C】図 1 A の T F T L C D 装置の波形図を示している。

【図 2 A】もう一つの従来の C s - o n - g a t e 型の T F T L C D の回路図を示している。

【図 2 B】図 2 A の T F T L C D 装置の波形図を示している。

【図 2 C】図 2 A の T F T L C D 装置の波形図を示している。

【図 3 A】本発明の T F T L C D 装置の回路図を示している。

【図 3 B】図 3 A の T F T L C D 装置の波形図を示している。

【図 3 C】図 3 A の T F T L C D 装置の波形図を示している。

10

【図 4】図 1 A の T F T L C D 装置と図 3 A の T F T L C D 装置との充電能力の比較を示している。

【符号の説明】

【 0 0 2 8 】

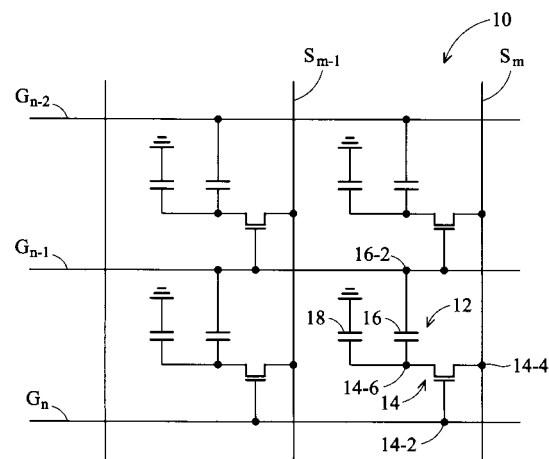
1 0 T F T L C D 装置
 1 2 ディスプレイセル
 1 4 薄膜トランジスタ
 1 4 - 2 ゲート
 1 4 - 4 ドレイン
 1 4 - 6 ソース
 1 6 蓄積コンデンサ
 1 6 - 2 電極
 1 8 コンデンサ
 G_N - 2、G_N - 1、G_N ゲートライン
 S_M - 2、S_M - 1、S_M ソースライン
 3 0 T F T L C D 装置
 3 2 ディスプレイセル
 3 4、3 8 薄膜トランジスタ
 3 4 - 2、3 8 - 2 ゲート
 3 4 - 4、3 8 - 4 ドレイン
 3 4 - 6 ソース
 3 6 蓄積コンデンサ
 3 6 - 2 電極
 4 0 コンデンサ
 5 0 T F T L C D 装置
 5 2 ディスプレイセル
 5 4、5 6 薄膜トランジスタ
 5 4 - 2、5 6 - 2 ゲート
 5 4 - 4、5 6 - 4 ドレイン
 5 4 - 6 ソース
 5 8、6 0、6 2 コンデンサ
 5 8 - 2、6 0 - 2 電極

20

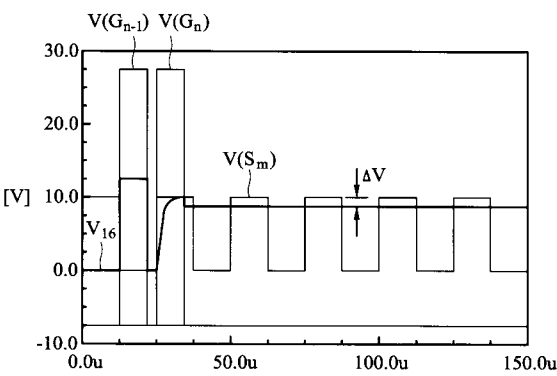
30

40

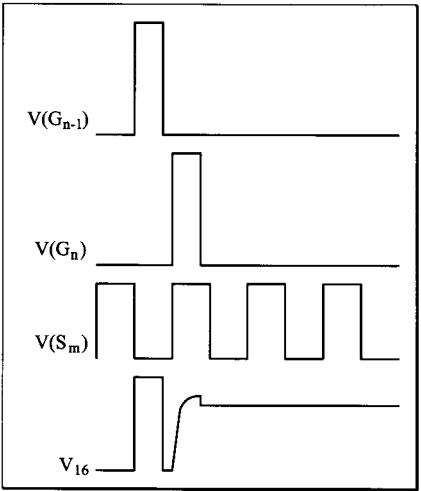
【図 1 A】



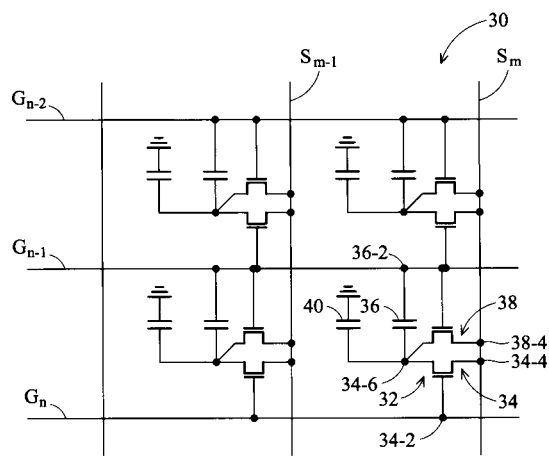
【図 1 B】



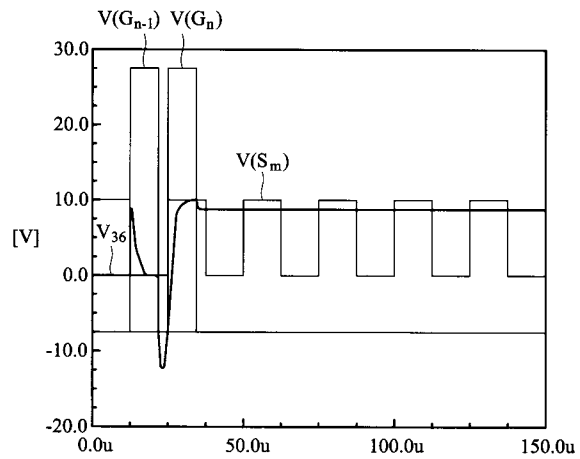
【図 1 C】



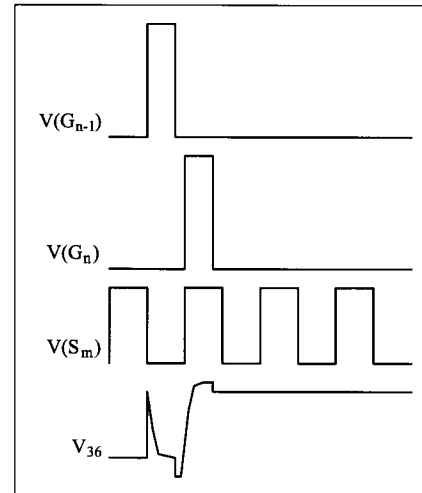
【図 2 A】



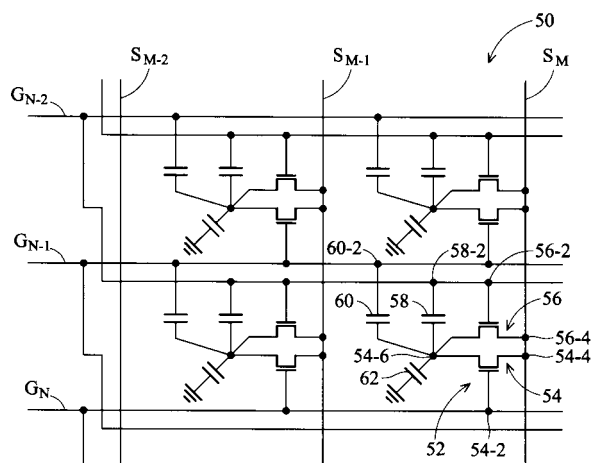
【図 2 B】



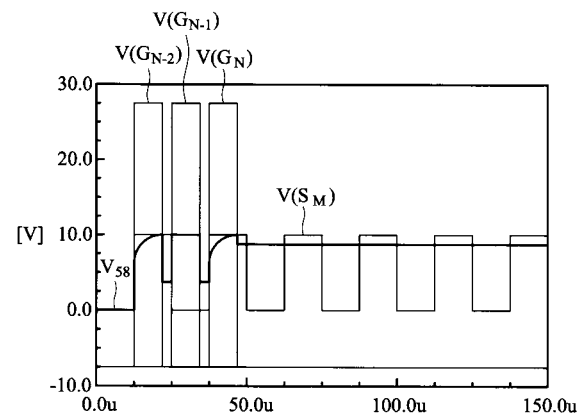
【図 2 C】



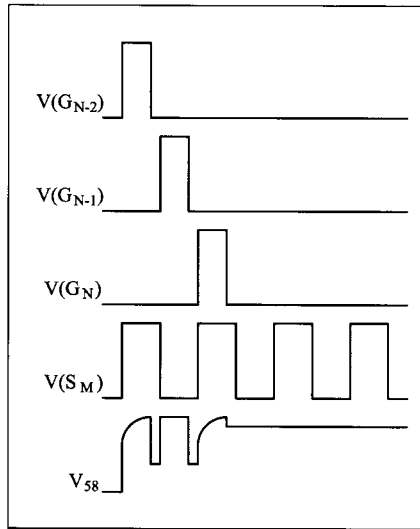
【図 3 A】



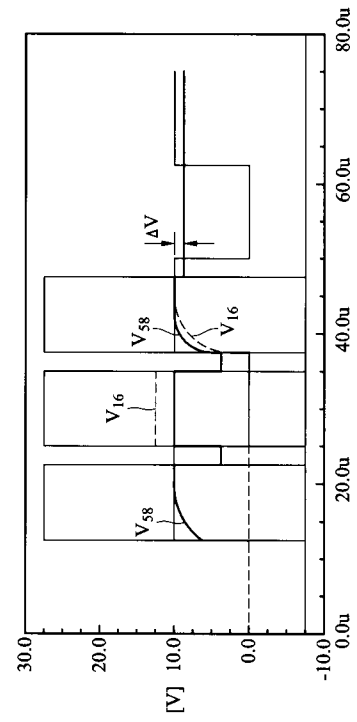
【図 3 B】



【図 3 C】



【図 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 2 4 B

(56)参考文献 特開平 0 2 - 1 1 8 5 2 2 (J P , A)
特開平 1 1 - 0 8 4 4 1 7 (J P , A)
特開平 0 4 - 0 8 4 4 1 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP4117890B2	公开(公告)日	2008-07-16
申请号	JP2005048123	申请日	2005-02-24
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▼ふん▲有限公司		
当前申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	陳晶川		
发明人	陳 晶川		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 G02F1/136 G02F1/1362		
CPC分类号	G02F1/13624 G02F2001/13606 G09G3/3659 G09G2300/0842 G09G2320/0247		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.E G09G3/20.611.J G09G3/20.621.B G09G3/20.624.B		
F-TERM分类号	2H092/JA24 2H092/JB64 2H092/JB68 2H092/NA11 2H092/PA06 2H093/NA16 2H093/NA32 2H093/NC09 2H093/NC11 2H093/ND10 2H192/AA24 2H192/CB12 2H192/CC22 2H192/DA02 2H192/DA65 2H192/GD61 2H193/ZC02 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AC27 5C006/BB16 5C006/BC06 5C006/BF42 5C006/FA12 5C006/FA23 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ04		
审查员(译)	一宫诚		
优先权	10/785099 2004-02-25 US		
其他公开文献	JP2005242355A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种可以降低TFT LCD器件的馈通效应的驱动电路和方法。解决方案：液晶显示装置包括彼此平行形成的多条栅极线，彼此平行且与栅极线正交形成的多条源极线，构成多个显示单元的显示单元阵列由相邻栅极线和源极线形成的每个单元包括由第（N-2）栅极线驱动的第一晶体管 and 由第（N）栅极线驱动的第二晶体管作为由（N）形成的区域（N）栅极线和第（M）源极线。Ž

【图 1 A】

