

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3905436号
(P3905436)

(45) 発行日 平成19年4月18日(2007.4.18)

(24) 登録日 平成19年1月19日(2007.1.19)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO2F 1/1368

GO2B 5/20 (2006.01)

GO2B 5/20 1 O 1

GO2F 1/1335 (2006.01)

GO2F 1/1335 5 O 5

GO2F 1/13363 (2006.01)

GO2F 1/1335 5 1 O

GO2F 1/13363

請求項の数 13 (全 16 頁)

(21) 出願番号 特願2002-208523 (P2002-208523)

(22) 出願日 平成14年7月17日(2002.7.17)

(65) 公開番号 特開2004-53752 (P2004-53752A)

(43) 公開日 平成16年2月19日(2004.2.19)

審査請求日 平成16年8月27日(2004.8.27)

(73) 特許権者 595059056

株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(74) 代理人 100103894

弁理士 家入 健

(72) 発明者 橋口 隆史

熊本県菊池郡西合志町御代志997番地

株式会社アドバンスト・ディスプレイ内

審査官 福島 浩司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶層を挟持して対向配置された第1の基板と第2の基板を備え、赤色(R)、緑色(G)、青色(B)のドットからなる画素が形成された液晶表示装置であって、前記第1の基板は、前記各ドットを形成するR、G、Bの着色層と、前記着色層の間に設けられた遮光層とを備え、前記第2の基板は、互いに交差するゲート配線及びソース配線と、ソース配線に沿うように形成され前記R、G、Bの各ドットに対応する補助容量形成パターンと、前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、前記スイッチング素子に接続され、前記R、G、Bの各ドットに対応する画素電極とを備え、前記R、G、Bのいずれかのドットの前記補助容量形成パターンのパターン形状が当該他のR、G、Bのドットと異なり、前記補助容量形成パターンと前記画素電極の容量値が当該R、G、Bのいずれのドットでも略等しいことを特徴とする液晶表示装置。

【請求項2】

液晶層を挟持して対向配置された第1の基板と第2の基板を備え、赤色(R)、緑色(G)、青色(B)のドットからなる画素が形成された液晶表示装置であって、前記第1の基板は、前記各ドットを形成するR、G、Bの着色層と、前記着色層の間に設けられた遮光層とを備え、

10

20

前記第 2 の基板は、互いに交差するゲート配線及びソース配線と、
前記ゲート配線にほぼ平行に設けられた補助容量配線と、
ソース配線に沿うように形成され前記 R、G、B の各ドットに対応する補助容量形成パターンと、
前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、
前記スイッチング素子に接続され、前記 R、G、B の各ドットに対応する画素電極とを備え、
前記 R、G、B のいずれかのドットの前記補助容量形成パターンのパターン形状が当該他の R、G、B のドットと異なり、前記補助容量形成パターンと前記画素電極の容量値が当該 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

10

【請求項 3】

請求項 1 又は 2 いずれかに記載の液晶表示装置であって、
前記補助容量形成パターンと前記画素電極の重なる部分の面積が当該 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

【請求項 4】

請求項 3 記載の液晶表示装置であって、
前記補助容量形成パターンと前記画素電極の重なる部分のパターン形状が当該 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

【請求項 5】

液晶層を挟持して対向配置された第 1 の基板と第 2 の基板を備え、赤色 (R)、緑色 (G)、青色 (B) のドットからなる画素が形成された液晶表示装置であって、
前記第 1 の基板は、前記各ドットを形成する R、G、B の着色層と、
前記着色層の間に設けられた遮光層とを備え、
前記第 2 の基板は、互いに交差するゲート配線及びソース配線と、
ソース配線に沿うように形成され前記 R、G、B の各ドットに対応する補助容量形成パターンと、
前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、
前記スイッチング素子に接続され、前記 R、G、B の各ドットに対応する画素電極とを備え、
前記 R、G、B いずれかのドットの前記補助容量形成パターンの幅 (Cs) が当該他の R、G、B のドットと異なり、前記補助容量形成パターンの幅 (Cs) と前記画素電極と隣接する前記ソース配線との間隔 (W) の差が当該 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

20

30

【請求項 6】

液晶層を挟持して対向配置された第 1 の基板と第 2 の基板を備え、赤色 (R)、緑色 (G)、青色 (B) のドットからなる画素が形成された液晶表示装置であって、
前記第 1 の基板は、前記各ドットを形成する R、G、B の着色層と、
前記着色層の間に設けられた遮光層とを備え、
前記第 2 の基板は、互いに交差するゲート配線及びソース配線と、
前記ゲート配線にほぼ平行に設けられた補助容量配線と、
ソース配線に沿うように形成され前記 R、G、B の各ドットに対応する補助容量形成パターンと、
前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、
前記スイッチング素子に接続され、前記 R、G、B の各ドットに対応する画素電極とを備え、
前記 R、G、B いずれかのドットの前記補助容量形成パターンの幅 (Cs) が当該他の R、G、B のドットと異なり、前記補助容量形成パターンの幅 (Cs) と前記画素電極と隣接する前記ソース配線との間隔 (W) の差が当該 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

40

【請求項 7】

50

請求項 5 又は 6 いずれかに記載の液晶表示装置であって、
前記画素電極と前記補助容量形成パターンの容量値が前記 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

【請求項 8】

請求項 7 記載の液晶表示装置であって、
前記画素電極と前記補助容量形成パターンが重なる部分の面積が前記 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。

【請求項 9】

請求項 8 記載の液晶表示装置であって、
前記画素電極と前記補助容量形成パターンが重なる部分のパターン形状が前記 R、G、B のいずれのドットでも略等しいことを特徴とする液晶表示装置。 10

【請求項 10】

請求項 1 又は 9 いずれかに記載の液晶表示装置であって、
前記補助容量形成パターンと前記隣接するソース配線との間隔が前記 R、G、B のいずれのドットでも略等しくなることを特徴とする液晶表示装置。

【請求項 11】

請求項 1 乃至 10 いずれかに記載の液晶表示装置であって、
前記ソース配線の幅が前記 R、G、B のいずれのドットでも略等しくなることを特徴とする液晶表示装置。

【請求項 12】

請求項 1 乃至 11 いずれかに記載の液晶表示装置であって、
前記 R、G、B のいずれかのドットの前記補助容量形成パターンの幅 (Cs) が当該他の R、G、B のドットの前記補助容量形成パターンの幅 (Cs) と $0.25\text{ }\mu\text{m}$ 以上異なることを特徴とする液晶表示装置。 20

【請求項 13】

前記補助容量形成パターンが補助容量延在パターン、フローティングブラックマトリクスパターン又はゲート配線延在パターンのいずれかである請求項 1 乃至 12 いずれかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタが設けられた液晶表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は、通常、対向する 2 枚の絶縁性基板の間に液晶などの表示材料が挟持されると共に、この表示材料に選択的に電圧が印加されるように構成される。これらの 2 枚の絶縁性基板の少なくとも一方の対向面側には薄膜トランジスタ (以下、TFT と称す) などのスイッチング素子およびこれと接続する画素電極などが形成された基板 (以下、TFT アレイ基板と称する) には、該スイッチング素子に信号を与えるための信号配線 (ソース配線、ゲート配線) がマトリクス状に形成されている。 40

【0003】

従来の TFT の構造を図 9、図 10 に示す。図 9 はボトムゲート型構造の TFT 部の平面図であり、図 10 は図 9 における A - A 断面図である。ここで 1 はゲート配線、2 はソース配線、3 はソース電極、4 はドレイン電極、5 は補助容量配線、6 は画素電極、12 は半導体層を示す。

【0004】

TFT の一般的な製造方法を図 9 により説明する。まず絶縁性基板上に Al、Cr、Mo、Ti、W 等の導電膜をスパッタ装置により成膜する。そして写真製版工程 (露光工程)、エッチング工程及びレジスト除去工程によりゲート配線 1 及び補助容量配線 5 (蓄積容量配線、保持容量配線) を形成する。これらの配線は略平行に形成される。さらに後に形 50

成するソース配線 2 と略平行に補助容量配線から延在パターンが設けられている。

【 0 0 0 5 】

次にゲート配線 1 が形成された絶縁性基板上に SiN_x 等の絶縁膜、及び a - Si 膜の半導体膜をプラズマ CVD 装置により成膜する。ここで半導体膜に P をドーピングして、オーミック層として n^+ a - Si 層を形成する。そして写真製版工程、エッチング工程及びレジスト除去工程により半導体層 1 2 を形成する。さらにその上からソース配線 2、ソース電極 3、ドレイン電極 4 を形成するための Al、Cr、Mo、Ti、W 等の導電膜をスパッタ装置により形成する。そして写真製版工程、エッチング工程及びレジスト除去工程によりソース配線 2、ソース電極 3、ドレイン電極 4 を形成させる。上記のような工程でスイッチング素子が形成される。

10

【 0 0 0 6 】

さらにこの後に層間絶縁膜である SiN_x 膜を形成し、写真製版工程、レジスト除去工程、エッチング工程によりコンタクトホールを形成する。そして ITO 膜等の透明性導電膜を成膜する。写真製版工程、レジスト除去工程、エッチング工程により画素電極 6 を形成する。コンタクトホールを介してドレイン電極 4 と ITO 膜とが接触し、スイッチング素子と画素電極 6 が接続される構造となる。以上のような工程で TFT が形成され、この TFT をアレイ状に設けることにより TFT アレイ基板が形成される。

【 0 0 0 7 】

もう一方の基板は R、G、B の各色のドットに対応する着色層が設けられたカラーフィルター基板（以下、CF 基板と称す）である。この CF 基板の構造を図 1 1 により説明する。7 は着色層であり 7 r は R（赤色）の着色層、7 g は G（緑色）の着色層、7 b は B（青色）の着色層である。8 は遮光層である BM（ブラックマトリクス）、9 は保護膜、10 は対向電極、11 は配向膜である。

20

【 0 0 0 8 】

まず絶縁性基板上に Cr 膜をスパッタ装置により成膜する。その後、写真製版工程等により遮光層である BM 8 を形成する。

【 0 0 0 9 】

この上から赤色（R）の顔料を基板上に塗布する。その後、レジスト塗布、露光及び現像工程により顔料をパターンニングし、BM 8 の間に R の着色層 7 r を形成する。これを G の着色層 7 g と B の着色層 7 b にも繰り返す行い、三原色の着色層 7 を形成する。これらの R、G、B の着色層が図 9 に示す様に順番に配列され、各色のドットに対応する。これらの RGB の着色層から 1 つの画素が形成される。

30

【 0 0 1 0 】

その上から透明な保護膜 9 を塗布し平坦化した後、さらに透明導電膜を成膜し、対向電極 10 を形成する。そして所定の液晶分子配向を得るために有機高分子膜からなる配向膜 11 を形成し、一定の方向にラビング処理を行う。

【 0 0 1 1 】

以上の工程で製造された TFT アレイ基板と CF 基板を対向配置させる。そして基板間に液晶分子を注入し、封止する。そして TFT アレイ基板の裏側からバックライト光を照射する。スイッチング素子が OFF 時には配向膜 11 で配向された方向に液晶分子が配向され、遮光される。

40

【 0 0 1 2 】

スイッチング素子が ON 時には画素電極 6 に電圧が印加され、画素電極 6 と対向電極 10 との間に電位差が生じる。従って液晶分子は基板と垂直に配向され光が透過する。またスイッチング素子が OFF になっても画素電極 6 と補助容量配線 5 の蓄積容量によって電荷が保持され、液晶分子が配向された状態で保持される。これによりスイッチング素子の ON、OFF に従って各ドットの明暗が表示される。これらの RGB のドットにより 1 つの画素が形成され、任意の色が表示される。

【 0 0 1 3 】

液晶表示装置においてはこれらのドットは、対応する各色（RGB）に関係なく等ピッチ

50

で形成されている。そのためRGBの各ドットサイズが異なることはほとんどない。従ってRGBの各隣接ドット間における各配線、画素電極のパターン幅、間隔及び重なり面積等はほぼ等しいパターン形状(平面形状)をしている。しかし表示エリアサイズが露光工程でのマスク精度からRGBドットに等分割することが困難であった。またRGBドットに対する各バックライト光源の輝度差を緩和するためにRGBドットの開口率を異なる設計としなければならなかった。

【0014】

この場合、各色のドットの配線幅、配線同士の間隔、電極と配線間の間隔等でパターン形状を調整する必要がある。しかしこの場合、隣接ドット間のサイズ差による配線幅や間隔等の違いから隣接ドット間で配線抵抗や容量差を発生させ、表示特性に影響を及ぼすという可能性があった。

10

【0015】

この対策として特開2001-228491号公報にソース配線幅や補助容量配線の幅を隣接ドット間で差を設ける方法が示されている。しかしソース配線幅に各隣接ドット間で差を設けた場合、隣接ドット間で充電特性差が顕著になるといった問題点があった。また補助容量配線の幅に各隣接ドット間で差を設けた場合は、補助容量配線の面積が広くなり、画素電極との重なり部分の面積が増加する。従って蓄積容量が隣接ドット間で異なり表示特性にばらつきが生じるという問題点もあった。

【0016】

【発明が解決しようとする課題】

20

このように、従来の液晶表示装置では、隣接ドット間で配線幅や間隔等のパターン形状が違えば、抵抗や容量差が生じ、各色の表示特性にばらつきが生じるといった問題点があった。

【0017】

本発明は、このような問題点を解決するためになされたもので、隣接ドット間を異なるパターン形状で設計した場合でも、各ドット間で表示特性のばらつきが抑制された液晶表示装置を提供することを目的とする。

【0018】

【課題を解決するための手段】

本発明にかかる液晶表示装置は、液晶層を挟持して対向配置された第1の基板と第2の基板を備え、赤色(R)、緑色(G)、青色(B)のドットからなる画素が形成された液晶表示装置であって、前記第1の基板は前記各ドットを形成するR、G、Bの着色層(例えば、本発明の実施の形態における着色層7)と、前記着色層の間に設けられた遮光層(例えば、本発明の実施の形態におけるBM8)とを備え、前記第2の基板には互いに交差するゲート配線(例えば、本発明の実施の形態におけるゲート配線1)及びソース配線(例えば、本発明の実施の形態におけるソース配線2)と、ソース配線に沿うように形成され前記R、G、Bの各ドットに対応する補助容量形成パターン(例えば、本発明の実施の形態における補助容量配線延在パターン5a、フローティングBMパターン13又はゲート配線延在パターン14のいずれか)と、前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、前記スイッチング素子に接続され、前記R、G、Bの各ドットに対応する画素電極(例えば、本発明の実施の形態における画素電極6)とを備え、前記R、G、Bのいずれかのドットの前記補助容量形成パターンのパターン形状が当該他のR、G、Bのドットと異なり、前記補助容量形成パターンと前記画素電極の容量値が当該R、G、Bのいずれのドットでも略等しいことを特徴としている。これにより隣接ドット間を異なるパターン形状で設計した場合でも、各ドット間で充電特性や応答速度等の表示特性のばらつきを抑制することができる。

30

40

【0019】

本発明にかかる液晶表示装置は、液晶層を挟持して対向配置された第1の基板と第2の基板を備え、赤色(R)、緑色(G)、青色(B)のドットからなる画素が形成された液晶表示装置であって、前記第1の基板は前記各ドットを形成するR、G、Bの着色層(例え

50

ば、本発明の実施の形態における着色層 7) と、前記着色層の間に設けられた遮光層 (例えば、本発明の実施の形態における B M 8) とを備え、前記第 2 の基板には互いに交差するゲート配線 (例えば、本発明の実施の形態におけるゲート配線 1) 及びソース配線 (例えば、本発明の実施の形態におけるソース配線 2) と、前記ゲート配線にほぼ平行に設けられた補助容量配線 (例えば、本発明の実施の形態における補助容量配線 5) と、ソース配線に沿うように形成され前記 R、G、B の各ドットに対応する補助容量形成パターン (例えば、本発明の実施の形態における補助容量配線延在パターン 5 a、フローティング B M パターン 1 3 又はゲート配線延在パターン 1 4) と、前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、前記スイッチング素子に接続され、前記 R、G、B の各ドットに対応する画素電極 (例えば、本発明の実施の形態における画素電極 6) とを備え、前記 R、G、B のいずれかのドットの前記補助容量形成パターンのパターン形状が当該他の R、G、B のドットと異なり、前記補助容量形成パターンと前記画素電極の容量値が当該 R、G、B のいずれのドットでも略等しいことを特徴としている。これにより隣接ドット間を異なるパターン形状で設計した場合でも、各ドット間で充電特性や応答速度等の表示特性のばらつきを抑制することができる。

10

【 0 0 2 0 】

上述の液晶表示装置は前記補助容量形成パターンと前記画素電極の重なる部分の面積が当該 R、G、B のいずれのドットでも略等しいことが望ましい。これにより各ドット間で表示特性のばらつきを抑制することができる。

【 0 0 2 1 】

20

また上述の液晶表示装置において、前記補助容量形成パターンと前記画素電極の重なる部分のパターン形状を当該 R、G、B のいずれのドットでも略等しくすることも可能である。これにより、各ドット間で表示特性のばらつきを抑制することができる。

【 0 0 2 2 】

本発明にかかる液晶表示装置は、液晶層を挟持して対向配置された第 1 の基板と第 2 の基板を備え、赤色 (R)、緑色 (G)、青色 (B) のドットからなる画素が形成された液晶表示装置であって、前記第 1 の基板は前記各ドットを形成する R、G、B の着色層と、前記着色層の間に設けられた遮光層とを備え、前記第 2 の基板には互いに交差するゲート配線及びソース配線と、ソース配線に沿うように形成され前記 R、G、B の各ドットに対応する補助容量形成パターンと、前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、前記スイッチング素子に接続され、前記 R、G、B の各ドットに対応する画素電極とを備え、前記 R、G、B のいずれかのドットの前記補助容量形成パターンの幅 (例えば、本発明の実施の形態における補助容量配線延在パターンの幅 C s、フローティング B M パターン 1 3 の幅 C s 又はゲート配線延在パターン 1 4 の幅 C s) が当該他の R、G、B のドットと異なり、前記補助容量形成パターンの幅 (C s) と前記画素電極と隣接する前記ソース配線との間隔 (例えば、本発明の実施の形態における W) の差 (例えば、本発明の実施の形態における C s - W) が当該 R、G、B のいずれのドットでも略等しいことを特徴とするものである。これにより隣接ドット間を異なるパターン形状で設計した場合でも、各ドット間で表示特性のばらつきを抑制することができる。

30

【 0 0 2 3 】

40

本発明にかかる液晶表示装置は、液晶層を挟持して対向配置された第 1 の基板と第 2 の基板を備え、赤色 (R)、緑色 (G)、青色 (B) のドットからなる画素が形成された液晶表示装置であって、前記第 1 の基板は前記各ドットを形成する R、G、B の着色層と、前記着色層の間に設けられた遮光層とを備え、前記第 2 の基板には互いに交差するゲート配線及びソース配線と、前記ゲート配線にほぼ平行に設けられた補助容量配線と、ソース配線に沿うように形成され前記 R、G、B の各ドットに対応する補助容量形成パターンと、前記ゲート配線及びソース配線が交差する位置の近傍に設けられたスイッチング素子と、前記スイッチング素子に接続され、前記 R、G、B の各ドットに対応する画素電極とを備え、前記 R、G、B のいずれかのドットの前記補助容量形成パターンの幅 (例えば、本発明の実施の形態における補助容量配線延在パターンの幅 C s、フローティング B M パターン

50

13の幅Cs又はゲート配線延在パターン14の幅Cs)が当該他のR、G、Bのドットと異なり、前記補助容量形成パターンの幅(Cs)と前記画素電極と隣接する前記ソース配線との間隔(例えば、本発明の実施の形態におけるW)の差(例えば、本発明の実施の形態におけるCs-W)が当該R、G、Bのいずれのドットでも略等しいことを特徴とするものである。これにより隣接ドット間を異なるパターン形状で設計した場合でも、各ドット間で表示特性のばらつきを抑制することができる。

【0024】

上述の液晶表示装置は前記画素電極と前記補助容量形成パターンの容量値を前記R、G、Bのいずれのドットでも略等しくすることが望ましい。これにより各ドット間で表示特性のばらつきを抑制することができる。

10

【0025】

さらに前記画素電極と前記補助容量形成パターンが重なる部分の面積を前記R、G、Bのいずれのドットでも略等しくしてもよい。これにより各ドット間で表示特性のばらつきを抑制することができる。

【0026】

また前記画素電極と前記補助容量形成パターンが重なる部分のパターン形状を前記R、G、Bのいずれのドットでも略等しくすることが可能である。これにより各ドット間で表示特性のばらつきを抑制することができる。

【0027】

上記の液晶表示装置において、前記補助容量形成パターンと前記隣接するソース配線との間隔を前記R、G、Bのいずれドットでも略等しくすることが望ましい。これにより各ドット間で表示特性のばらつきが抑制することができる。

20

【0028】

さらに好ましい態様として前記ソース配線の幅を前記R、G、Bのいずれのドットでも略等しくする。これにより各ドット間で表示特性のばらつきを抑制することができる。

【0029】

また前記R、G、Bのいずれかのドットの前記補助容量形成パターンの幅(Cs)が当該他のR、G、Bのドットの前記補助容量形成パターンの幅(Cs)と0.25μm以上異なるようにすることが望ましい。これにより、露光工程のマスク精度により、隣接ドット間で異なる設計をする必要がある場合でも、表示特性のばらつきを抑制することができる。

30

【0030】

上記の液晶表示装置において、前記補助容量配線形成パターンは補助容量延在延在パターン、フローティングブラックマトリクスパターン、ゲート配線延在パターンのいずれかで形成することができる。これにより隣接ドット間を異なるパターン形状で設計した場合でも、各ドット間で充電特性や応答速度等の表示特性のばらつきを容易に抑制することができる。

【0031】

【発明の実施の形態】

本発明の実施の形態1.

40

本発明にかかる液晶表示装置の構造を図1、図2(a)、図2(b)、図2(c)に示す。図1はTFTアレイ基板の平面図であり、それぞれR、G、Bのドットに対応している。図2(a)、図2(b)、図2(c)はそれぞれCF基板を含めた図1のA-A断面図、B-B断面図、C-C断面図であり、それぞれR、G、Bのドット(着色層)に対応している。

【0032】

1はゲート配線、2はソース配線、3はソース電極、4はドレイン電極、5は補助容量配線、5aは補助容量配線延在パターン、6は画素電極、12は半導体層である。これらはTFTアレイ基板側に設けられている。7はRGBの着色層、8は遮光層であるBM(ブラックマトリクス)、9は保護膜、10は透明導電膜により設けられた対向電極、11は

50

配向膜であり、これらはCF基板側に設けられている。数字の後ろのr、g、bはそれぞれR、G、Bのドット（着色層7）に対応する配線、電極、パターンであることを示している。例えば2rはRのドットに対応するソース配線を示しており、6gはGのドットに対応する画素電極を示している。なお数字の後ろにr、g、bがない場合はドットに関係なく、それぞれの構成要素を総称するものとする。

【0033】

以下に本発明にかかるTF Tアレイ基板の構造を製造過程に従って説明する。まず絶縁性基板上にAl、Cr、Mo、Ti、W等の導電膜をスパッタ装置により成膜する。そして写真製版工程、エッチング工程及びレジスト除去工程によりゲート配線1及び補助容量配線5及び補助容量配線延在パターン5aを形成する。図1に示すようにゲート配線1及び補助容量配線5はそれぞれ平行に形成され、補助容量配線5は画素電極6の略中央を横断するように形成される。また補助容量配線延在パターン5aはゲート配線1及び補助容量配線5と略垂直に形成される。

10

【0034】

補助容量配線延在パターン5aは図1に示すようにそのドットのスイッチング素子を駆動するソース配線2及び隣のドットのスイッチング素子を駆動するソース配線2に沿うように設けられている。また補助容量配線5を挟んで両側に延在している。各ドットに対応する補助容量配線延在パターン5aが補助容量配線5から4箇所延在して設けられている。

【0035】

ここで図2(a)、図2(b)、図2(c)に示すようにR、G、Bのドットに対応する補助容量配線延在パターン5aの幅をそれぞれCs r、Cs g、Cs bとする。そしてCs r、Cs g、Cs bを総称してCsとする。本実施の形態ではGのドットの輝度差を緩和するために、Cs r、Cs bを6.0 μm、Cs gを6.25 μmとGのみ異なる値としている。したがって図2(a)及び図2(c)は同じ形状をしている。

20

【0036】

次にゲート配線1が形成された絶縁性基板上にSiN_x等の絶縁膜、及びa-Si膜の半導体膜をプラズマCVD装置により成膜する。ここで半導体膜にPをドーピングして、オーミック層としてn⁺ a-Si層を形成する。そして写真製版工程、エッチング工程及びレジスト除去工程により半導体層12を形成する。さらにその上からソース配線2、ソース電極3、ドレイン電極4を形成するためのAl、Cr、Mo、Ti、W等の導電膜をスパッタ装置により形成する。この導電膜を写真製版工程、エッチング工程及びレジスト除去工程によりソース配線2、ソース電極3、ドレイン電極4を形成させる。ここでソース配線2はゲート配線1及び補助容量配線と垂直に設けられているため、補助容量配線延在パターン5aとは平行になる。ソース配線2r、2g、2bの幅は全て6.5 μmである。上記のような工程でスイッチング素子が形成される。

30

【0037】

さらにこの後に層間絶縁膜であるSiN_x膜を形成し、写真製版工程、レジスト除去工程、エッチング工程によりコンタクトホールを形成する。そしてITO膜等の透明性導電膜を成膜する。写真製版工程、レジスト除去工程、エッチング工程により画素電極6を形成する。コンタクトホールを介してドレイン電極4とITO膜とが接触し、スイッチング素子と画素電極6が接続される構造となる。

40

【0038】

このTF Tアレイ基板とCF基板が対向配置され、その間に液晶材料が注入される。画素電極6とCF基板側に設けられた対向電極10の電位差により電界が生じ液晶分子が配向される。

【0039】

本実施の形態では画素電極6とソース配線2の間に補助容量配線延在パターン5aを有する構造となる。この補助容量配線延在パターン5aは図2(a)、図2(b)、図2(c)に示すよう画素電極6からはみ出した構造となる。この画素電極6が形成されていない領域は電界が基板と垂直に印加されない配向異常領域となる。この領域に補助容量配線延

50

在パターン 5 a を設けることにより、この配向異常領域を遮光することができる。これによりコントラストを向上することができる。

【 0 0 4 0 】

画素電極 6 はそのスイッチング素子を駆動するソース配線 2 と隣接するスイッチング素子を駆動するソース配線 2 の間に設けられている。ここで図 2 (a) に示す R のドットに対応する画素電極 6 r と G のドットに対応するスイッチング素子を駆動するソース配線 2 g の間の間隔を W_{rg} とする。同様に図 2 (b) に示すように画素電極 6 g とソース配線 2 b の間の間隔を W_{gb} とし、図 2 (c) に示すように画素電極 6 b とソース配線 2 r の間の間隔を W_{br} とする。この W_{rg} 、 W_{gb} 、 W_{br} を総称して W とする。ここで W_{rg} 、 W_{br} は $4.5 \mu\text{m}$ であり、 W_{gb} を $4.75 \mu\text{m}$ としている。補助容量配線延在パターン 5 a の幅 C_{sg} が C_{sr} 、 C_{sb} に比べ $0.25 \mu\text{m}$ 広がっているため G の画素電極 6 g のみ幅を狭くした。これにより、 $(C_{sb} - W_{br}) = (C_{sr} - W_{rg}) = (C_{sg} - W_{gb}) = 1.5 \mu\text{m}$ となり、R、G、B の全てのドットで補助容量配線延在パターン 5 a の幅 C_s と隣接する画素電極 6 とソース配線 2 の間隔 W の差が各ドット間で全て等しくなる。

10

【 0 0 4 1 】

上述の場合、 C_s の幅が広がった分だけ画素電極 6 の幅が狭くなっている。また補助容量配線延在パターン 5 a の長さは各ドットとも同じであるので、補助容量配線延在パターン 5 a と画素電極 6 の重なっている幅及び面積は各ドット間で同じである。従って画素電極 6 と補助容量配線延在パターン 5 a のパターン形状は同じであるため、電気容量値は等しくなり、スイッチング素子が ON した時の蓄積容量も略等しくなる。これにより R G B の開口率が異なる設計をしても、隣接ドット間の充電特性、応答速度等の表示特性のばらつきを抑制することができる。

20

【 0 0 4 2 】

またソース配線 2 の幅も各ドット間で同じであるため、隣接ドット間の配線抵抗も同一となる。これにより R G B の開口率が異なる設計をしても、隣接ドット間の充電特性、応答速度等の表示特性のばらつきを抑制することができる。

【 0 0 4 3 】

さらにソース配線 2 と補助容量配線延在パターン 5 a との間隔も各ドットで等しくすることが望ましい。この間隔が等しければ隣接ドット間のソース配線 2 と補助容量配線延在パターン 5 a における寄生容量も同一になる。これにより R、G、B の開口率が異なる設計をしても、隣接ドット間の充電特性、応答速度等の表示特性のばらつきを抑制することができる。

30

【 0 0 4 4 】

本実施の形態では G のドットの輝度差を緩和するために G に対応する補助容量配線延在パターン 5 a g の幅 C_{sg} を広くしたが R、B に対応する補助容量配線延在パターンの幅 C_{sr} 、 C_{sb} を広くしてもよい。また R、G、B のいずれか 1 つに対応する補助容量配線延在パターンの幅を狭くしてもよい。これらの場合、その補助容量配線延在パターンに対応する画素電極 5 とソース配線 2 の間隔を調整する必要がある。これにより、R、G、B のいずれのドットに対するバックライト光源の輝度差を緩和するために異なる開口率の設計をしても、隣接ドット間の表示特性のばらつきを抑制することができる。

40

【 0 0 4 5 】

さらには補助容量配線延在パターン 5 a の幅 C_{sr} 、 C_{sg} 、 C_{sb} を各ドットで全て異なる値としてもよい。この場合、 W_r 、 W_g 、 W_b も全て異なる値となる。これにより R、G、B 全てのドットを異なる開口率で設計しても、表示特性のばらつきを抑制することができる。

【 0 0 4 6 】

さらに各ドット間の輝度差を緩和するためだけでなく、露光工程のマスク精度により、各ドットで異なる開口率の設計をする必要がある場合にも用いることができる。例えばマスク精度が $0.25 \mu\text{m}$ である場合は、各ドット間でそれ以上の C_s の差を設けることが望

50

ましい。

【 0 0 4 7 】

またスイッチング素子と反対側の補助容量配線延在パターン 5 の幅を変更した T F T アレイ基板の断面図のみを図示したが、スイッチング素子側の補助容量配線延在パターン 5 a の幅を変更してもよい。さらには両方の補助容量配線延在パターン 5 a の幅を変更してもよい。

【 0 0 4 8 】

本発明にかかる T F T アレイ基板は各ドット間で補助容量配線延在パターンの幅 C_s を変えても、画素電極とソース配線の間隔 W を調整することにより、補助容量配線延在パターンの幅 C_s と画素電極とソース配線の間隔 W の差 ($C_s - W$) を等しくするものである。これにより補助容量配線延在パターンと画素電極の容量値、重なり面積、パターン形状が略等しくなり、充電特性等の表示特性のばらつきを抑制することができる。従って、各配線幅、間隔は上述の値に限られるものではない。また図示したパターン形状に限られるものではない。

10

【 0 0 4 9 】

本発明の実施の形態 2 .

本発明に実施の形態 2 にかかる液晶表示装置の構成を図 3 に示す。図 3 は T F T アレイ基板の構成を示す平面図である。図 1、図 2 で付した符号と同一の符号は同一の構成を示すために説明を省略する。13 はフローティングブラックマトリクスパターン (フローティング B M パターン) であり、その幅を C_s とする。また符号の後ろに付した r 、 g 、 b はそれぞれ R、G、B のドット (着色層 7) に対応する配線、電極、パターンであることを示している。

20

【 0 0 5 0 】

本実施の形態では、補助容量配線 5 及び補助容量配線延在パターン 5 a が設けられておらず、その代わりにフローティング B M パターン 13 が設けられている点で実施の形態 1 と異なる。フローティング B M パターン 13 は補助容量配線 5 と同様に、画素電極 6 との間に電荷を蓄積する。フローティング B M パターン 13 は実施の形態 1 と同様にパターン幅 (C_s) は、G のドットに対応する $C_s g$ のみ広くなっている。また画素電極 6 と隣接するソース配線 2 との間隔も、G のドットに対応する $W g$ のみ広くなっている。従ってフローティング B M パターン 13 の幅 C_s と画素電極 6 と隣接するソース配線 2 との間隔 W の差 $C_s - W$ が R、G、B いずれのドットでも等しくなり、フローティング B M パターン 13 と画素電極 6 の重なり面積、容量値が等しくなる。これにより、実施の形態 1 と同様の効果を得ることができる。またフローティング B M パターン 13 を配向異常領域に設けることにより遮光することができる。これによりコントラストを向上することができる。

30

【 0 0 5 1 】

また本実施の形態にかかる液晶表示装置の構成は図示したものに限られるものではない。実施の形態 1 に示した同様の構成を補助容量配線延在パターン 5 a の代わりに、フローティング B M パターン 13 で形成するものである。従って、その断面図は図 2 に示したものと同様になる。そしてこのフローティング B M パターン 13 の幅 C_s と画素電極 6 と隣接するソース配線 2 との間隔 W を各ドットで調整して、画素電極 6 とフローティング B M パターン 13 との蓄積容量 (補助容量) を等しくするものである。これにより実施の形態 1 と同様の効果を得ることができる。なおフローティング B M パターン 13 はゲート配線 1 と同一の工程で形成しており、電氣的に浮いた状態の導電性パターンである。このフローティング B M パターン 13 は、ゲート配線 1 と同様の工程でパターンニングできるため製造工程を増やさずに本発明の効果を得ることができる。

40

【 0 0 5 2 】

本発明の実施の形態 3 .

本発明に実施の形態 3 にかかる液晶表示装置の構成を図 4 に示す。図 4 は T F T アレイ基板の構成を示す平面図である。図 1、図 2 で付した符号と同一の符号は同一の構成を示すために説明を省略する。14 はゲート配線延在パターンであり、その幅を C_s とする。ま

50

た符号の後ろに付した r 、 g 、 b はそれぞれ R 、 G 、 B のドット（着色層 7）に対応する配線、電極、パターンであることを示している。

【0053】

本実施の形態では、補助容量配線 5 及び補助容量配線延在パターン 5 a が設けられておらず、その代わりにゲート配線から延在したゲート配線延在パターン 1 4 が設けられている点で実施の形態 1 と異なる。隣接するドットに対応するゲート配線から延在したゲート配線延在パターン 1 4 は補助容量配線 5 と同様に、画素電極 6 との間に電荷を蓄積する。ゲート配線延在パターン 1 4 は実施の形態 1 と同様にパターン幅 C_s は、 G のドットに対応する C_{sg} のみ広くなっている。また画素電極 6 と隣接するソース配線 2 との間隔も、 G のドットに対応する W_g のみ広くなっている。従ってゲート配線延在パターン 1 4 の幅 C_s と画素電極 6 と隣接するソース配線 2 との間隔 W の差 $C_s - W$ が R 、 G 、 B いずれのドットでも等しくなり、ゲート配線延在パターン 1 4 と画素電極 6 の重なり面積、容量値が等しくなる。これにより、実施の形態 1、2 と同様の効果を得ることができる。

10

【0054】

また本実施の形態にかかる液晶表示装置の構成は図示したものに限られるものではない。実施の形態 1 に示した同様の構成を補助容量配線延在パターン 5 a の代わりに、ゲート配線延在パターン 1 4 で形成するものである。従って、その断面図は図 2 に示したものと様になる。そしてこのゲート配線延在パターン 1 4 の幅 C_s と画素電極 6 と隣接するソース配線 2 との間隔 W を各ドットで調整して、画素電極 6 とゲート配線延在パターン 1 4 との蓄積容量（補助容量）を等しくするものである。これにより実施の形態 1 と同様の効果を得ることができる。なおゲート配線延在パターン 1 4 はゲート配線 1 と同一の工程で形成しており、電氣的に浮いた状態の導電性パターンである。このゲート配線延在パターン 1 4 は、ゲート配線 1 と同様の工程でパターンニングできるため製造工程を増やさずに本発明の効果を得ることができる。なお実施の形態 1 ~ 3 に示した補助容量配線延在パターン 5 a、フローティング BM パターン 1 3 及びゲート配線延在パターン 1 4 を総称して補助容量形成パターンとする。この補助容量形成パターンの幅 C_s と画素電極 6 と隣接するソース配線 2 との間隔 W を各ドットで調整することにより、画素電極 6 と補助容量形成パターンとの蓄積容量（補助容量）を各ドット間で等しくすることができる。これにより各ドット間で充電特性や応答速度等の表示特性のばらつきを抑制することができる。

20

【0055】

その他の実施の形態。

その他の実施の形態を図 5、図 6、図 7、図 8 に示す。図 5 ~ 図 8 は TFT アレイ基板の構成を示す平面図である。図 1 及び図 2 で付した符号と同一の符号は同一の構成を示すため説明を省略する。

30

【0056】

実施の形態 1 では各ドットに対応する補助容量配線延在パターン 5 a が補助容量配線 5 から 4 箇所延在して設けられていたが、図 5、図 6 に示す様にどちらか一方のソース配線 2 に沿うように延在させてもよい。また図 7 に示すように補助容量配線 5 を挟んで片側のみ延在させてよい。上記の場合は補助容量配線延在パターン 5 a が無い領域には CF 基板側で BM 8 を設けることが必要になる。さらには図 8 に示すようにソース配線 2 に隣接する補助容量配線延在パターン以外にも補助容量配線延在パターンを設けてもよい。なお補助容量配線延在パターン 5 a に限らず、フローティング BM パターン 1 3、ゲート配線延在パターン 1 4 についても同様に上述のようなパターン形状を用いることが可能である。また図示した実施の形態に限られるものではなく、これらの組み合わせでも同様の効果を得ることができる。さらに各ソース配線 2 に対応する補助容量形成パターンが分割されており、片側に 2 つ以上の補助容量形成パターンが設けられていてもよい。

40

【0057】

本発明は各ドット間で補助容量配線 5 及び補助容量配線延在パターン 5 a、フローティング BM パターン 1 3 又はゲート配線延在パターン 1 4 の補助容量形成パターンの形状を各ドット間で変えても、その画素電極 6 のパターン形状を調整することにより、補助容量形

50

成パターンと画素電極 6 のパターンとの容量値を各ドット間で等しくことを特徴とする。そのため各ドット間で補助容量形成パターンと画素電極 6 のパターンの重なり部分の面積、パターン形状を略等しくすることが望ましい。これにより各ドット間で蓄積容量が等しくなり、表示特性のばらつきを抑制することができる。従って図示されたパターン形状に限られるものではない。

【0058】

本発明は R、G、B の配列が、同じ色が同じ列に並ぶストライプ配列、1 ドットずつずらしたモザイク配列、隣の行で半ドットずつずらしたデルタ配列、4 つのドットで 1 画素を構成するスクエア配列のいずれの配列にも用いることができる。

【0059】

なお本発明にかかる T F T アレイ基板は実施の形態 1 で示した製造方法で挙げられた膜種、形成方法に限らず、他の膜種、形成方法でも同様の構成をとれば同じ効果が得られる。例えば導電膜は Al、Cr、Mo、Ti、W 以外にも Ni、Ag、Ta、Cu 等の金属及びこれらを主成分とした合金でもよい。さらに絶縁膜は SiN_x に限らず SiO₂ や Al₂O₃ でもよい。また半導体層 1 は a-Si 膜（アモルファスシリコン）に限らず p-Si 膜（ポリシリコン）でもよい。オーミック層を形成するために P、As をドーピングして n⁺ a-Si 層を形成したが、B をドーピングしてオーミック層として p⁺ a-Si 層を形成してもよい。また成膜方法はスパッタ法、プラズマ CVD 法に限らず蒸着法、減圧 CVD 法、常圧 CVD 法を用いてもよい。これらによっても同様の効果が得られる。さらにゲート配線と補助容量形成パターンは異なる層で形成してもよい。

【0060】

【発明の効果】

本発明によれば、隣接ドット間で異なるパターン形状を設計した場合でも、各ドット間で表示特性のばらつきが抑制された液晶表示装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 にかかる液晶表示装置の構造を示した平面図である。

【図 2】図 2 (a) 図 1 の A - A 断面図である。図 2 (b) 図 1 の B - B 断面図である。図 2 (c) 図 1 の C - C 断面図である。

【図 3】本発明の実施の形態 2 にかかる液晶表示装置の構造を示した平面図である。

【図 4】本発明の実施の形態 3 にかかる液晶表示装置の構造を示した平面図である。

【図 5】本発明のその他の実施の形態にかかる液晶表示装置の構造を示した平面図である。

【図 6】本発明のその他の実施の形態にかかる液晶表示装置の構造を示した平面図である。

【図 7】本発明のその他の実施の形態にかかる液晶表示装置の構造を示した平面図である。

【図 8】本発明のその他の実施の形態にかかる液晶表示装置の構造を示した平面図である。

【図 9】従来の液晶表示装置の T F T アレイ基板の構造を示した平面図である。

【図 10】図 9 の D - D 断面図である。

【図 11】液晶表示装置の C F 基板の構造を示した断面図である。

【符号の説明】

- 1 ゲート配線
- 2 ソース配線
- 3 ソース電極
- 4 ドレイン電極
- 5 補助容量配線
- 5 a 補助容量配線延在パターン
- 6 画素電極
- 7 着色層

10

20

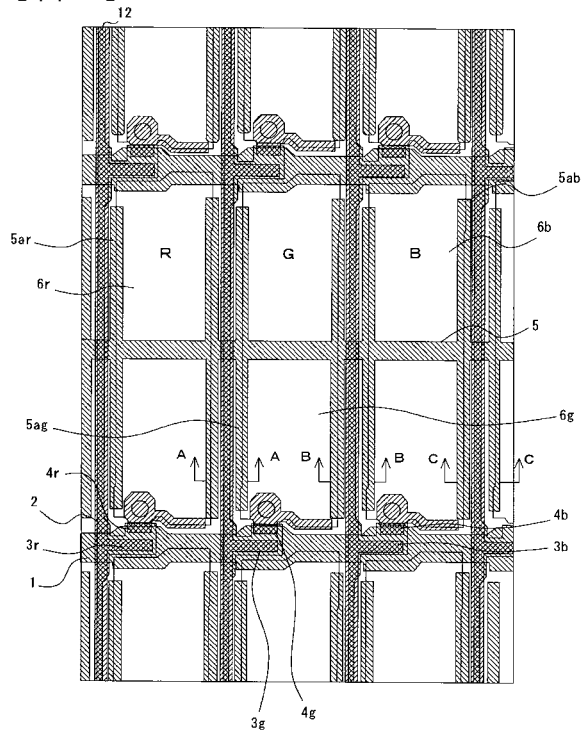
30

40

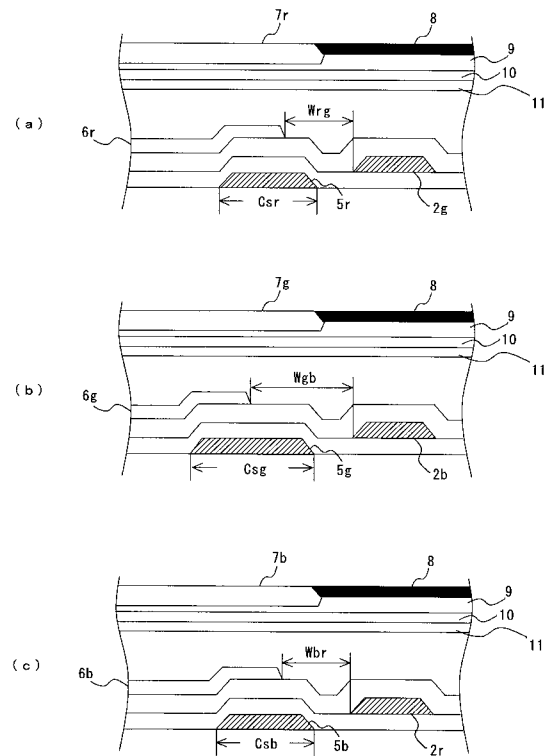
50

- 8 BM (ブラックマトリクス)
- 9 保護膜
- 10 対向電極
- 11 配向膜
- 12 半導体層
- 13 フローティングブラックマトリクスパターン (フローティングBMパターン)
- 14 ゲート配線延在パターン

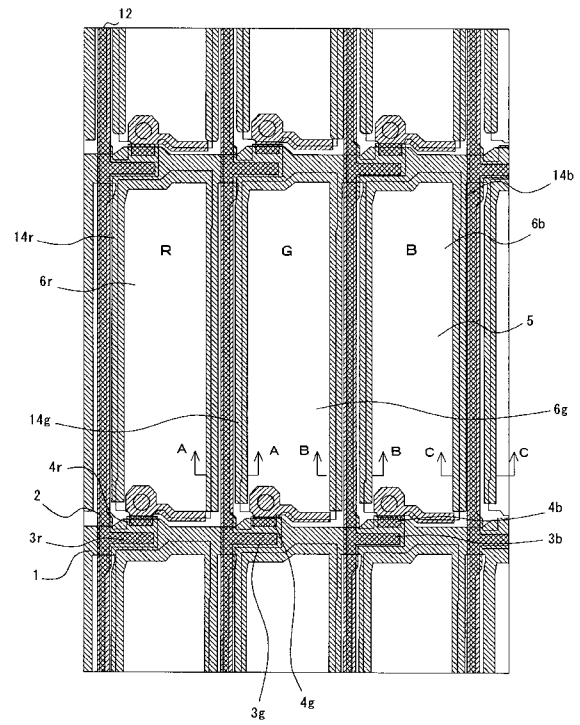
【図1】



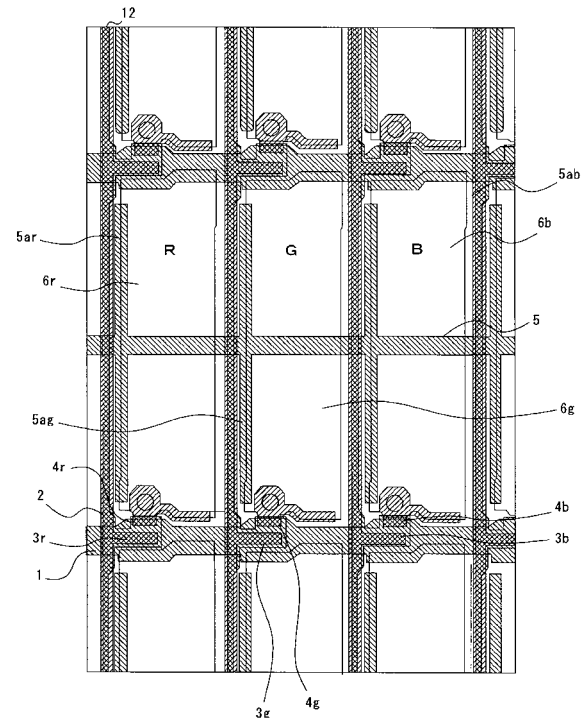
【図2】



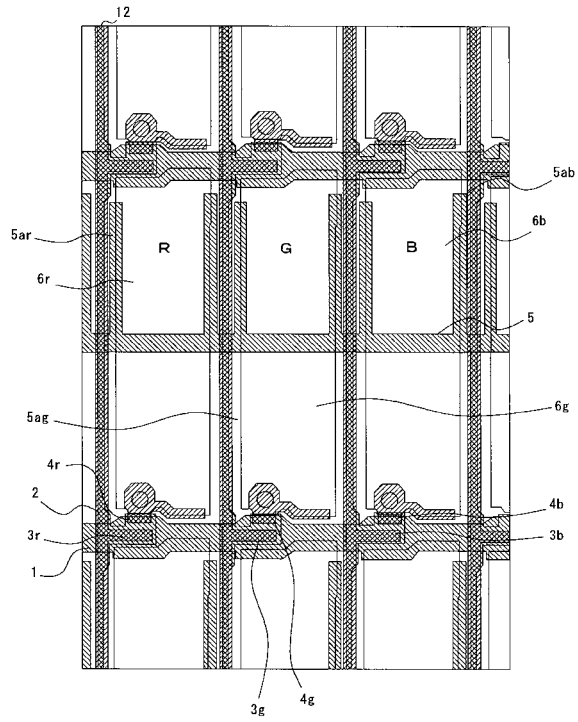
【 図 4 】



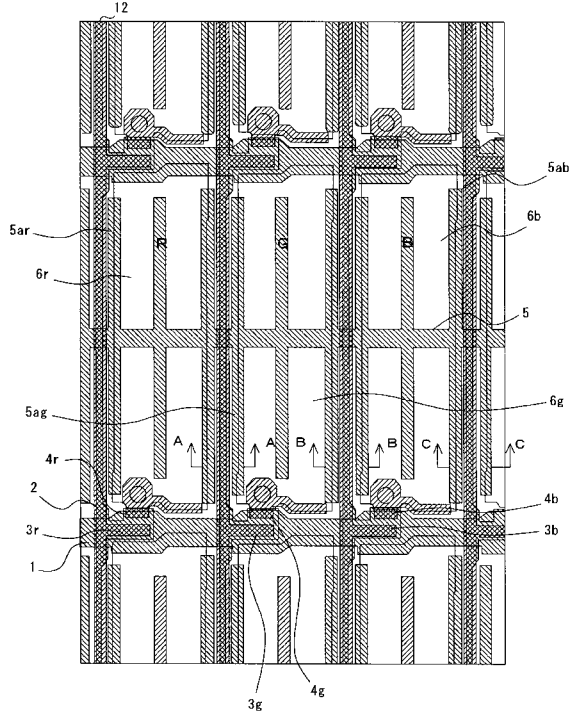
【 図 6 】



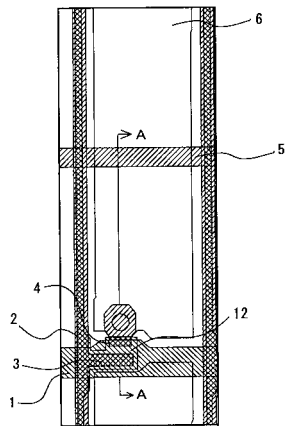
【図 7】



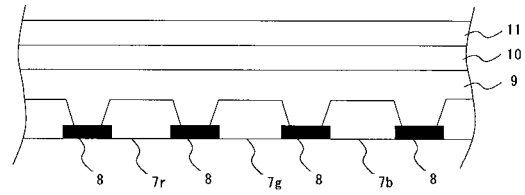
【図 8】



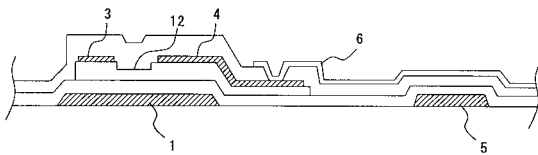
【図 9】



【図 11】



【図 10】



フロントページの続き

- (56)参考文献 特開2000-284317(JP,A)
特開2000-206559(JP,A)
特開2002-151699(JP,A)
特開平08-220561(JP,A)
特開2000-035589(JP,A)
特開2001-125139(JP,A)
特開2001-281698(JP,A)
特開2002-148658(JP,A)
特開2001-331124(JP,A)
特開2002-110996(JP,A)
特開平08-094825(JP,A)
特開平10-078590(JP,A)
特開2000-284329(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02B 5/20

G02F 1/1335

G02F 1/13363

专利名称(译)	液晶表示装置		
公开(公告)号	JP3905436B2	公开(公告)日	2007-04-18
申请号	JP2002208523	申请日	2002-07-17
申请(专利权)人(译)	有限公司高级显示		
当前申请(专利权)人(译)	有限公司高级显示		
[标]发明人	橋口隆史		
发明人	橋口 隆史		
IPC分类号	G02F1/1368 G02B5/20 G02F1/1335 G02F1/13363		
FI分类号	G02F1/1368 G02B5/20.101 G02F1/1335.505 G02F1/1335.510 G02F1/13363		
F-TERM分类号	2H048/BA02 2H048/BB02 2H048/BB07 2H048/BB08 2H048/BB24 2H048/BB42 2H091/FA02Y 2H091/FA08 2H091/FA11 2H091/FA35Y 2H091/FD04 2H091/FD06 2H091/FD24 2H091/HA07 2H091/LA03 2H091/LA11 2H091/LA12 2H091/LA15 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA46 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/NA01 2H092/NA25 2H092/PA08 2H092/PA09 2H092/QA07 2H148/BB03 2H148/BD18 2H148/BF26 2H148/BG02 2H148/BH02 2H191/FA05Y 2H191/FA06Y 2H191/FA13Y 2H191/FA14Y 2H191/FA15Y 2H191/FA81Z 2H191/FD04 2H191/FD22 2H191/FD25 2H191/FD26 2H191/GA04 2H191/GA08 2H191/GA19 2H191/LA22 2H191/LA23 2H192/AA24 2H192/AA43 2H192/AA45 2H192/BC31 2H192/CB05 2H192/DA01 2H192/DA02 2H192/DA12 2H192/EA03 2H192/EA04 2H192/EA22 2H192/EA43 2H291/FA05Y 2H291/FA06Y 2H291/FA13Y 2H291/FA14Y 2H291/FA15Y 2H291/FA81Z 2H291/FD04 2H291/FD22 2H291/FD25 2H291/FD26 2H291/GA04 2H291/GA08 2H291/GA19 2H291/LA22 2H291/LA23		
审查员(译)	福島浩二		
其他公开文献	JP2004053752A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中即使相邻的点被设计成具有不同的图案形状，也抑制了各个点之间的显示特性的变化。解决方案：本发明的液晶显示装置的第一基板包括形成各自点的R，G，B的着色层7和设置在它们之间的BM 8，并且第二基板交叉辅助电容布线5，基本上与栅极布线1平行地设置，辅助电容布线延伸图案5a，沿着源极布线2从存储电容器布线延伸，切换R，G和B点中的任何一个的存储电容器布线延伸图案5a的图案形状与其他R，G和B点不同，并且存储电容器布线延伸图案5a并且对于R，G，B的任何点，像素电极6的电容值基本相等。点域1

【图 1】

