

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3882642号
(P3882642)

(45) 発行日 平成19年2月21日(2007.2.21)

(24) 登録日 平成18年11月24日(2006.11.24)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G02F 1/133 (2006.01)	G02F 1/133 550
G09G 3/20 (2006.01)	G09G 3/20 611J
	G09G 3/20 612L
	G09G 3/20 623D
請求項の数 10 (全 13 頁) 最終頁に続く	

(21) 出願番号	特願2002-55165 (P2002-55165)	(73) 特許権者	000005108
(22) 出願日	平成14年3月1日(2002.3.1)		株式会社日立製作所
(65) 公開番号	特開2003-255904 (P2003-255904A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成15年9月10日(2003.9.10)	(74) 代理人	100100310
審査請求日	平成16年8月25日(2004.8.25)		弁理士 井上 学
		(72) 発明者	工藤 泰幸
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所 システム開発研究
			所内
		(72) 発明者	赤井 亮仁
			神奈川県川崎市麻生区王禅寺1099番地
			株式会社日立製作所 システム開発研究
			所内
		最終頁に続く	

(54) 【発明の名称】 表示装置及び表示用駆動回路

(57) 【特許請求の範囲】

【請求項1】

液晶層を介して対向して配置される2枚の基板の一方の内面に対向電極、他方の内面に互いに直交する複数本の行電極と列電極を形成し、該行電極と列電極のそれぞれの交点付近に3端子のスイッチング素子、および保持容量で構成される画素を形成し、該スイッチング素子の第1、第2、第3の端子は、それぞれ該行電極、該列電極、および該液晶層と保持容量に接続され、該液晶層の対向側は該対向電極に接続され、該保持容量の対向側は該行電極に接続される画素部と、

上位装置から入力される表示データを列電圧に変換すると共に、液晶駆動用の表示同期信号を生成し、該表示同期信号に従って、一行分の該列電圧を赤、緑、青に応じて時分割(マルチプレクサ)して出力する列駆動部と、

該時分割で出力された列電圧を、一行分の列電圧に分配(デマルチプレクサ)して該列電極へ出力する分配部と、

該スイッチング素子のオン・オフを線順次に制御するための行電圧を、該表示同期信号に従って、該行電極へ一行づつ順次出力する行駆動部と、

該行電圧、該列電圧の基準となる電位を生成すると共に、該表示同期信号に従って、対向電圧を該対向電極へ出力し、該分配部の制御信号を分配部へ出力する電源回路を備えた表示装置において、

該分配部における分配動作に対する該列駆動部からの列電圧の出力の遅延を補償するように該分配部における分配動作を列電圧の分配毎に休止する期間を設け、この期間内で該

10

20

時分割された列電圧を切り換えることを特徴とする表示装置。

【請求項 2】

請求項 1 の表示装置において、

前記画素部、前記分配部、及び前記行駆動部は、同一の基板上に一体形成されていることを特徴とする表示装置。

【請求項 3】

上位装置から与えられる表示データを一画面分記憶する表示メモリと、

上位装置から与えられる制御データを記憶するデータレジスタと、

該制御データに基づき、液晶駆動用の表示同期信号を生成するタイミング生成部と、

該表示メモリから読み出される一行分の表示データを赤、緑、青に応じて時分割（マルチプレクサ）する時分割部と、

該時分割された表示データを列電圧に変換すると共に、該表示同期信号に従って出力する列電圧出力部と、

複数レベルの該列電圧を生成する列電圧生成部を備えた表示用駆動回路において、

時分割で出力される列電圧を、一行分の列電圧に分配（デマルチプレクサ）するための制御信号を出力し、

分配動作に対する該列電圧出力部からの列電圧の出力の遅延を補償するように、該制御信号により、分配動作が列電圧の分配毎に休止し、この休止期間内で該時分割された列電圧が切り換わる様に、その出力タイミングを規定することを特徴とする表示用駆動回路。

【請求項 4】

請求項 3 の表示用駆動回路において、

上位装置とのインタフェースは、システムバス直結型であり、該システムバスに接続された CPU から、表示データを含む制御データが転送されることを特徴とする表示用駆動回路。

【請求項 5】

上位装置から与えられる表示データを一行分記憶するラッチ回路と、

上位装置から与えられる同期信号を、所定の表示同期信号に変換するタイミング制御部と、

該ラッチ回路から出力される一行分の表示データを赤、緑、青に応じて時分割（マルチプレクサ）する時分割部と、

該時分割された表示データを列電圧に変換すると共に、該表示同期信号に従って出力する列電圧出力部と、

複数レベルの該列電圧を生成する列電圧生成部を備えた表示用駆動回路において、

時分割で出力される列電圧を、一行分の列電圧に分配（デマルチプレクサ）するための制御信号を出力し、

分配動作に対する該列電圧出力部からの列電圧の出力の遅延を補償するように、該制御信号により、分配動作が列電圧の分配毎に休止し、この休止期間内で該時分割された列電圧が切り換わる様に、その出力タイミングを規定していることを特徴とする表示用駆動回路。

【請求項 6】

請求項 5 の表示用駆動回路において、

上位装置はグラフィックコントローラであり、該グラフィックコントローラから、ラスタスキャン用の表示データ及び同期信号群が転送されることを特徴とする表示用駆動回路。

【請求項 7】

請求項 3 又は 5 の表示用駆動回路において、

分配動作を断続的に休止させる動作は、前記分配部の内部に具備された全てスイッチを、一時的にオフ状態にすることで実現することを特徴とする、表示用液晶駆動回路。

【請求項 8】

複数の画素がマトリックス状に配置された画素部と、

上位装置から入力される表示データを列電圧に変換すると共に、液晶駆動用の表示同期信号を生成し、該表示同期信号に従って、一行分の該列電圧を赤、緑、青に応じて時分割（マルチプレクサ）して出力する列駆動部と、

該時分割で出力された列電圧を、一行分の列電圧に分配（デマルチプレクサ）して該列電極へ出力する分配部と、

該スイッチング素子のオン・オフを線順次に制御するための行電圧を、該表示同期信号に従って、該行電極へ一行づつ順次出力する行駆動部と、

該行電圧、該列電圧の基準となる電位を生成すると共に、該表示同期信号に従って、対向電圧を該対向電極へ出力し、該分配部の制御信号を分配部へ出力する電源回路を備えた表示装置において、

10

該分配部における分配動作に対する該列駆動部からの列電圧の出力の遅延を補償するように該分配部における分配動作を列電圧の分配毎に休止する期間を設け、この期間内で該時分割された列電圧を切り換えることを特徴とする表示装置。

【請求項 9】

請求項 1 又は 2 の表示装置において、

前記列駆動部は、ライン信号の周期の $1/3$ 期間づつずれた 3 つの分割信号を用いて、一行分の列電圧を赤、緑、青に応じて時分割して出力し、

前記電源回路は、前記 3 つの分割信号を基に、3 つの前記制御信号を生成することを特徴とする表示装置。

【請求項 10】

20

請求項 3 又は 4 の表示用駆動回路において、

前記タイミング生成部は、ライン信号の周期の $1/3$ 期間づつずれた 3 つの分割信号を生成し、

前記時分割部は、前記 3 つの分割信号を用いて、一行分の表示データを赤、緑、青に応じて時分割し、

3 つの前記制御信号は、電源回路によって、前記 3 つの分割信号を基に生成されることを特徴とする表示用駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

30

本発明は、印加する電圧によって表示輝度を制御する表示装置に係り、特に、液晶素子、EL素子、プラズマを用いた表示装置及びその駆動回路（例えば、LSI）に関する。

【0002】

【従来の技術】

印加する電圧によって表示輝度を制御する表示装置の駆動技術として、特開平 11-327518 号公報記載の表示装置がある。この液晶表示装置は、列駆動回路から出力される列電圧を分配（デマルチプレクサ）し、画素部の列電極へ出力するためのスイッチ群を具備する。これにより、駆動回路の出力端子数を、列電極の本数よりも少なくすることが可能となり、駆動回路の簡素化、及び画素部の高密度化に対応することができる。

【0003】

40

【発明が解決しようとする課題】

上記従来技術においては、図 1 及び図 2 に示す様に、列駆動部からは、R（赤）、G（緑）、B（青）の列電圧を時分割で出力し、これを選択信号によって分配することにより、所望の列電圧を列電極へ印加する。ここで、例えば列電圧 C1 の出力位相が、回路遅延等により選択信号 S1～S3 よりも遅れた場合、図 3 に示すように、前状態の列電圧が一旦印加された後、本来の列電圧が印加される。この結果、列電圧の印加電圧には、図 2 に示した波形に対し、不必要な波形変動（図中、丸で囲んだ部分）が発生する。この変動は、無駄な電力損失となり、消費電力が増加する原因となる。しかしながら、従来技術においては、列電圧 C1 と選択電圧 S1～S3 の変化は、同じタイミングとして記載されており、上記した波形変動の可能性、及びその回避方法については、考慮されていなかった。

50

【 0 0 0 4 】

【課題を解決するための手段】

上記課題を解決するにあたり、本発明の表示装置は、図 4 に示すように、選択信号 S 1 ~ S 3 の全てが“ロー”となるノンオーバラップ期間を設け、この期間内で列電圧が変化する様に、各信号のタイミングを規定することにした。つまり、分配部内のスイッチが全て OFF 状態の状態で、列電圧が変化することになる。これにより、前の列電圧が一旦印加される現象が回避され、不要な電圧変動を防止し、消費電力の増大を回避することができる。

【 0 0 0 5 】

【発明の実施の形態】

以下、本発明第 1 の実施の形態を、図 5 ~ 1 5 を用いて説明する。図 5 は本発明第 1 の実施の形態に係る表示装置の構成を示す図である。図 5 において、5 0 1 は列駆動部、5 0 2 はパネル部、5 0 3 は電源部である。列駆動部 5 0 1 において、5 0 4 はシステムインタフェース、5 0 5 はデータレジスタ、5 0 6 はメモリライト制御部、5 0 7 は表示メモリ、5 0 8 はタイミング生成部、5 0 9 はメモリリード制御部、5 1 0 は時分割部、5 1 1 は列電圧生成部、5 1 2 は列電圧出力部である。また、パネル部 5 0 2 において、5 1 3 は分配部、5 1 4 は画素部、5 1 5 は行駆動部であり、これらは例えば低温ポリシリコン TFT 素子で、ガラス基板上に一体形成されているものとする。また、画素部 5 1 4 が駆動する表示素子は、例えば TN 型の液晶であり、所定の電圧レベルを印加することで、多色表示を行うものとする。また、表示装置に入力する表示データは、R (赤)、G (緑)、B (青) 各 6 ビットのデジタルデータとする。

【 0 0 0 6 】

まず、列駆動部 5 0 1 の動作について説明する。列駆動部 5 0 1 へは、CPU から表示装置の動作を制御する制御データが与えられる。制御データには、表示データとその表示位置、駆動ライン数、フレーム周波数等に関するデータが含まれている。また、CPU と列駆動部 5 0 1 のインタフェースは、例えばいわゆる 8 0 系のバスインタフェースに準拠しており、図 6 に示すように、チップ選択を示す CS、データレジスタ 5 0 5 のアドレス / データを選択する RS、データ書込みの起動を指示する WR、データの読出の起動を指示する RD、アドレス / データの実際の値である D が、システムバスを介して与えられる。そして、これらの信号群は、データレジスタ 5 0 5 のアドレスを指定するサイクルと、データを書込むサイクルを持つ。これらのサイクルについて、図 7 を用いて説明する。まず、アドレス指定のサイクルでは、CS が“ロー”、RS が“ロー”、RD が“ハイ”、D が所定のアドレス値にセットされ、その後、WR が“ロー”にセットされた時、動作が実行される。一方、データ書込みのサイクルでは、CS が“ロー”、RS が“ハイ”、RD が“ハイ”、D が所定のデータにセットされ、その後、WR が“ロー”にセットされた時、動作が実行される。なお、これらの動作は、装置全体を制御するオペレーティングシステムとアプリケーションソフトウェアにより、予めプログラムされている。

【 0 0 0 7 】

システムインタフェース 5 0 4 は、上記制御データをデコードする部分であり、アドレス指定のサイクルでは、該当するアドレスを書込み状態にするための信号、データ書込みのサイクルでは書込むデータを、それぞれデータレジスタ 5 0 5 へ出力する。

【 0 0 0 8 】

データレジスタ 5 0 5 では、指示されたアドレスのレジスタを書込み状態とし、このレジスタにデータを格納する。なお、データレジスタ 5 0 5 へ書込む制御データは、それぞれ別のアドレスに書込まれる。そして、データレジスタ 5 0 5 に格納された各種制御データは各ブロックへ出力される。例えば、表示データは表示メモリ 5 0 7 へ、表示位置データはメモリライト制御部 5 0 6 へ、駆動ライン数、フレーム周波数等に関するデータはタイミング生成部 5 0 8 へ出力される。

【 0 0 0 9 】

メモリライト制御部 5 0 6 は、表示位置データをデコードし、これに相当する表示メモリ

10

20

30

40

50

507内のビット線とワード線を選択する。これと同時に、データレジスタ505から表示データを表示メモリ507へ出力し、書込み動作を完了する。

【0010】

タイミング生成部508は、データレジスタ505から与えられる駆動情報に基づき、図8に示すタイミング信号群を自ら生成し、メモリリード制御部509、時分割部510、及び列電圧生成部512へ出力する。

【0011】

メモリリード制御部509は、タイミング生成部508が出力する信号をデコードし、該当する表示メモリ507内のワード線を選択する。この動作は、例えば画面の先頭行の表示データが格納されているワード線から順に1行ずつ選択し、最終行の次は、再び先頭行に戻ってこの動作を繰り返す。そして、ワード線を選択動作と同時に、表示メモリ507のデータ線から1行分の表示データが順次一括して出力される。ここで、ワード線の切換えタイミングは、タイミング生成部508から与えられるライン信号に同期し、先頭行のワード線を選択するタイミングは、タイミング生成部508から与えられるフレーム信号に同期するものとする。

10

【0012】

時分割部510は、表示メモリ507から与えられる1行分の表示データを、時分割(マルチプレクサ)する。この動作は、図9に示すように、タイミング生成部508から与えられる分割信号D1~D3を用いてライン信号の周期を3分割し、R、G、Bの順番で表示データを出力する。以後、時分割された表示データを時分割データと呼ぶ。

20

【0013】

列電圧生成部511は、時分割データを電圧レベルへ変換する際に必要な列電圧を生成するブロックであり、その内部構造を図10に示す。図10において、VDHは列電圧を生成するための基準電圧であり、VDHは電源部103から与えられる。そして、64種類の列電圧V0~V63は、基準電圧VDHを抵抗分圧することにより生成され、各々の列電圧はボルテージフォロア回路のオペアンプによりバッファリングされる。なお、列電圧のレベル数が64の理由は、入力の表示データが6ビット(=64種類)であることによる。

【0014】

列電圧出力部512は、図11に示すように、タイミング生成部508から与えられる交流化信号、及び時分割データに応じ、64種類の列電圧から1レベルを選択して出力するブロックである。図12に上記選択動作の具体例を示す。

30

【0015】

次に、パネル部502の動作について説明する。

【0016】

まず、画素部514は、3端子のTFT素子、液晶層、保持容量から構成され、TFT素子のドレイン端子は列電極、ゲート端子は行電極、ソース端子は液晶セルと保持容量に接続される。また、液晶層の対向側には共通の対向電極があり、液晶層と電気的に接続されている。さらに、保持容量の他方の端子は、前段の行電極に接続される。この構成を実現するため、例えば列電極、行電極は液晶を挟持する2枚の透明基板の一方の内面にマトリクス状に形成され、対向電極は他方の内面にべた状に形成される。なお、本画素の回路構成は、いわゆるCadd構造と呼ばれる構成であるが、保持容量の端子をストレージ線に接続する、いわゆるCst構造と呼ばれる構成へも適用可能である。

40

【0017】

分配部513は、列駆動部501から与えられる列電圧を分配(デマルチプレクサ)し、画素部514の列電極へ出力するブロックであり、図1で示したTFT素子を用いた回路構成で実現可能である。また、その動作についても同様であり、図15に示すように、選択信号S1~S3が“ハイ”の状態でスイッチがONとなり、列電極へ列電圧が印加される。なお、S1~S3は、後述する電源部503から与えられる。

【0018】

50

行駆動部 515 は、図 15 に示すように、列駆動回路 501 内のタイミング生成部 505 から転送されたフレーム信号に同期して先頭の行電極に“ハイ”の行電圧を印加し、その後、同じく転送されたゲート信号に同期して、順次“ハイ”の行電圧を次段の行へ印加する。ここで、行電圧が“ロー”に変化するタイミングは、RGB の列電極印加電圧が全て確定された後となる。なお、行駆動部 515 の動作は、シフトレジスタ回路を応用することで容易に実現可能である。

【0019】

次に、電源部 503 の動作について説明する。

【0020】

電源部 503 は、対向電極への印加電圧である対向電圧、及び選択信号 S1～S3 を生成する。まず、対向電圧の生成にあたっては、タイミング生成部 508 から転送される交流信号を液晶駆動に必要なレベルに変換して出力する。例えば図 14 に示すように、対向電圧の振幅が、列電圧の振幅よりも大きくなるように変換する。なお、液晶印加電圧の極性は、対向電圧から見た列電圧の極性であることから、交流信号に連動して液晶印加電圧の極性が反転する。この動作は、いわゆるコモン反転駆動と等しい。

【0021】

次に、選択信号 S1～S3 については、分割信号 D1～D3 を基に、図 14 に示すタイミング波形を生成する。さらに、S1～S3 の“ハイ”は分配部 513 の TFT 素子が ON、“ロー”は OFF となる様に、出力の電圧レベルを変換する。

【0022】

電源部 503 は、上記した動作の他に、本発明の表示装置に必要な電源電圧を生成し、各ブロックへ出力する。この動作は、外部から与えられる電源電圧を昇圧する手段、及び昇圧された電圧を調整する手段により実現可能である。なお、電圧調整等の制御情報は、列駆動部 501 内のデータレジスタ 505 から転送されるものとする。

【0023】

以上、本発明第 1 の実施の形態に係る表示装置は、図 4 に示した、選択信号 S1～S3 の全てが“ロー”となるノンオーバーラップ期間を設け、この期間内で列電圧が変化するように、各信号のタイミングが規定されている。つまり、分配部 513 内のスイッチが全て OFF 状態の状態、列電圧が変化することになる。これにより、前状態の列電圧が一旦印加される現象が回避され、不要な電圧変動を防止し、消費電力の増大を回避することができる。

【0024】

なお、本発明第 1 の実施の形態においては、コモン反転駆動を例にとったが、これに限られる訳ではなく、対向電圧を振幅させない、いわゆるドット反転駆動、列毎反転駆動へも容易に適用可能である。また、本実施の形態において、ディスプレイの種類を TFT 液晶としたが、これに限られる訳ではなく、電圧レベルで表示輝度を制御する他のディスプレイ、例えば有機 EL ディスプレイ等にも適用可能である。なお、本発明第 1 の実施の形態に係る列駆動部 501、電源部 503 は、用途に応じて個別の LSI に集積化しても良く、双方を一つに集積化しても構わない。

【0025】

次に、本発明第 2 の実施の形態を、図 16～18 を用いて説明する。前述の本発明第 1 の実施の形態は、表示装置がシステムバスに直結するタイプであり、この構成は携帯電話を中心とした小型ディスプレイに多用されている。これに対し、本発明第 2 の実施の形態は、表示装置がグラフィックコントローラと接続される、大型ディスプレイで多用される構成への適用を図ったものである。

【0026】

図 16 は、本発明第 2 の実施の形態に係る表示装置の構成を示す図である。図 16 において、1601 はタイミング制御部、1602 は列駆動部、1603 はパネル部、1904 は電源部である。列駆動部 1602 において、1605 は取込みラッチ部、1606 は同期化ラッチ部、1607 は時分割部、1608 は列電圧生成部、1609 は列電圧出力部

10

20

30

40

50

である。また、パネル部 1 6 0 3 において、1 6 1 0 は分配部、1 6 1 1 は画素部、1 6 1 2 は行駆動部であり、これらも例えば低温ポリシリコン T F T 素子で、ガラス基板上に一体形成されているものとする。また、画素部 5 1 4 が駆動する表示素子も、例えば T N 型の液晶であり、所定の電圧レベルを印加することで、多色表示を行うものとする。また、表示装置に入力する表示データも、R (赤)、G (緑)、B (青) 各 6 ビットのデジタルデータとする。

【 0 0 2 7 】

タイミング制御部 1 6 0 1 は、グラフィックコントローラが出力する同期信号群から、本表示装置に必要な同期信号群を生成するブロックである。まず、グラフィックコントローラは、図 1 7 に示す同期信号群、及び表示データを出力し、これは T F T 液晶で一般的に用いられている、いわゆるラスタスキャン用の信号群である。タイミング制御 1 6 0 1 は、これらの上記同期信号群を基に、交流化信号、分割信号、ゲート信号、及びクリア信号を、図 2 1 に示すタイミングで生成して出力する。なお、クリア信号はライン信号より位相が遅く、ゲート信号はライン信号より位相が早い。

10

【 0 0 2 8 】

列駆動部 1 6 0 2 は、タイミング制御部 1 6 0 1 が出力する同期信号と表示データを受け、これを列電圧に変換して出力するブロックである。まず、取込みラッチ部 1 6 0 5 は、クリア信号が“ハイ”の期間でクリアされ、有効期間信号が“ハイ”の期間、ドットクロックの立上りに同期して表示データを 1 行分取り込む。同期化ラッチ部 1 6 0 6 は、取込みラッチ部 1 6 0 5 が出力する減色表示データを、ライン信号に同期して取込み、時分割部 1 6 0 7 へ出力する。時分割部 1 6 0 7、列電圧生成部 1 6 0 8、及び列電圧出力部 1 6 0 9 の構成と動作は、本発明第 1 の形態に係る時分割部 5 1 0、列電圧生成部 5 1 1、及び列電圧出力部 5 1 2 と同じ構成、同じ動作である。

20

【 0 0 2 9 】

パネル部 1 6 0 3、及び電源部 1 6 0 4 動作については、本発明第 1 の実施の形態に係るパネル部 5 0 2 及び電源部 5 0 3 と同じであるため、その説明は省略する。

【 0 0 3 0 】

以上説明した本発明第 2 の実施の形態は、本発明第 1 の実施の形態と同様に、分配部 1 6 1 0 内のスイッチが全て O F F 状態の状態となるノンオーバーラップ期間内で、列電圧が変化することになる。これにより、前状態の列電圧が一旦印加される現象が回避され、不要な電圧変動を防止し、消費電力の増大を回避することができる。

30

【 0 0 3 1 】

なお、本発明第 2 の実施の形態においては、コモン反転駆動を例にとったが、これに限られる訳ではなく、対向電圧を振幅させない、いわゆるドット反転駆動、列毎反転駆動へも容易に適用可能である。また、本実施の形態において、ディスプレイの種類を T F T 液晶としたが、これに限られる訳ではなく、電圧レベルで表示輝度を制御する他のディスプレイ、例えば有機 E L ディスプレイ等にも適用可能である。なお、本発明第 2 の実施の形態に係るタイミング制御部 1 6 0 1、列駆動部 1 6 0 2、電源部 1 6 0 4 は、用途に応じて個別の L S I に集積化しても良く、一つに集積化しても構わない。

【 0 0 3 2 】

また、本発明第 1 及び第 2 の実施の形態では、R G B を時分割したが、これに限られるわけではなく、2 分割や 4 分割以上でも良い。

40

【 0 0 3 3 】

【発明の効果】

列駆動回路から出力される列電圧を分配 (デマルチプレクサ) し、画素部の列電極へ出力するためのスイッチ群を具備する液晶表示装置において、スイッチの制御信号が全て“ロー”となるノンオーバーラップ期間を設け、この期間内で列電圧が変化するように、各信号のタイミングを規定することにした。つまり、スイッチ群が全て O F F 状態の状態、列電圧が変化することになる。これにより、前の列電圧が一旦印加される現象が回避され、不要な電圧変動を防止し、消費電力の増大を回避することができる。

50

【図面の簡単な説明】

【図１】従来の技術に係る、表示装置の構成を示すブロック図である。

【図２】従来の技術に係る、表示装置の動作を示すタイミングチャートである。

【図３】従来の技術に係る、表示装置の動作を示すタイミングチャートである。

【図４】本発明に係る、表示装置の動作を示すタイミングチャートである。

【図５】本発明第１の実施の形態に係る、表示装置の構成を示すブロック図である。

【図６】本発明第１の実施の形態に係る、システムインタフェースの入力信号の説明図である。

【図７】本発明第１の実施の形態に係る、システムインタフェースの入力信号の動作を示すタイミングチャートである。

10

【図８】本発明第１の実施の形態に係る、タイミング生成部の出力信号を示すタイミングチャートである。

【図９】本発明第１の実施の形態に係る、時分割部の動作を示すタイミングチャートである。

【図１０】本発明第１の実施の形態に係る、列電圧生成部の構成を示す回路図である。

【図１１】本発明第１の実施の形態に係る、列電圧出力部の構成を示すブロック図である。

【図１２】本発明第１の実施の形態に係る、列電圧出力部の動作を示す図である。

【図１３】本発明第１の実施の形態に係る、画素部の構成を示す等価回路図である。

【図１４】本発明第１の実施の形態に係る、電源部の動作を示すタイミングチャートである。

20

【図１５】本発明第１の実施の形態に係る、パネル部の動作を示すタイミングチャートである。

【図１６】本発明第２の実施の形態に係る、液晶表示装置の構成を示すブロック図である。

【図１７】本発明第２の実施の形態に係る、タイミング制御部の入力信号を示すタイミングチャートである。

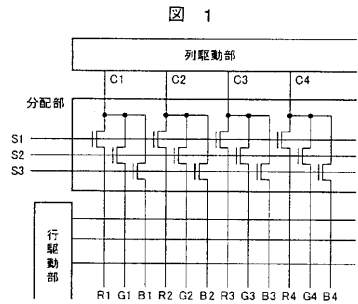
【図１８】本発明第２の実施の形態に係る、タイミング制御部の出力信号を示すタイミングチャートである。

【符号の説明】

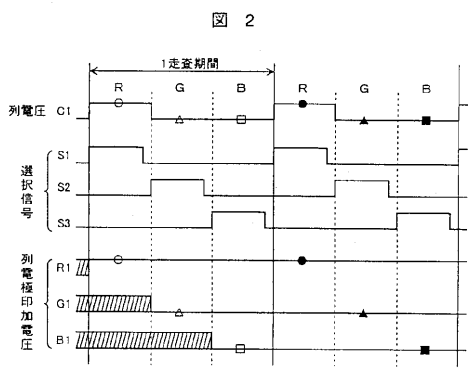
30

５０１…列駆動部、５０２…パネル部、５０３…電源部、５０４…システムインタフェース、５０５…データレジスタ、５０６…メモリライト制御部、５０７…表示メモリ、５０８…タイミング生成部、５０９…メモリリード制御部、５１０…時分割部、５１１…列電圧生成部、５１２…列電圧出力部、５１３…分配部、５１４…画素部、５１５…行駆動部、１６０１…タイミング制御部、１６０５…取込みラッチ部、１６０６…同期化ラッチ部。

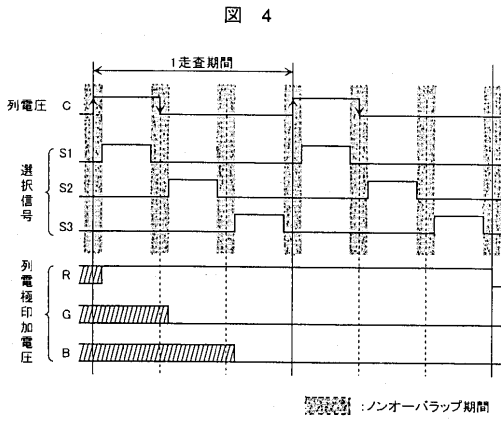
【図 1】



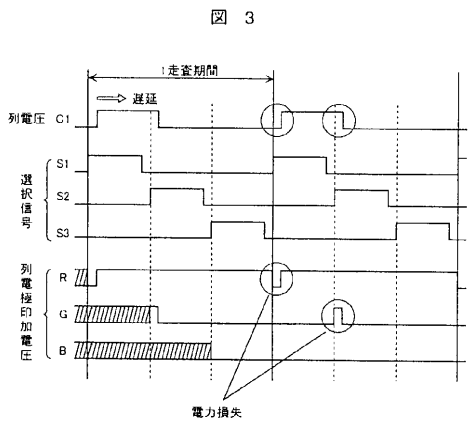
【図 2】



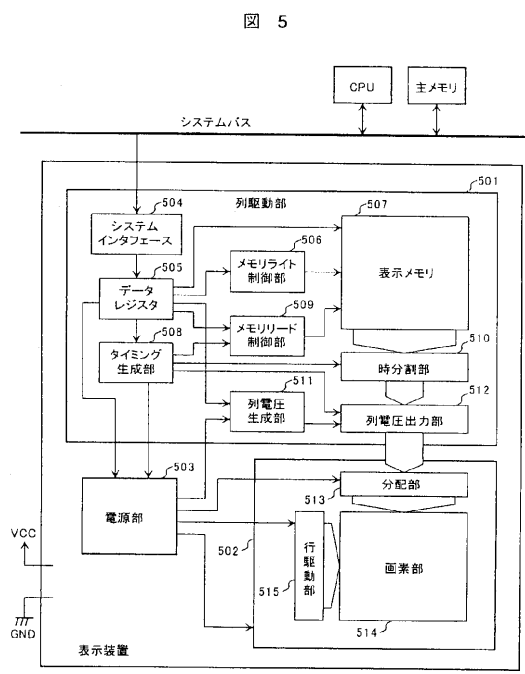
【図 4】



【図 3】



【図 5】



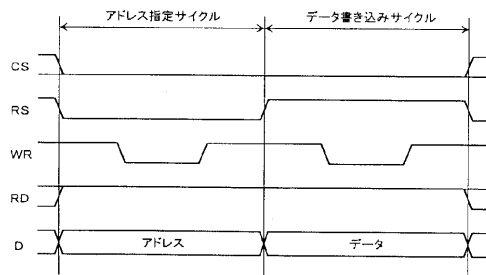
【図 6】

図 6

信号名	意 味	"0"	"1"
CS	チップの選択	アクセス可	アクセス不可
RS	レジスタのアドレス/データの選択	アドレス	データ
WR	データ書き込みの起動	非起動	起動
RD	データ読出しの起動	非起動	起動
D	双方向データ	—	—

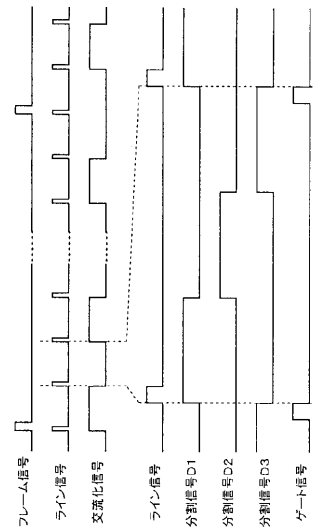
【図 7】

図 7



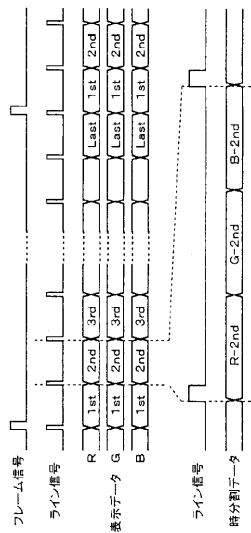
【図 8】

図 8



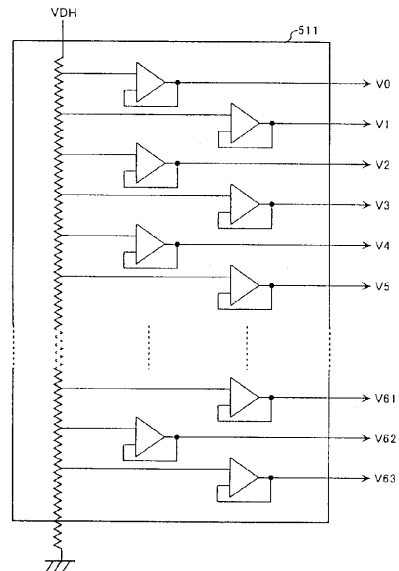
【図 9】

図 9

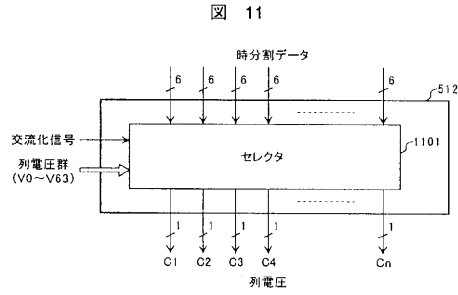


【図 10】

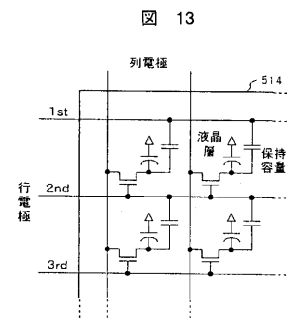
図 10



【図 1 1】



【図 1 3】



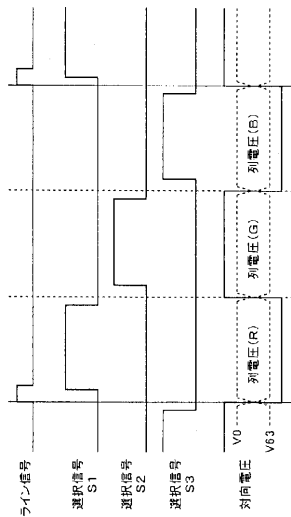
【図 1 2】

図 12

時分割データ	交流化信号	列電圧	時分割データ	交流化信号	列電圧
黒 0		低電位 V63	黒 0		高電位 V0
↑ 1		V62	↑ 1		V1
2		V61	2		V2
3		V60	3		V3
4		V59	4		V4
5		V58	5		V5
6	0	V57	6	1	V6
...		...	...		...
61		V2	61		V61
↓ 62		V1	↓ 62		V62
白 63		高電位 V0	白 63		低電位 V63

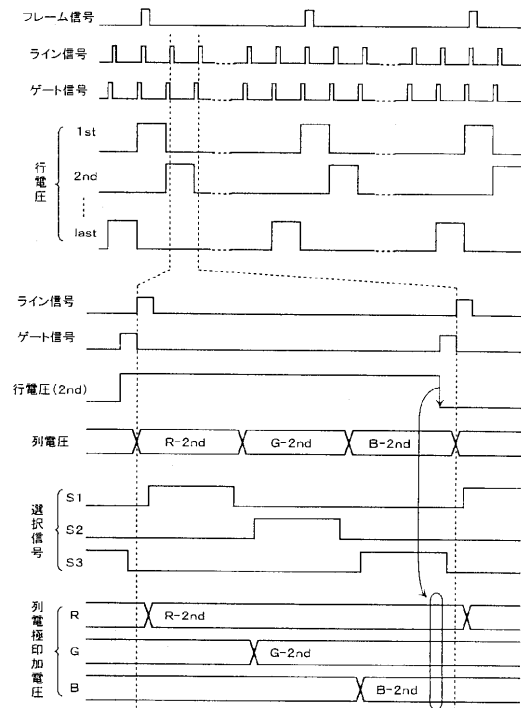
【図 1 4】

図 14

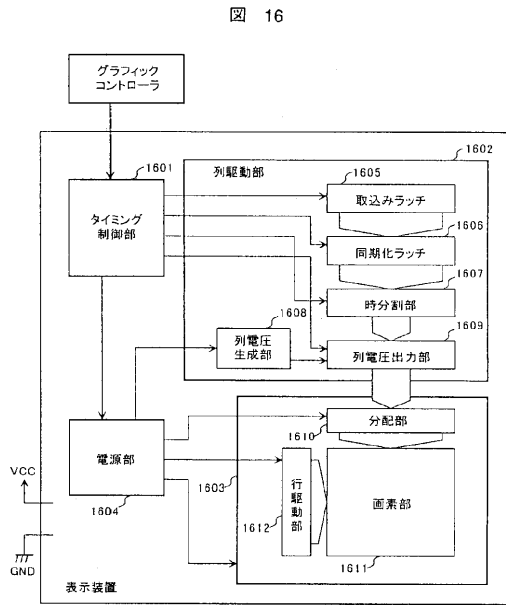


【図 1 5】

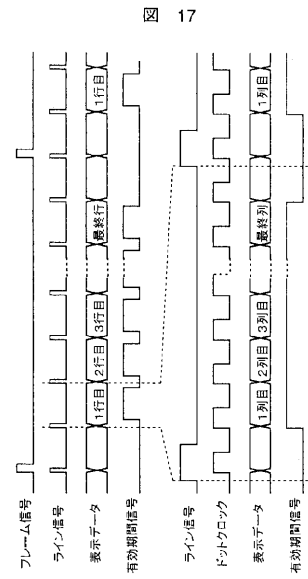
図 15



【図 16】

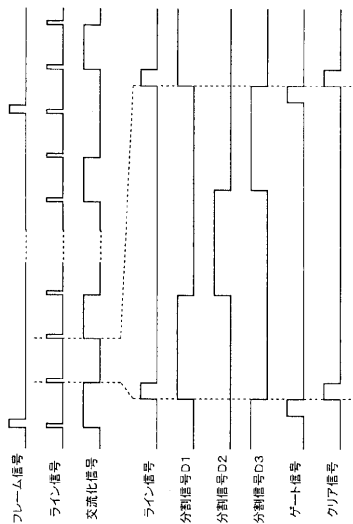


【図 17】



【図 18】

図 18



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 3 D

(72)発明者 大門 一夫

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

(72)発明者 松戸 利充

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所 ディスプレイグループ内

(72)発明者 比嘉 淳裕

神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立画像情報システム内

審査官 樋口 信宏

(56)参考文献 特開 2 0 0 1 - 3 0 6 0 1 5 (J P , A)

特開 2 0 0 2 - 0 4 1 0 0 4 (J P , A)

特開 2 0 0 0 - 3 3 8 9 3 8 (J P , A)

特開 2 0 0 3 - 2 3 3 0 8 6 (J P , A)

特開 2 0 0 3 - 1 2 2 3 1 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	表示装置及び表示用駆动回路		
公开(公告)号	JP3882642B2	公开(公告)日	2007-02-21
申请号	JP2002055165	申请日	2002-03-01
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	工藤泰幸 赤井亮仁 大門一夫 松戸利充 比嘉淳裕		
发明人	工藤 泰幸 赤井 亮仁 大門 一夫 松戸 利充 比嘉 淳裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.612.L G09G3/20.623.D G09G3/20.623.G G09G3/20.623.H G09G3/20.623.R G09G3/20.623.V G09G3/20.624.B G09G3/20.633.D		
F-TERM分类号	2H093/NA16 2H093/NC01 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC29 2H093/NC34 2H093/ND39 2H193/ZA04 2H193/ZC23 2H193/ZF01 5C006/AA01 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC27 5C006/AC28 5C006/AF04 5C006/AF22 5C006/AF43 5C006/AF52 5C006/AF71 5C006/AF85 5C006/BB13 5C006/BB16 5C006/BC16 5C006/BC23 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF15 5C006/BF16 5C006/BF24 5C006/BF34 5C006/EB05 5C006/FA16 5C006/FA25 5C006/FA37 5C006/FA42 5C006/FA47 5C006/FA56 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD23 5C080/DD25 5C080/DD26 5C080/EE17 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG17 5C080/HH01 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK04		
代理人(译)	井上 学		
其他公开文献	JP2003255904A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决在液晶显示装置中存在的问题，该液晶显示装置具有用于分配（多路分解）从列驱动电路输出的列电压并且用于将多路分解的列电压输出到列电极的开关组。像素部分，当列电压的输出相位比开关的控制信号S1至S3更延迟时，在列电压一旦施加在列电极上之后，在列上施加基本列电压因此，在列电压的施加电压中引起不必要的波形波动，这成为显示装置中功耗增加的原因。ŽSOLUTION：当开关的所有控制信号变为“低”时的非重叠时段被提供给显示设备，并且规定各个信号的时序，以便在这些时段中改变列电压。简而言之，在开关组全部处于OFF状态时，使列电压改变。因此，在显示装置中避免了先前的列电压一次施加在列电极上的现象，并且防止了不必要的电压波动，并且可以在显示装置中避免功耗的增加。Ž

圖 3

