

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3736622号
(P3736622)**

(45) 発行日 平成18年1月18日(2006.1.18)

(24) 登録日 平成17年11月4日(2005.11.4)

(51) Int.Cl.

F I

G09G 3/20 (2006.01)

G09G 3/20 623R

G02F 1/1345 (2006.01)

G09G 3/20 612P

G09G 3/30 (2006.01)

G09G 3/20 621L

G09G 3/36 (2006.01)

G02F 1/1345

G09G 3/30

J

請求項の数 8 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-181679 (P2001-181679)
 (22) 出願日 平成13年6月15日(2001.6.15)
 (65) 公開番号 特開2002-372942 (P2002-372942A)
 (43) 公開日 平成14年12月26日(2002.12.26)
 審査請求日 平成16年1月15日(2004.1.15)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 森田 晶
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 ライン駆動回路、電気光学装置及び表示装置

(57) 【特許請求の範囲】

【請求項1】

互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置の第1のラインを駆動するライン駆動回路であって、

電気光学装置を表示制御する表示コントローラから、第2のラインを駆動する第2のライン駆動回路に対し供給されるべき信号群が入力される第1の端子群と、

前記第2のライン駆動回路に対して、前記信号群を出力するための第2の端子群と、

前記第1の端子群を介して入力された信号群を、前記第2の端子群に出力する回路を含むI/O回路領域と、

を含み、

前記I/O回路領域は、端子ごとに設けられたI/O回路を有し、

前記I/O回路は、

複数のセレクトラインと、

所与の第1の選択信号に基づき、前記第1の端子群のいずれかと前記複数のセレクトラインのうちいずれか1つの第1のセレクトラインとを、接続するための第1のセレクト回路と、

所与の第2の選択信号に基づき、前記第2の端子群のいずれかと前記第1のセレクトラインとを、接続するための第2のセレクト回路と、

を含むことを特徴とするライン駆動回路。

【請求項2】

10

20

請求項 1 において、

前記 I / O 回路領域は、前記第 2 の端子群を、所与の複数の端子群のいずれかの端子群に切り替えるための切り替え回路を含むことを特徴とするライン駆動回路。

【請求項 3】

請求項 1 又は 2 において、

前記第 1 のセレクトラインの電圧を、低耐圧系の電圧に変換して前記出力端子に供給する第 1 の出力バッファ回路と、

前記第 1 のセレクトラインの電圧を、高耐圧系の電圧に変換して前記出力端子に供給する第 2 の出力バッファ回路と、

前記入力端子に供給された低耐圧系の電圧を、低耐圧系の電圧のまま前記第 1 のセレクトラインに供給する第 1 の入力バッファ回路と、 10

前記入力端子に供給された高耐圧系の電圧を、低耐圧系の電圧に変換して前記第 1 のセレクトラインに供給する第 2 の入力バッファ回路と、

を含み、

前記第 1 及び第 2 の出力バッファ回路と前記第 1 及び第 2 の入力バッファ回路のいずれか 1 つのバッファ回路を動作状態にし、他のバッファ回路を非動作状態にする排他的動作制御が行われることを特徴とするライン駆動回路。

【請求項 4】

請求項 3 において、

前記第 1 及び第 2 の出力バッファ回路と前記第 1 及び第 2 の入力バッファ回路のうち少なくとも 1 つは、所与の反転制御信号に基づいて出力信号又は入力信号の位相を反転する位相反転回路を含むことを特徴とするライン駆動回路。 20

【請求項 5】

請求項 3 又は 4 において、

前記第 1 及び第 2 の入力バッファ回路の入力端子と前記第 1 及び第 2 の出力バッファ回路の出力端子とが共通接続される第 1 のノードと、前記第 1 のセレクトラインとの間に挿入されたスイッチング手段

を含むことを特徴とするライン駆動回路。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記第 1 のラインは、画像データに基づく電圧が供給される信号ラインであることを特徴とするライン駆動回路。 30

【請求項 7】

互いに交差する複数の第 1 のライン及び複数の第 2 のラインにより特定される画素と、

請求項 6 記載のライン駆動回路と、

前記第 2 のラインを駆動する第 2 のライン駆動回路と、

を含むことを特徴とする電気光学装置。

【請求項 8】

互いに交差する複数の第 1 のライン及び複数の第 2 のラインにより特定される画素を有する電気光学装置と、 40

請求項 6 記載のライン駆動回路と、

前記第 2 のラインを駆動する第 2 のライン駆動回路と、

を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ライン駆動回路、これを用いた電気光学装置、表示装置に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

例えば携帯電話機のような電子機器の表示部には、液晶パネル等の表示パネルが用いられ 50

ており、電子機器の低消費電力化や小型軽量化等が図られている。この表示パネルについては、近年の携帯電話機の普及によって情報性の高い静止画や動画が配信されるようになると、その高画質化が要求されるようになっている。

【 0 0 0 3 】

このような電子機器の表示部の高画質化を実現する液晶パネルとして、薄膜トランジスタ（Thin Film Transistor：以下、T F Tと略す。）液晶を用いたアクティブマトリクス型液晶パネルが知られている。その他に、有機E L素子を用いた有機E Lパネルが知られている。

【 0 0 0 4 】

例えばT F T液晶を用いたアクティブマトリクス型液晶パネルでは、液晶材やT F Tのトランジスタ能力に依存して、表示駆動するために高い電圧が必要とされる。そのため、液晶パネル等を表示駆動するドライバ回路（ライン駆動回路）や電源回路は、高耐圧プロセスで製造する必要がある。

10

【 0 0 0 5 】

したがって、液晶パネルを表示駆動する場合には、プロセスの微細化が進んでも、微細化による低コスト化のメリットを享受できないという問題がある。

【 0 0 0 6 】

また、実装技術や通信技術等の進歩により、例えば携帯電話機が急速に普及し、通信事業者間で、ユーザを獲得するための通信サービス向上が行われている。したがって、携帯電話機の製造者側にとって、各通信サービスに対応した製品をいち早く市場に投入する必要がある。そのため、製造者にとって、製品の開発T A Tを短縮することが必須となっている。

20

【 0 0 0 7 】

携帯電話機を例に挙げれば、その表示部の表示パネルを表示駆動する各種半導体装置の配置が実装方式によって異なったり、開発途中の仕様変更等によって表示制御タイミングが異なることがある。このような場合には、製品の再設計等により市場投入の遅れの原因となり、上述した場合であっても、柔軟に対応して開発T A Tを短縮できることが望ましい。

【 0 0 0 8 】

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、プロセスの微細化による低コスト化を効率的に図るライン駆動回路及びこれを用いた電気光学装置、表示装置を提供することにある。

30

【 0 0 0 9 】

また本発明の他の目的は、表示パネルの開発T A Tを効果的に短縮できるライン駆動回路、これを用いた電気光学装置及び表示装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】

上記課題を解決するために本発明は、互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置の第1のラインを駆動するライン駆動回路であって、電気光学装置を表示制御する表示コントローラから、第2のラインを駆動する第2のライン駆動回路に対し供給されるべき信号群が入力される第1の端子群と、前記第2のライン駆動回路に対して、前記信号群を出力するための第2の端子群と、前記第1の端子群を介して入力された信号群を、前記第2の端子群に出力する回路を含むI / O回路領域とを含むことを特徴としている。

40

【 0 0 1 1 】

ここで電気光学装置としては、例えば互いに交差する第1～第Nの走査ライン及び第1～第Mの信号ラインと、第1～第Nの走査ラインと第1～第Mの信号ラインに接続されたN×Mのスイッチング手段と、スイッチング手段に接続されたN×Mの画素電極とを有するように構成しても良い。また、電気光学装置としては、有機E Lパネルであっても良い。

【 0 0 1 2 】

50

本発明によれば、第1及び第2のラインにより特定される画素に対して、表示コントローラの制御により、協調して表示駆動を行うライン駆動回路と第2のライン駆動回路のうち、ライン駆動回路において、表示コントローラから第2のライン駆動回路に対して供給されるべき信号を第1群の端子群で受け、これを第2の端子群を介して、第2のライン駆動回路に対して供給するようにした。したがって、第1及び第2の端子群の配置によって、表示駆動に必要な配線の交差を回避して、多層化に対応する必要がなく低コストなライン駆動回路を提供することができる。

【0013】

また本発明は、前記I/O回路領域は、前記第2の端子群を、所与の複数の端子群のいずれかの端子群に切り替えるための切り替え回路を含むことを特徴としている。

10

【0014】

本発明によれば、I/O回路領域において、第2の端子群を任意に切り替えることができるようにしたので、実装方式に依存して配線の交差が生じる事態を回避することができ、製品開発のTATの短縮化、実装の柔軟性を大幅に向上させることができる。

【0015】

また本発明は、前記I/O回路領域は、電気光学装置側の第1の辺と対向する第2の辺側に配置されていることを特徴としている。

【0016】

本発明によれば、電気光学装置に対して、表示駆動に必要な各種制御信号や画像データを供給するライン駆動回路、第2のライン駆動回路の配置の柔軟性を向上させることができる。

20

【0017】

また本発明は、前記第1の端子群は、少なくとも前記電気光学装置側の第1の辺と対向する第2の辺の中央部に配置されていることを特徴としている。

【0018】

本発明によれば、信号群が入力される第1の端子群を第2の辺の中央部付近に配置することによって、この信号群を出力するための端子群を第2の辺のコーナー部に配置させることができるので、入力される信号群の配線と出力される信号群の配線との交差を効率的に回避することができる。

【0019】

また本発明は、前記I/O回路領域は、内部に電源電圧を供給する電源配線の下の領域に配置されていることを特徴としている。

30

【0020】

本発明によれば、上述したI/O回路領域をチップ状に効率的に配置することができ、チップ面積の縮小化を図ることができる。

【0021】

また本発明は、前記I/O回路領域は、端子ごとに設けられたI/O回路を有し、前記I/O回路は、複数のセレクトラインと、所与の第1の選択信号に基づき、前記第1の端子群のいずれかと前記複数のセレクトラインのうちいずれか1つの第1のセレクトラインとを、接続するための第1のセレクト回路と、所与の第2の選択信号に基づき、前記第2の端子群のいずれかと前記第1のセレクトラインとを、接続するための第2のセレクト回路とを含むことを特徴としている。

40

【0022】

本発明によれば、第1及び第2のセレクト回路により、複数のセレクトラインのうちいずれか1つを介して、第1及び第2の端子群を接続するようにしたので、任意の第1及び第2の端子群の組み合わせを複数設定することができるようになる。これにより、ライン駆動回路の任意の端子に、表示コントローラからの信号を受け付け、任意の端子から、供給されるべき信号を出力させることができる。

【0023】

また本発明は、前記第1のセレクトラインの電圧を、低耐圧系の電圧に変換して前記出力

50

端子に供給する第 1 の出力バッファ回路と、前記第 1 のセレクトラインの電圧を、高耐圧系の電圧に変換して前記出力端子に供給する第 2 の出力バッファ回路と、前記入力端子に供給された低耐圧系の電圧を、低耐圧系の電圧のまま前記第 1 のセレクトラインに供給する第 1 の入力バッファ回路と、前記入力端子に供給された高耐圧系の電圧を、低耐圧系の電圧に変換して前記第 1 のセレクトラインに供給する第 2 の入力バッファ回路とを含み、前記第 1 及び第 2 の出力バッファ回路と前記第 1 及び第 2 の入力バッファ回路のいずれか 1 つのバッファ回路を動作状態にし、他のバッファ回路を非動作状態にする排他的動作制御が行われることを特徴としている。

【 0 0 2 4 】

本発明によれば、第 1 及び第 2 の出力バッファ回路と第 1 及び第 2 の入力バッファ回路により、内部の低耐圧系の電圧をそのまま低耐圧系の電圧として供給したり、若しくは高耐圧系の電圧に変換したり、或いは外部からの低耐圧系若しくは高耐圧系の電圧を低耐圧系の電圧として内部に取り込む回路を、端子ごとに設けることができるので、任意の端子を上記した入力端子又は出力端子に設定することができる。これにより、ユーザの使い勝手を大幅に向上させることができる。

【 0 0 2 5 】

また本発明は、前記第 1 及び第 2 の出力バッファ回路と前記第 1 及び第 2 の入力バッファ回路のうち少なくとも 1 つは、所与の反転制御信号に基づいて出力信号又は入力信号の位相を反転する位相反転回路を含むことを特徴としている。

【 0 0 2 6 】

本発明によれば、入力信号又は出力信号の位相（論理レベル）を反転制御信号に基づいて反転する位相反転回路をバッファ回路の少なくとも 1 つに設けるようにしたので、開発途中でインタフェース仕様の変更により、例えば立ち上がりエッジ若しくは立ち下がりエッジの変更等の表示制御タイミングが変更となった場合でも、回路の再設計に伴う製品開発の遅れを解消することができる。

【 0 0 2 7 】

また本発明は、前記第 1 及び第 2 の入力バッファ回路の入力端子と前記第 1 及び第 2 の出力バッファ回路の出力端子とが共通接続される第 1 のノードと、前記第 1 のセレクトラインとの間に挿入されたスイッチング手段を含むことを特徴としている。

【 0 0 2 8 】

本発明によれば、スイッチング手段により適宜第 1 のノードと第 1 のセレクトラインとを電氣的に切断することにより、バッファ回路の出力負荷を軽減することができるので、バッファ回路の駆動能力を大きくする必要がなくなり、回路規模を縮小化することができる。

【 0 0 2 9 】

また本発明は、互いに交差する複数の第 1 のライン及び複数の第 2 のラインにより特定される画素を有する電気光学装置の第 1 のラインを駆動するライン駆動回路であって、電気光学装置を表示制御する表示コントローラから、第 2 のラインを駆動する第 2 のライン駆動回路及び電源回路に対し供給されるべき信号群が入力される第 1 の端子群と、前記第 2 のライン駆動回路に対して、前記信号群を出力するための第 2 の端子群と、前記第 1 の端子群を介して入力された信号群を、前記第 2 の端子群に出力する回路を含む I / O 回路領域と、前記電源回路に対して、前記信号群を出力するための第 3 の端子群とを含み、前記第 2 の端子群は、前記電気光学装置が配置される側の第 1 の辺と対向する第 2 の辺の中央部からコーナー部に沿って、前記第 2、第 3 の端子群の順に配置されていることを特徴としている。

【 0 0 3 0 】

本発明によれば、第 2 の辺の中央部からコーナー部に沿って、第 2 のライン駆動回路に供給するための出力端子群、電源回路に供給するための出力端子群を順に配置するようにしたので、ライン駆動回路及び第 2 のライン駆動回路の中間位置に電源回路を配置した場合に、電源回路からライン駆動回路及び第 2 のライン駆動回路等に電源電圧を供する電源配

10

20

30

40

50

線が、他の信号線と交差することがなくなる。

【0031】

また本発明は、前記 I / O 回路領域は、前記第 2 又は第 3 の端子群を、所与の複数の端子群のいずれかの端子群に切り替えるための切り替え回路を含むことを特徴としている。

【0032】

本発明によれば、任意の位置に第 2 又は第 3 の端子群を配置することができるようになるので、実装方式に依存することなく最適な配線を実現するライン駆動回路を提供することができる。

【0033】

また本発明は、前記第 1 のラインは、画像データに基づく電圧が供給される信号ラインであることを特徴としている。

10

【0034】

本発明によれば、例えば信号ラインを駆動する信号駆動回路に適用したので、信号駆動回路を制御する表示コントローラの低コスト化や、信号駆動回路自体の開発 T A T の短縮化を図ることが可能となる。

【0035】

また本発明に係る電気光学装置は、互いに交差する複数の第 1 のライン及び複数の第 2 のラインにより特定される画素と、上記記載のライン駆動回路と、前記第 2 のラインを駆動する第 2 のライン駆動回路とを含むことを特徴としている。

【0036】

20

本発明によれば、開発 T A T の短縮、プロセスの微細化により表示コントローラの低コスト化を実現することができる電気光学装置を提供することができる。

【0037】

また本発明に係る表示装置は、互いに交差する複数の第 1 のライン及び複数の第 2 のラインにより特定される画素を有する電気光学装置と、上記記載のライン駆動回路と、前記第 2 のラインを駆動する第 2 のライン駆動回路とを含むことを特徴としている。

【0038】

本発明によれば、開発 T A T の短縮、プロセスの微細化により表示コントローラの低コスト化を実現することができる表示装置を提供することができる。

【0039】

30

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0040】

1. 表示装置

1.1 表示装置の構成

図 1 に、本実施形態におけるライン駆動回路を含む表示装置の構成の概要を示す。

【0041】

表示装置としての液晶装置 10 は、液晶ディスプレイ (Liquid Crystal Display: 以下、LCD と略す。) パネル 20、信号ドライバ (信号駆動回路、ライン駆動回路) (狭義には、ソースドライバ) 30、走査ドライバ (走査駆動回路、第 2 のライン駆動回路) (狭義には、ゲートドライバ) 50、LCD コントローラ (広義には、表示コントローラ) 60、電源回路 (広義には、電圧供給回路) 80 を含む。

40

【0042】

LCD パネル (広義には、電気光学装置) 20 は、例えばガラス基板上に形成される。このガラス基板上には、Y 方向に複数配列されそれぞれ X 方向に伸びる走査ライン (狭義には、ゲートライン) (第 2 のライン) $G_1 \sim G_N$ (N は、2 以上の自然数) と、X 方向に複数配列されそれぞれ Y 方向に伸びる信号ライン (狭義には、ソースライン) (第 1 のライン) $S_1 \sim S_M$ (M は、2 以上の自然数) とが配置されている。また、走査ライン G_n ($1 \leq n \leq N$ 、n は自然数) と信号ライン S_m ($1 \leq m \leq M$ 、m は自然数) との交差点に対応して、TFT 22_{nm} (広義には、スイッチング手段) が設けられている。

50

【 0 0 4 3 】

T F T 2 2_{nm}のゲート電極は、走査ラインG_nに接続されている。T F T 2 2_{nm}のソース電極は、信号ラインS_mに接続されている。T F T 2 2_{nm}のドレイン電極は、液晶容量（広義には液晶素子）2 4_{nm}の画素電極2 6_{nm}に接続されている。

【 0 0 4 4 】

液晶容量2 4_{nm}においては、画素電極2 6_{nm}に対向する対向電極2 8_{nm}との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて画素の透過率が変化するようにになっている。

【 0 0 4 5 】

対向電極2 8_{nm}には、電源回路8 0により生成された対向電極電圧V c o mが供給されている。

10

【 0 0 4 6 】

信号ドライバ3 0は、一水平走査単位の画像データに基づいて、L C Dパネル2 0の信号ラインS₁ ~ S_Mを駆動する。

【 0 0 4 7 】

より具体的には、信号ドライバ3 0は、シリアル入力された画像データを順次ラッチして一水平走査単位の画像データを生成する。そして、信号ドライバ3 0は、水平同期信号に同期して、この画像データに基づく駆動電圧で、各信号ラインを駆動する。

【 0 0 4 8 】

走査ドライバ5 0は、一垂直走査期間内に、水平同期信号に同期して、L C Dパネル2 0の走査ラインG₁ ~ G_Nを順次走査駆動する。

20

【 0 0 4 9 】

より具体的には、走査ドライバ5 0は、各走査ラインに対応したフリップフロップ有し、各フリップフロップが順次接続されたシフトレジスタを有している。走査ドライバ5 0は、L C Dコントローラ6 0から供給された垂直同期信号を順次シフトすることで、一垂直走査期間内に各走査ラインを順次選択する。

【 0 0 5 0 】

L C Dコントローラ6 0は、図示しない中央処理装置（Central Processing Unit：以下、C P Uと略す。）等のホストにより設定された内容にしたがって、信号ドライバ3 0、走査ドライバ5 0及び電源回路8 0を制御する。より具体的には、L C Dコントローラ6 0は、信号ドライバ3 0及び走査ドライバ5 0に対して、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路8 0に対しては対向電極電圧V c o mの極性反転タイミングの供給を行う。

30

【 0 0 5 1 】

電源回路8 0は、外部から供給される基準電圧に基づいて、L C Dパネル2 0の液晶駆動に必要な電圧レベルや、対向電極電圧V c o mを生成する。このような各種電圧レベルは、信号ドライバ3 0、走査ドライバ5 0及びL C Dパネル2 0に供給される。また、対向電極電圧V c o mは、L C Dパネル2 0のT F Tの画素電極に対向して設けられた対向電極に供給される。

【 0 0 5 2 】

このような構成の液晶装置1 0は、L C Dコントローラ6 0の制御の下、外部から供給される画像データに基づいて、信号ドライバ3 0、走査ドライバ5 0及び電源回路8 0が協調してL C Dパネル2 0を表示駆動する。

40

【 0 0 5 3 】

なお、図1では、液晶装置1 0にL C Dコントローラ6 0を含めて構成するようにしているが、L C Dコントローラ6 0を液晶装置1 0の外部に設けて構成するようにしても良い。或いは、L C Dコントローラ6 0と共にホストを液晶装置1 0に含めるように構成することも可能である。

【 0 0 5 4 】

1 . 2 液晶駆動波形

50

図 2 に、上述した構成の液晶装置 10 の LCD パネル 20 の駆動波形の一例を示す。ここでは、ライン反転駆動方式により駆動する場合を示している。

【0055】

液晶装置 10 では、LCD コントローラ 60 によって生成された表示タイミングにしたがって、信号ドライバ 30、走査ドライバ 50 及び電源回路 80 が制御される。LCD コントローラ 60 は、信号ドライバ 30 に対しては一水平走査単位の画像データを順次転送するとともに、内部で生成した水平同期信号や反転駆動タイミングを示す極性反転信号 POL を供給する。また、LCD コントローラ 60 は、走査ドライバ 50 に対しては、内部で生成した垂直同期信号を供給する。さらに、LCD コントローラ 60 は、電源回路 80 に対して対向電極電圧極性反転信号 VCOM を供給する。

10

【0056】

これにより、信号ドライバ 30 は、水平同期信号に同期して、一水平走査単位の画像データに基づいて信号ラインの駆動を行う。走査ドライバ 50 は、垂直同期信号をトリガとして、LCD パネル 20 にマトリックス状に配置された TFT のゲート電極に接続される走査ラインを、順次駆動電圧 Vg で走査駆動する。電源回路 80 は、内部で生成した対向電極電圧 Vcom を、対向電極電圧極性反転信号 VCOM に同期して極性反転を行いながら、LCD パネル 20 の各対向電極に供給する。

【0057】

液晶容量には、TFT のドレイン電極に接続される画素電極と対向電極の電圧 Vcom との電圧に応じた電荷が充電される。液晶容量に蓄積された電荷によって保持された画素電極電圧 Vp が、所与の閾値 V_{CL} を越えると画像表示が可能となる。画素電極電圧 Vp が所与の閾値 V_{CL} を越えると、その電圧レベルに応じて画素の透過率が変化し、階調表現が可能となる。

20

【0058】

2. 本実施形態の特徴

2.1 製造プロセス

ところで、液晶装置は、表示駆動するために必要とされる電圧が、各半導体装置 (LCD コントローラ、信号ドライバ、走査ドライバ、電源回路) ごとに異なる。

【0059】

図 3 に、液晶装置を構成する各半導体装置の接続関係の一例を示す。

30

【0060】

ここでは、各半導体装置間で送受信される信号の電源電圧レベルの値をあわせて示す。

【0061】

液晶装置 100 を構成する LCD パネル 120、信号ドライバ 130、走査ドライバ 150、LCD コントローラ 160、電源回路 180 は、それぞれ図 1 に示す液晶装置 10 を構成する各部と同様の機能を有する。

【0062】

例えば、信号ドライバ 130 は、回路構成がそれ程複雑ではないため、最先端の微細化プロセスではなく、集積化と低コスト化とを両立可能な中耐压プロセス (例えば、0.35 μ プロセス) で製造される。

40

【0063】

また、走査ドライバ 150 は、回路構成が簡素であるため、チップサイズの縮小化は要求されず、走査ドライバ 150 は、液晶材と TFT のトランジスタ能力との関係で決まる高い電圧 (例えば 20V ~ 50V) を駆動するために、高耐压プロセスで製造される。

【0064】

さらに、電源回路 180 は、走査ドライバ 150 に対して供給される高電圧を生成するため、高耐压プロセスで製造される。

【0065】

一方、LCD コントローラ 160 は、回路構成が複雑で、汎用性が高いことから、チップサイズの縮小化により、より一層の低コスト化を図ることができる。そのため、LCD コ

50

ントローラ１６０は、最先端の微細化プロセス（例えば、０．１８μプロセス）で製造される。すなわち、ＬＣＤコントローラ１６０は、低耐圧プロセスで製造されることになるため、低耐圧プロセス用のインタフェース回路と、高耐圧プロセス用のインタフェース回路とを併有する。

【００６６】

低耐圧プロセス用のインタフェース回路は、中耐圧プロセスで製造される信号ドライバ１３０に対して、低耐圧の微細化プロセスの電源レベルで生成した信号を供給する。高耐圧プロセス用のインタフェース回路は、高耐圧プロセスで製造される走査ドライバ１５０及び電源回路１８０に対して、高耐圧プロセス用の電源レベルに変換した信号を供給する。

【００６７】

このように、ＬＣＤコントローラ１６０は、高耐圧プロセス用のインタフェース回路を含むことになる。上記した高耐圧プロセス用のインタフェース回路は、プロセスの微細化が進んでも、耐圧を確保するための物理的限界値がデザインルール中に存在するため、ＩＣ内の面積を小さくできない。したがって、微細化による低コスト化のメリットをあまり享受できない。

【００６８】

これに対して、本実施形態における液晶装置１０では、低耐圧プロセスで製造されたＬＣＤコントローラ６０から、高耐圧プロセスで製造された走査ドライバ５０及び電源回路８０に対して供給されるべき信号群を、一旦中耐圧プロセスで製造された信号ドライバ３０で中継し、信号ドライバ３０がこれら信号群を走査ドライバ５０及び電源回路８０に対して供給することを特徴とする。

【００６９】

図４に、本実施形態における液晶装置を構成する各半導体装置の接続関係の一例を示す。

【００７０】

このように、本実施形態における信号ドライバ３０は、インタフェース部２００において中耐圧プロセスを用いて低耐圧系の電圧を高耐圧系の電圧に変換するインタフェース回路を含み、ＬＣＤコントローラ６０から供給された低耐圧系の信号群を受け、高耐圧系の高い電圧に変換した後、走査ドライバ５０若しくは電源回路８０に供給する。

【００７１】

こうすることで、ＬＣＤコントローラ６０のインタフェース部２１０は、高い電圧を駆動するインタフェース回路を設ける必要がなくなるので、プロセスの微細化に伴って、複雑な構成の回路を縮小化して、低コスト化を図ることができるようになる。

【００７２】

２．２ 実装方式

また、液晶装置では、信号ドライバ、走査ドライバ及び電源回路が協調して、ＬＣＤパネルを表示駆動するため、ＬＣＤパネル、これら各ドライバ及び電源回路の実装位置によって、各回路を接続する信号線が交差する場合がある。

【００７３】

したがって、基板が配線の多層化に対応していない場合は、もはや配線することができなくなる。また、基板が配線の多層化に対応している場合でも、コスト高を招く。

【００７４】

以下、この点について、ＣＯＧ（Chip On Glass）実装方式と、ＣＯＦ（Chip On Film）実装方式とを例にして、具体的に説明する。

【００７５】

図５（Ａ）、（Ｂ）、（Ｃ）に、ＣＯＧ実装された液晶装置の構成の概要を示す。

【００７６】

ＣＯＧ実装方式の場合、図５（Ａ）に示すように、ＣＯＧモジュールとして、ＬＣＤパネル２０が作り込まれたガラス基板２５０上に、信号ドライバ３０及び走査ドライバ５０や、その他容量素子等の付加回路が実装される。このＣＯＧモジュールのコネクタ部２５２Ａと、図５（Ｂ）に示すようなＣＰＵやメモリ等が実装されるＰＣＢ（Printed Circuit

10

20

30

40

50

Board) 254 のコネクタ部 252 B とが、図 5 (C) に示すように例えばスプリングコネクタを介して電氣的に接続される。

【0077】

図 6 (A)、(B)、(C) に、COF 実装された液晶装置の構成の概要を示す。

【0078】

COF 実装方式の場合、図 6 (A) に示すように、COF モジュールとして、信号ドライバ 30 及び走査ドライバ 50 や、その他容量素子等の付加回路が実装されたフレキシブルテープ 260 と、LCD パネル 20 が形成されたガラス基板 262 とが、電氣的に接続される。この COF モジュールのコネクタ部 264 A と、図 6 (B) に示すような CPU やメモリ等が実装される PCB 266 のコネクタ部 264 B とが、図 6 (C) に示すように例えばスプリングコネクタを介して電氣的に接続される。

10

【0079】

COG 実装方式の場合、ガラス基板 250 上に直接チップをフリップチップ実装するため、LCD パネル 20 の取り出し電極との接続の容易さから、チップの能動面をガラス基板 250 に向けたフェースダウンの状態を実装する場合がある。

【0080】

これに対して、COF 実装方式の場合、フレキシブルテープ 260 上に、チップを実装した半導体装置を実装するため、LCD パネル 20 の取り出し電極と、この半導体装置の端子とが電氣的に接続される。すなわち、COF 実装方式の場合、チップの能動面は上側になる。

20

【0081】

このように、筐体内での実装方式によって、LCD パネル 20 を表示駆動する信号ドライバ 30 等のチップの能動面の向きが変わる。すなわち、信号ドライバ 30 等の端子の位置が実装方式によって変わり、実装方式によっては、LCD パネル 20 と信号ドライバ 30 等の配線が交差したり、交差しなかったりすることがあることを意味する。

【0082】

3. 本実施形態の原理的構成

図 7 に、本実施形態における信号ドライバ 30 の原理的構成を示す。

【0083】

信号ドライバ 30 は、I/O 回路領域 280 を含み、入力信号群が入力される入力端子群 (第 1 の端子群) 282 と、出力信号群が出力される出力端子群 (第 2 の端子群、第 3 の端子群) 284 とを有する。

30

【0084】

I/O 回路領域 280 は、第 1 の端子群を介して入力された信号群を、第 2 又は第 3 の端子群に出力する回路を含む。より具体的には、I/O 回路領域 280 は、入力端子群 282 を介して入力された入力信号群の位相を反転する位相反転回路 286 と、位相反転回路 286 によって位相反転された信号群の低耐圧系の電圧を高耐圧系の電圧に変換するレベル変換回路 (Level Shifter: 以下、L/S と略す。) 288 とを含む。

【0085】

したがって、入力端子群 282 を低耐圧プロセスで製造された LCD コントローラ 60 に接続し、出力端子群 284 を高耐圧プロセスで製造された走査ドライバ 50 及び電源回路 80 のいずれかに接続することで、LCD コントローラ 60 に高耐圧用のインタフェース回路を備える必要がなくなり、LCD コントローラ 60 の微細化による低コスト化が可能となる。

40

【0086】

また、位相反転回路 286 により位相 (論理レベル) を適宜反転させることができるようにしたので、開発途中でインタフェース仕様の変更により、表示制御タイミングが変更となった場合でも、回路の再設計に伴う製品開発の遅れを解消することができる。

【0087】

図 8 (A)、(B)、(C) に、より具体的な信号ドライバ 30 の構成の一例を示す。

50

【0088】

図8(A)では、入力端子群282を介して入力された信号群は、L/S288によって高耐圧系の電圧にレベル変換された後、位相反転回路286としての排他的論理和(Exclusive OR: 以下、EXORと略す。)回路290に入力されている。EXOR回路290には、さらに反転制御信号が入力されており、この反転制御信号の論理レベルが「H」のとき、L/S288の出力信号の論理レベルを反転して、出力端子群284から出力する。一方、この反転制御信号の論理レベルが「L」のとき、L/Sの出力信号の論理レベルをそのままに、出力端子群284から出力する。このような反転制御信号は、例えばLCDコントローラ60によって設定されたレジスタ内容にしたがって、生成することができる。この場合、ソフトウェア的に任意に位相反転を行うことができる。

10

【0089】

図8(B)では、上述した反転制御信号をヒューズ292の切断により生成する。すなわち、EXOR回路290の反転制御信号が入力されるノードと電源電圧レベル及び接地レベルとの間に接続されたいずれか一方のヒューズを、切断することで、このノードの論理レベルを「H」若しくは「L」に固定することができる。この場合、反転制御信号を生成するための制御回路が不要となるため、回路が簡素化することができる。

【0090】

図8(C)では、入力端子群282を介して入力された信号群は、位相反転回路286としてのEXOR回路290に入力され、EXOR回路290の出力信号がL/S288によって高耐圧系の電圧にレベル変換されて、出力端子群284から出力される。この場合、図8(A)、(B)と比較して、EXOR回路290を低耐圧系のトランジスタで構成することができ、EXOR回路290をより小型化することができる。

20

【0091】

また、本実施形態では、上述の位相反転回路286及びL/S288をI/O回路領域に設け、信号ドライバ30の複数の端子群の中から任意に入力端子群及び出力端子群を切り替える切り替え回路を設けるようにしている。したがって、図9(A)、(B)に示すように、LCDパネル20の信号ラインに対する信号駆動電極と対向する辺(電気光学装置(画素)側の第1の辺に対向する第2の辺)にI/O回路領域280を設け、実装方式によって入力端子群及び出力端子群の位置を任意に切り替えるようにすることによって、実装方式によってLCDパネルの取り出し電極に接続すべき信号の端子の位置が変化しても、ガラス基板若しくはフレキシブルテープ等で配線が交差することがなくなり、液晶装置の低コスト化を図ることができる。

30

【0092】

4. 本実施形態における信号ドライバ(ライン駆動回路)

以下では、このような信号ドライバ(ライン駆動回路)30について具体的に説明する。

【0093】

図10に、本実施形態における信号ドライバ30の構成の概要を示す。

【0094】

信号ドライバ30は、半導体装置の各端子に対応して設けられた入出力パッド400₁~400_Q(Qは、自然数)を有する。

40

【0095】

信号ドライバ30は、さらに入出力パッド400_j(1 ≤ j ≤ Q、jは自然数)に対応して、I/O回路410_jを有し、I/O回路領域を形成する。I/O回路410₁~410_Qは、1又は複数のセレクトライン430が共通接続されている。以下では、セレクトラインが16本であるものとする。

【0096】

I/O回路410_jは、複数の入力バッファ回路、複数の出力バッファ回路を含み、所与の選択信号に応じて、入力I/O回路若しくは出力I/O回路のいずれかとして機能するようになっている。例えば、I/O回路410₁を入力I/O回路として、I/O回路410_Qを出力I/O回路として設定した場合、入出力パッド400₁を介して入力された信

50

号は、所与の第1の選択信号により、I/O回路410_jのセクタ回路によって、セクタライン430のいずれか1つ(第1のセクタライン)に出力される。その際、入力された高耐圧系若しくは低耐圧系の信号は、低耐圧系の電圧レベルに変換される。

【0097】

I/O回路410_Qでは、所与の第2の選択信号により、セクタ回路によって第1のセクタラインと、入出力パッド410_Qとが電氣的に接続される。その際、第1のセクタラインを経由した信号は、高耐圧系若しくは低耐圧系の電圧レベルに変換される。

【0098】

こうすることで、任意の入力端子からの信号を、所与の電圧にレベル変換し、任意の出力端子から出力させることができるようになる。

10

【0099】

図11に、上述したI/O回路410_jのレイアウトイメージを模式的に示す。

【0100】

I/O回路410_j(1-j-Q)は、入出力パッド400_jと電氣的に接続されるLV(Low Voltage)-LVバッファ回路412_j、LV-HV(High Voltage)バッファ回路418_j、セクタ回路424_j、ゲートアレイ(Gate Array:以下、G/Aと略す。)回路426_jを含む。

【0101】

LV-LVバッファ回路412_jは、LV-LV出力バッファ回路414_j、LV-LV入力バッファ回路416_jを含む。

20

【0102】

LV-LV出力バッファ回路(第1の出力バッファ回路)414_jは、低耐圧(LV)系の信号の電圧を、LV系の電源電圧レベルに接続されたバッファ回路でバッファリングして、入出力パッド400_jに出力する回路である。

【0103】

LV-LV入力バッファ回路(第1の入力バッファ回路)416_jは、入出力パッド400_jを介して入力されたLV系の信号の電圧を、LV系の電源電圧レベルに接続されたバッファ回路でバッファリングして、セクタ回路424_jに出力する回路である。

【0104】

LV-HVバッファ回路418_jは、LV-HV出力バッファ回路420_j、HV-LV入力バッファ回路422_jを含む。

30

【0105】

LV-HV出力バッファ回路(第2の出力バッファ回路)420_jは、LV系の信号の電圧を、HV系の信号の電圧に変換して、入出力パッド400_jに出力する回路である。

【0106】

HV-LV入力バッファ回路(第2の入力バッファ回路)422_jは、入出力パッド400_jを介して入力されたHV系の信号の電圧を、LV系の電源電圧レベルに接続されたバッファ回路でバッファリングして、セクタ回路424_jに出力する回路である。

【0107】

セクタ回路424_jは、LV-LV出力バッファ回路414_j、LV-LV入力バッファ回路416_j、LV-HV出力バッファ回路420_j、HV-LV入力バッファ回路422_jのいずれか1つを、セクタライン430のいずれか1つとを接続するための回路である。

40

【0108】

G/A回路426_jは、LV-LV出力バッファ回路414_j、LV-LV入力バッファ回路416_j、LV-HV出力バッファ回路420_j、HV-LV入力バッファ回路422_jのいずれか1つを排他的に動作制御するための制御信号と、セクタ回路424_jの選択信号とを生成する論理回路である。

【0109】

このようなI/O回路410_jは、G/A回路426_jによって、LV-LV出力バッファ

50

回路 4 1 4_j、L V - L V 入力バッファ回路 4 1 6_j、L V - H V 出力バッファ回路 4 2 0_j、H V - L V 入力バッファ回路 4 2 2_jのいずれか 1 つのみが排他的に制御されるようになっている。すなわち、選択されなかった入力バッファ回路及び出力バッファ回路は、少なくともその出力がハイインピーダンス状態となるように制御される。選択された入力バッファ回路若しくは出力バッファ回路は、G / A 回路 4 2 6_jによって選択されたセクタラインの 1 つと電氣的に選択される。この選択されたセクタラインは、他の I / O 回路を介して、入出力パッドと電氣的に接続されるようになっている。

【 0 1 1 0 】

こうすることで、I / O 回路と入出力パッドとを任意に選択して、セクタラインを介し、これら選択した I / O 回路とを電氣的に接続することによって、任意の端子間で L V 系若しくは H V 系の信号の電圧を変換して出力させることができる。

10

【 0 1 1 1 】

なお、図 1 1 に示したように、A - A 線、B - B 線、C - C 線のいずれかに沿って、例えば A 1 が蒸着された入出力パッド 4 0 0_jを切断し、互いに電氣的に分離したパッドを形成することによって、I / O 回路 4 1 0_j内で L V 系及び H V 系の信号インタフェース機能を持たせるようにしても良い。

【 0 1 1 2 】

図 1 2 に、I / O 回路 4 1 0_jの回路構成の一例の概要を示す。

【 0 1 1 3 】

入出力パッド 4 0 0_jは、L V - L V 出力バッファ回路 4 1 4_jの出力端子、L V - L V 入力バッファ回路 4 1 6_jの入力端子、L V - H V 出力バッファ回路 4 2 0_jの出力端子、H V - L V 入力バッファ回路 4 2 2_jの入力端子と電氣的に接続されている。

20

【 0 1 1 4 】

L V - L V 出力バッファ回路 4 1 4_jの入力端子、L V - L V 入力バッファ回路 4 1 6_jの出力端子、L V - H V 出力バッファ回路 4 2 0_jの入力端子、H V - L V 入力バッファ回路 4 2 2_jの出力端子は、スイッチ回路 S W A の一端としてのノード N D (第 1 のノード) と電氣的に接続されている。

【 0 1 1 5 】

スイッチ回路 S W A の他端は、セクタスイッチ S W 1 ~ S W 1 6 を含むセクタ回路 4 2 4_jを介して、セクタライン S L 1 ~ S L 1 6 と接続されている。

30

【 0 1 1 6 】

各バッファ回路を排他的に制御する制御信号 S B 1 ~ S B 4、スイッチ回路 S W A のオン・オフ制御をするスイッチ制御信号 S A、セクタスイッチ S W 1 ~ S W 1 6 を択一的に選択するための選択信号 S E L 1 ~ S E L 1 6 は、制御回路 4 4 0_jによって生成される。この制御回路 4 4 0_jは、図 7 に示したように G / A により構成される。制御回路 4 4 0_jは、図示しないホストによる設定内容にしたがって、制御信号 S B 1 ~ S B 4、選択信号 S E L 1 ~ S E L 1 6 を生成するようになっている。

【 0 1 1 7 】

スイッチ回路 S W A は、各バッファ回路と、セクタスイッチ S W 1 ~ S W 1 6 とを電氣的に切断することにより、L V - L V 入力バッファ回路 4 1 6_j、H V - L V 入力バッファ回路 4 2 2_jの出力負荷を軽減する。このため、L V - L V 入力バッファ回路 4 1 6_j、H V - L V 入力バッファ回路 4 2 2_jの小型化を図ることができる。

40

【 0 1 1 8 】

なお、本実施形態では、L V - L V 出力バッファ回路 4 1 4_j、L V - L V 入力バッファ回路 4 1 6_j、L V - H V 出力バッファ回路 4 2 0_j、H V - L V 入力バッファ回路 4 2 2_jは、制御信号 S B 1 ~ S B 4 と共に制御回路 4 4 0_jから供給される反転制御信号 I N V 1 ~ I N V 4 により、入力された信号の論理レベルを反転 (位相を反転) して、出力することができるようになっている。なお、ここでは各バッファ回路に位相反転回路を設けるようにしているが、これに限定されるものではない。

【 0 1 1 9 】

50

以下では、各バッファ回路の具体的な構成例について説明する。

【0120】

ここでは、LV系の電源電圧をVCC、HV系の電源電圧をVDD、接地レベルをVSSとする。また、例えば制御信号CONTの反転信号をXCONTと表している。

【0121】

図13に、LV-LV出力バッファ回路414_jの回路構成の一例を示す。

【0122】

LV-LV出力バッファ回路414_jは、インバータ回路500_j、504_j、EXOR回路502_j、レベルシフタ(Level Shifter: 以下、LSと略す。)506_j、トランスファ回路508_jを含む。

10

【0123】

LS506_j及びトランスファ回路508_jは、HV系のトランジスタにより構成される。インバータ回路500_j、504_j、EXOR回路502_jは、LV系のトランジスタにより構成される。HV系のトランジスタは、例えばLV系のトランジスタの酸化膜厚をより厚く形成し、高耐圧性を向上させている。そのため、HV系のトランジスタのデザインルールは、LV系のトランジスタのデザインルールより緩くせざるを得ず、回路面積が大きくなってしまう。

【0124】

LS506_jは、制御信号SB1とその反転信号XSB1の電位差をHV系の電圧に変換し、トランスファ回路508_jのオン若しくはオフの制御を行う。

20

【0125】

入力ノードNDは、インバータ回路500_jの入力ノードに接続される。

【0126】

インバータ回路500_jの入力ノード及び出力ノードは、EXOR回路502_jに接続される。EXOR回路502_jは、反転制御信号INV1と、入力ノードNDの論理レベルとの排他的論理和を演算し、その結果がインバータ回路504_jの入力ノードに供給される。

【0127】

インバータ回路504_jの出力ノードは、トランスファ回路508_jを介して、入出力パッド400_jに接続される。

30

【0128】

このようにLV-LV出力バッファ回路414_jは、入力ノードNDの論理レベルを、反転制御信号INV1により論理レベルの反転を任意に行うようにしている。また、その出力ノードを、HV系のトランスファ回路508_jを介して、入出力パッド400_jに接続するようにしている。これにより、入出力パッド400_jに、誤ってHV系の電圧が供給されて、LV系のトランジスタを破壊することなく信頼性を維持することができる。また、反転制御信号INV1により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。

【0129】

40

図14に、LV-LV入力バッファ回路416_jの回路構成の一例を示す。

【0130】

LV-LV入力バッファ回路416_jは、LS520_j、トランスファ回路522_j、インバータ回路524_j、EXOR回路526_jを含む。

【0131】

LS520_j及びトランスファ回路522_jは、HV系のトランジスタにより構成される。インバータ回路524_j、EXOR回路526_jは、LV系のトランジスタにより構成される。

【0132】

LS520_jは、制御信号SB2とその反転信号XSB2の電位差をHV系の電圧に変換

50

し、トランスファー回路 5 2 2_j のオン若しくはオフの制御を行う。

【 0 1 3 3 】

このようなトランスファー回路 5 2 2_j を介して、入出力パッド 4 0 0_j は、L V 系のトランジスタにより構成されたインバータ回路 5 2 4_j に接続される。

【 0 1 3 4 】

なお、インバータ回路 5 2 4_j の入力ノードは、接地レベル V S S との間に n 型トランジスタ 5 2 8_j が接続されている。n 型トランジスタ 5 2 8_j のゲート電極には、制御信号 S B 2 の反転信号 X S B 2 が供給されている。したがって、反転信号 X S B 2 が「H」のとき、L V - L V 入力バッファ回路 4 1 6_j は非選択状態であるため、n 型トランジスタ 5 2 8_j を介してインバータ回路 5 2 4_j の入力ノードの電圧を接地レベル V S S に固定することができ、非選択状態におけるインバータ回路 5 2 4_j の貫通電流を削減する。

10

【 0 1 3 5 】

インバータ回路 5 2 4_j の入力ノード及び出力ノードは、E X O R 回路 5 2 6_j に接続される。E X O R 回路 5 2 6_j は、反転制御信号 I N V 2 と、インバータ回路 5 2 4_j の入力ノードの論理レベルとの排他的論理和を演算し、その結果がノード N D の論理レベルとなる。

【 0 1 3 6 】

E X O R 回路 5 2 6_j は、p 型トランジスタ 5 3 0_j を介して L V 系の電源電圧 V C C と、n 型トランジスタ 5 3 2_j を介して接地レベル V S S と接続される。p 型トランジスタ 5 3 0_j のゲート電極には、反転信号 X S B 2 が供給され、n 型トランジスタ 5 3 2_j のゲート電極には、制御信号 S B 2 が供給される。

20

【 0 1 3 7 】

したがって、L V - L V 入力バッファ回路 4 1 6_j が選択状態のときに、ノード N D は上述した排他的論理和の演算結果が出力され、非選択状態のときにノード N D はハイインピダンス状態となる。

【 0 1 3 8 】

このように L V - L V 入力バッファ回路 4 1 6_j は、入出力パッド 4 0 0_j からの信号を H V 系のトランスファー回路 5 2 2_j で受け、E X O R 回路 5 2 6_j で論理レベルの反転を任意に行うようにした。これにより、入出力パッド 4 0 0_j に、誤って H V 系の電圧が供給されても信頼性を損なうことがなく、L V 系の電圧をノード N D に供給することができる。また、反転制御信号 I N V 2 により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。

30

【 0 1 3 9 】

図 1 5 に、L V - H V 出力バッファ回路 4 2 0_j の回路構成の一例を示す。

【 0 1 4 0 】

L V - H V 出力バッファ回路 4 2 0_j は、インバータ回路 5 4 0_j、5 4 4_j、E X O R 回路 5 4 2_j を含む。また、L V - H V 出力バッファ回路 4 2 0_j は、N A N D 回路 5 4 6_j、インバータ回路 5 4 8_j、5 5 2_j、L S 5 5 0_j を含む。さらに、L V - H V 出力バッファ回路 4 2 0_j は、N O R 回路 5 5 4_j、インバータ回路 5 5 6_j、5 6 0_j、L S 5 5 8_j を含む。

40

【 0 1 4 1 】

この L V - H V 出力バッファ回路 4 2 0_j は、入出力パッド 4 0 0_j への出力をハイインピダンス制御するために、H V 系の電源電圧 V D D と接地レベル V S S との間に、互いのドレイン端子が接続された p 型トランジスタ 5 6 2_j と n 型トランジスタ 5 6 4_j とが接続されている。

【 0 1 4 2 】

インバータ回路 5 4 0_j、5 4 4_j、5 4 8_j、5 5 6_j、E X O R 回路 5 4 2_j、N O R 回路 5 4 6_j、N A N D 回路 5 5 4_j は、L V 系のトランジスタにより構成される。L S 5 5 0_j、5 5 8_j、インバータ回路 5 5 2_j、5 6 0_j、p 型トランジスタ 5 6 2_j、n 型トラン

50

ンジスタ 5 6 4_j は、H V 系のトランジスタにより構成される。

【 0 1 4 3 】

入力ノード N D は、インバータ回路 5 4 0_j の入力ノードに接続される。

【 0 1 4 4 】

インバータ回路 5 4 0_j の入力ノード及び出力ノードは、E X O R 回路 5 4 2_j に接続される。E X O R 回路 5 4 2_j は、反転制御信号 I N V 3 と、入力ノード N D の論理レベルとの排他的論理和を演算し、その結果がインバータ回路 5 4 4_j の入力ノードに供給される。

【 0 1 4 5 】

インバータ回路 5 4 4_j の出力ノードは、N O R 回路 5 4 6_j 及び N A N D 回路 5 5 4_j に接続される。 10

【 0 1 4 6 】

N O R 回路 5 4 6_j は、制御信号 S B 3 の論理レベルと、インバータ回路 5 4 4_j の出力ノードの論理レベルとの反転論理和 (N O R) を演算し、その結果をインバータ回路 5 4 8_j の入力ノードに供給する。

【 0 1 4 7 】

N A N D 回路 5 5 4_j は、制御信号 S B 3 の論理レベルと、インバータ回路 5 4 4_j の出力ノードの論理レベルとの反転論理積 (N A N D) を演算し、その結果をインバータ回路 5 5 6_j の入力ノードに供給する。

【 0 1 4 8 】

L S 5 5 0_j は、インバータ回路 5 4 8_j の入力ノード及び出力ノードの電位差を H V 系の電圧に変換し、H V 系のトランジスタにより構成されたインバータ回路 5 5 2_j の入力ノードに供給する。インバータ回路 5 5 2_j の出力ノードは、p 型トランジスタ 5 6 2_j のゲート電極に接続される。 20

【 0 1 4 9 】

L S 5 5 8_j は、インバータ回路 5 5 6_j の入力ノード及び出力ノードの電位差を H V 系の電圧に変換し、H V 系のトランジスタにより構成されたインバータ回路 5 6 0_j の入力ノードに供給する。インバータ回路 5 6 0_j の出力ノードは、n 型トランジスタ 5 6 4_j のゲート電極に接続される。

【 0 1 5 0 】

このように L V - H V 出力バッファ回路 4 2 0_j は、入力ノード N D の論理レベルを、反転制御信号 I N V 3 により論理レベルの反転を任意に行うようにしている。また、その出力ノードと制御信号 S B 3 とにより生成したゲート制御信号を、L S 5 5 0_j、5 5 8_j により H V 系の電圧に変換して、p 型トランジスタ 5 6 2_j 及び n 型トランジスタ 5 6 4_j を制御するようにしている。 30

【 0 1 5 1 】

これにより、反転制御信号 I N V 3 により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。また、L V 系の電圧を H V 系の電圧にレベル変換するとともに、その出力をハイインピーダンス制御することができる出力バッファ回路を提供する。 40

【 0 1 5 2 】

図 1 6 に、H V - L V 入力バッファ回路 4 2 2_j の回路構成の一例を示す。

【 0 1 5 3 】

H V - L V 入力バッファ回路 4 2 2_j は、インバータ回路 5 7 0_j、E X O R 回路 5 7 2_j を含む。

【 0 1 5 4 】

インバータ回路 5 7 0_j は、H V 系のトランジスタにより構成され、電源電圧レベルとして、L V 系の電源電圧 V C C が供給される。

【 0 1 5 5 】

入出力パッド 4 0 0_j は、インバータ回路 5 7 0_j の入力ノードに接続される。これにより 50

、入出力パッド400_jにLV系の信号の電圧が供給されたときに、インバータ回路570_jは、この信号を検出し、出力ノードに反転信号を生成する。

【0156】

インバータ回路570_jの入力ノード及び出力ノードは、EXOR回路572_jに接続される。EXOR回路572_jは、反転制御信号INV4と、入出力パッド400_jの論理レベルとの排他的論理和を演算し、その結果がノードNDの論理レベルとなる。

【0157】

EXOR回路572_jは、p型トランジスタ574_jを介してLV系の電源電圧VCCと、n型トランジスタ576_jを介して接地レベルVSSと接続される。p型トランジスタ574_jのゲート電極には、反転信号XSB4が供給され、n型トランジスタ576_jのゲート電極には、制御信号SB4が供給される。

10

【0158】

したがって、HV-LV入力バッファ回路422_jが選択状態のときに、ノードNDは上述した排他的論理和の演算結果が出力され、非選択状態のときにノードNDはハイインピーダンス状態となる。

【0159】

このようにHV-LV入力バッファ回路422_jは、入出力パッド400_jからの信号を、LV系の電源電圧VCCが接続されたHV系のインバータ回路570_jで受け、EXOR回路526_jで論理レベルの反転を任意に行うようにしている。これにより、入出力パッド400_jに、誤ってHV系の電圧が供給されても信頼性を損なうことがなく、LV系の電圧をノードNDに供給することができる。また、反転制御信号INV2により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。

20

【0160】

上述したように各種バッファ回路を排他的に制御する制御回路440_jは、制御信号SB1~SB4、選択信号SEL1~SEL16、スイッチ制御信号SAを生成する。

【0161】

図17に、制御回路440_jの回路構成の一例を示す。

【0162】

制御回路440_jは、例えばLCDコントローラ60により、所与のコマンドレジスタを設定することにより、上述した制御信号SB1~SB4、選択信号SEL1~SEL16、スイッチ制御信号SAを生成する。

30

【0163】

例えば、LCDコントローラ60によって所与のコマンドレジスタへのアクセスがあったときに生成されるアドレスデコードパルスと、クロック信号CKとに同期して、データバスD7-D0を1ビットずつフリップフロップに保持する。各フリップフロップは、例えば初期状態設定用の初期データS7-S0の対応するビットデータ若しくは反転リセット信号XRESによりセット、リセットが行われる。この場合、初期データS7-S0をA1切り替えで、電源電圧若しくは接地レベルに固定させることで、一括的に初期状態の設定を行うことができる。

40

【0164】

このように各フリップフロップに保持されたデータは、デコーダ回路によって制御信号SB1~SB4等がデコード出力される。このような制御回路440_jにより、セクタ回路424_jにおいて、セクタライン430のうち任意のセクタラインを1つ選択することができ、4つのバッファ回路を排他的に動作制御することができる。

【0165】

なお、スイッチ制御信号SAにより、適宜バッファ回路とセクタラインとを電氣的に切断することによって、出力負荷の低減を図ることができるようになっている。

【0166】

また、反転制御信号INV1~INV4についても、同様に生成することができる。

50

【 0 1 6 7 】

5 . 本実施形態における信号ドライバが適用された液晶装置

図 1 8 に、本実施形態における信号ドライバが適用された液晶装置 1 0 の構成の概要を示す。

【 0 1 6 8 】

ただし、図 4 と同一部分には同一符号を付し、適宜説明を省略する。

【 0 1 6 9 】

L C D コントローラ 6 0 は、信号ドライバ 3 0 に対して、クロック信号 C P H、水平同期信号としてのラッチパルス L P、コマンドを指定するためのコマンド信号 C M D、信号の反転信号 I N V、画像データやコマンドデータが伝送されるデータ D 0 - D 1 7、極性反転駆動タイミングとしての極性反転信号 P O L、出力イネーブル信号 O E、イネーブル入出力信号 E I O、反転リセット信号 X R E S H を供給し、信号駆動制御を行う。

10

【 0 1 7 0 】

また、L C D コントローラ 6 0 は、走査ドライバ 5 0 に対して、クロック信号 C P V、垂直同期信号としてのスタート信号 S T V、反転出力イネーブル信号 X O E V、全走査ラインの出力を制御する出力制御信号 X O H V、反転リセット信号 X R E S V を供給し、走査駆動制御を行うことができるようになっている。本実施形態では、これら L C D コントローラ 6 0 から走査ドライバ 5 0 に対して供給されるべき制御信号を、上述したような I / O 回路を有する信号ドライバ 3 0 で中継し、レベル変換した後に、走査ドライバ 5 0 に対して供給するようになっている。

20

【 0 1 7 1 】

さらに、L C D コントローラ 6 0 は、電源回路 8 0 に対して、スタンバイ制御信号 X S T B Y、昇圧モードの設定信号 P M D E、1 次及び 2 次昇圧系クロック P C K 1、P C K 2、対向電極電圧の極性反転信号 V C O M を供給し、電源制御を行うことができるようになっている。本実施形態では、これら L C D コントローラ 6 0 から電源回路 8 0 に対して供給されるべき制御信号を、上述したような I / O 回路を有する信号ドライバ 3 0 で中継し、レベル変換した後に、電源回路 8 0 に対して供給するようになっている。

【 0 1 7 2 】

こうすることで、より複雑な回路構成を有する L C D コントローラ 6 0 において、H V 系のインタフェース回路を設ける必要がなくなり、中耐圧プロセスで製造される信号ドライバ 3 0 でレベル変換を行って中継させるようにした。したがって、L C D コントローラ 6 0 は、汎用性が高く、微細化プロセスによるチップサイズの縮小化により、大幅な低コスト化を図ることができるようになる。

30

【 0 1 7 3 】

図 1 9 (A)、(B) に、上述した液晶装置 1 0 を表示駆動する信号ドライバ 3 0 等の配置の一例を示す。

【 0 1 7 4 】

図 1 9 (A) に示すように、信号ドライバ 3 0 の L C D パネル 2 0 の信号ライン駆動側に対向する辺（電気光学装置側の第 1 の辺に対向する第 2 の辺）にその両隣に電源回路制御の入力信号群が入力される入力端子群、走査ドライバ制御用の入力信号群が入力される入力端子群を設定する。さらに、その両端側に、電源回路制御用の入力端子群を介して入力された入力信号群を上述したようにレベル変換等した出力信号群が出力される電源回路用の出力端子群と、走査ドライバ制御用の入力端子群を介して入力された入力信号群を上述したようにレベル変換等した出力信号群が出力される走査ドライバ用の出力端子群とを設定する。

40

【 0 1 7 5 】

この場合、図 1 9 (B) に示したように、信号ドライバ 3 0 の信号ライン駆動側と対向する辺（電気光学装置側の第 1 の辺に対向する第 2 の辺）側の中心部に、L C D コントローラ 6 0 から信号ドライバ制御用、電源回路制御用及び走査ドライバ制御用の各入力信号群が入力され、その両端部から中継した電源回路用及び走査ドライバ制御用の出力信号群が

50

出力されるため、上記制御信号が互いに交差することがない。

【0176】

図20(A)、(B)に、上述した液晶装置10を表示駆動する信号ドライバ等の配置の他の例を示す。

【0177】

図20(A)に示すように、信号ドライバ30のLCDパネル20の信号ライン駆動側に対向する辺(電気光学装置側の第1の辺に対向する第2の辺)にI/O回路領域を設け、その中心部からコーナー部の方向に順に、LCDコントローラ60からの各種入力信号群が入力される入力端子群、走査ドライバ制御用の出力信号群が出力される出力端子群、電源回路制御用の出力信号群が出力される出力端子群を設定する。

10

【0178】

この場合、図20(B)に示したように、信号ドライバ30と走査ドライバ50の間に電源回路80を配置させることができるので、LCDパネル20及び走査ドライバ50に対して所与の電源電圧を供給するための電源線の配線は、他の信号の配線と交差することがなく、効率的に配線することができる。

【0179】

また、図21に示すように、例えばA0 - A2のようなバスの場合、入力信号群については方向Eに沿って、A0、A1、A2の順に入力端子を設定し、出力信号群については方向Eに沿って、A2、A1、A0の順に出力端子を設定することで、バスの並び方向を維持した状態で、上述したレベル変換や位相反転を行った信号の中継が可能となる。

20

【0180】

このような信号ドライバ30は、図22に示すようにHV系の電源電圧VDDを供給するための電源ライン、LV系の電源電圧VCCを供給するための電源ライン、接地レベルVSSを供給するための電源ラインがチップ周辺部に沿って周回するように配置された場合、これら各電源ラインの下部に、上述した機能を有するI/O回路領域700を設けることによって、チップの面積拡大を回避して、低コスト化に効果的に信号ドライバを提供することができる。

【0181】

6. その他

本実施形態では、TFT液晶を用いたLCDパネルを供える液晶装置を例に説明したが、これに限定されるものではない。例えば、信号ライン及び走査ラインにより特定される画素に対応して設けられた有機EL素子を含む有機ELパネルを表示駆動する信号ドライバ及び走査ドライバにも適用することができる。

30

【0182】

図23に、このような信号ドライバ及び走査ドライバにより表示制御される有機ELパネルにおける2トランジスタ方式の画素回路の一例を示す。

【0183】

有機ELパネルは、信号ライン S_m と走査ライン G_n との交差点に、駆動TFT800 $_{nm}$ と、スイッチTFT810 $_{nm}$ と、保持キャパシタ820 $_{nm}$ と、有機LED830 $_{nm}$ とを有する。駆動TFT800 $_{nm}$ は、p型トランジスタにより構成される。

40

【0184】

駆動TFT800 $_{nm}$ と有機LED830 $_{nm}$ とは、電源ラインに直列に接続される。

【0185】

スイッチTFT810 $_{nm}$ は、駆動TFT800 $_{nm}$ のゲート電極と、信号ライン S_m との間に挿入される。スイッチTFT810 $_{nm}$ のゲート電極は、走査ライン G_m に接続される。

【0186】

保持キャパシタ820 $_{nm}$ は、駆動TFT800 $_{nm}$ のゲート電極と、キャパシタラインとの間に挿入される。

【0187】

このような有機EL素子において、走査ライン G_n が駆動されスイッチTFT810 $_{nm}$ が

50

オンになると、信号ライン S_m の電圧が保持キャパシタ 820_{nm} に書き込まれるとともに、駆動 $TFT800_{nm}$ のゲート電極に印加される。駆動 $TFT800_{nm}$ のゲート電圧 V_{gs} は、信号ライン S_m の電圧によって決まり、駆動 $TFT800_{nm}$ に流れる電流が定まる。駆動 $TFT800_{nm}$ と有機 $LED830_{nm}$ とは直列接続されているため、駆動 $TFT800_{nm}$ に流れる電流がそのまま、有機 $LED830_{nm}$ に流れる電流となる。

【0188】

したがって、保持キャパシタ 820_{nm} により信号ライン S_m の電圧に応じたゲート電圧 V_{gs} を保持することによって、例えば1フレーム期間中において、ゲート電圧 V_{gs} に対応した電流を有機 $LED830_{nm}$ に流すことで、当該フレームにおいて光り続ける画素を実現することができる。

10

【0189】

図24(A)に、上述した信号ドライバ及び走査ドライバにより表示制御される有機ELパネルにおける4トランジスタ方式の画素回路の一例を示す。図24(B)に、この画素回路の表示制御タイミングの一例を示す。

【0190】

この場合も、有機ELパネルは、駆動 $TFT900_{nm}$ と、スイッチ $TFT910_{nm}$ と、保持キャパシタ 920_{nm} と、有機 $LED930_{nm}$ とを有する。

【0191】

図23に示した2トランジスタ方式の画素回路と異なる点は、定電圧の代わりにスイッチ素子としてのp型 $TFT940_{nm}$ を介して定電流源 950_{nm} からの定電流 I_{data} を画素に供給するようにした点と、電源ラインにスイッチ素子としてのp型 $TFT960_{nm}$ を介して保持キャパシタ 920_{nm} 及び駆動 $TFT900_{nm}$ と接続するようにした点である。

20

【0192】

このような有機EL素子において、まずゲート電圧 V_{gp} によりp型 $TFT960$ をオフにして電源ラインを遮断し、ゲート電圧 V_{se1} によりp型 $TFT940_{nm}$ とスイッチ $TFT910_{nm}$ をオンにして、定電流源 950_{nm} からの定電流 I_{data} を駆動 $TFT900_{nm}$ に流す。

【0193】

駆動 $TFT900_{nm}$ に流れる電流が安定するまでの間に、保持キャパシタ 920_{nm} には定電流 I_{data} に応じた電圧が保持される。

30

【0194】

続いて、ゲート電圧 V_{se1} によりp型 $TFT940_{nm}$ とスイッチ $TFT910_{nm}$ をオフにし、さらにゲート電圧 V_{gp} によりp型 $TFT960_{nm}$ をオンにし、電源ラインと駆動 $TFT900_{nm}$ 及び有機 $LED930_{nm}$ を電氣的に接続する。このとき、保持キャパシタ 920_{nm} に保持された電圧により、定電流 I_{data} とほぼ同等か、又はこれに応じた大きさの電流が有機 $LED930_{nm}$ に供給される。

【0195】

このような有機EL素子では、例えば、走査ラインをゲート電圧 V_{se1} 、信号ラインをデータ線として構成することができる。

【0196】

有機LEDは、透明アノード(ITO)の上部に発光層を設け、さらにその上部にメタルカソードを設けるようにしても良いし、メタルアノードの上部に、発光層、光透過性カソード、透明シールを設けるようにしても良く、その素子構造に限定されるものではない。

40

【0197】

以上説明したような有機EL素子を含む有機ELパネルを表示駆動する信号ドライバを上述したように構成することによって、有機ELパネルを表示制御する表示コントローラの微細化を図ることができる。

【0198】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、プラズマディスプレイ装置にも適用可能である。

50

【 0 1 9 9 】

また、本実施形態では、ライン駆動回路として信号ドライバを例に説明したが、これに限定されるものではない。

【図面の簡単な説明】

【図 1】本実施形態におけるライン駆動回路を含む表示装置の構成の概要を示すブロック図である。

【図 2】本実施形態における液晶装置の LCD パネルの駆動波形の一例を示す説明図である。

【図 3】比較例として液晶装置を構成する各半導体装置の接続関係の一例を示す説明図である。

10

【図 4】本実施形態における液晶装置を構成する各半導体装置の接続関係の一例を示す説明図である。

【図 5】図 5 (A) は、ガラス基板上に LCD パネル、信号ドライバ等が実装される COG モジュールを模式図である。図 5 (B) は、CPU 等が実装される PCB を示す模式図である。図 5 (C) は、COG モジュールと PCB とを横方向から見た模式図である。

【図 6】図 6 (A) は、ガラス基板上に LCD パネル、フレキシブルテープ上に信号ドライバ等が実装される COF モジュールを模式図である。図 6 (B) は、CPU 等が実装される PCB を示す模式図である。図 6 (C) は、COF モジュールと PCB とを横方向から見た模式図である。

【図 7】本実施形態における信号ドライバの原理的構成を示す構成図である。

20

【図 8】図 8 (A) は、より具体的な信号ドライバの構成の第 1 の例を示す説明図である。図 8 (B) は、より具体的な信号ドライバの構成の第 2 の例を示す説明図である。図 8 (C) は、より具体的な信号ドライバの構成の第 3 の例を示す説明図である。

【図 9】図 9 (A) は、入力端子群及び出力端子群を設定した信号ドライバ 30 の第 1 の例を示す説明図である。図 9 (B) は、入力端子群及び出力端子群を設定した信号ドライバ 30 の第 2 の例を示す説明図である。

【図 10】本実施形態における信号ドライバの構成の概要を示す構成図である。

【図 11】本実施形態における信号ドライバの I / O 回路のレイアウトイメージを模式的に示す模式図である。

【図 12】本実施形態における I / O 回路の回路構成の一例の概要を示す構成図である。

30

【図 13】本実施形態における LV - LV 出力バッファ回路の回路構成の一例を示す回路図である。

【図 14】本実施形態における LV - LV 入力バッファ回路の回路構成の一例を示す回路図である。

【図 15】本実施形態における LV - HV 出力バッファ回路の回路構成の一例を示す回路図である。

【図 16】本実施形態における HV - LV 入力バッファ回路の回路構成の一例を示す回路図である。

【図 17】本実施形態における制御回路の回路構成の一例を示す構成図である。

【図 18】本実施形態における信号ドライバが適用された液晶装置の構成の概要を示す説明図である。

40

【図 19】図 19 (A) は、I / O 回路領域の中心部付近に信号ドライバ制御用の入力信号群が入力される入力端子群を設定した場合の信号ドライバの説明図である。図 19 (B) は、この信号ドライバを適用した場合の液晶装置の信号配線の一例を示す説明図である。

【図 20】図 20 (A) は、中心部からコーナー部の方向に順に、LCD コントローラの各種入力信号群が入力される入力端子群、走査ドライバ制御用の出力信号群が出力される出力端子群、電源回路制御用の出力信号群が出力される出力端子群を設定した場合の信号ドライバの説明図である。図 20 (B) は、この信号ドライバを適用した場合の液晶装置の信号配線の一例を示す説明図である。

50

【図 2 1】本実施形態における信号ドライバにおいて、バスを中継する場合の端子の設定順序について説明するための説明図である。

【図 2 2】本実施形態における信号ドライバにおいて、I/O 回路領域の配置について説明するための説明図である。

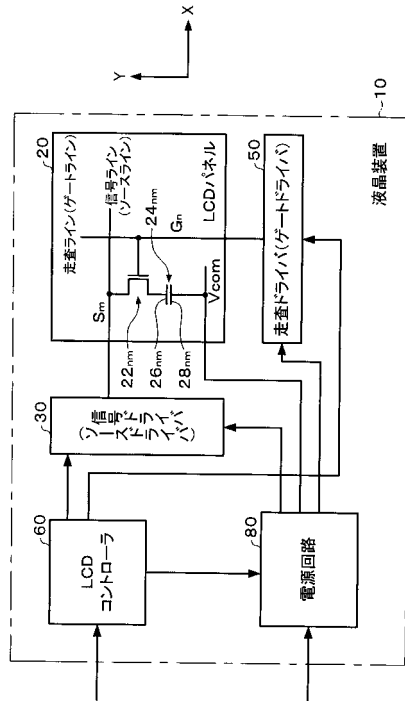
【図 2 3】有機 EL パネルにおける 2 トランジスタ方式の画素回路の一例を示す回路図である。

【図 2 4】図 2 4 (A) は、有機 EL パネルにおける 4 トランジスタ方式の画素回路の一例を示す回路図である。図 2 4 (B) は、4 トランジスタ方式の画素回路の表示制御タイミングの一例を示すタイミング図である。

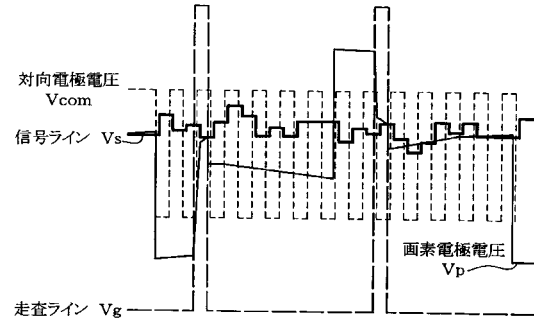
【符号の説明】

1 0、1 0 0	液晶装置	10
2 0、1 2 0	L C D パネル	
2 2 _{nm}	T F T	
2 4 _{nm}	液晶容量	
2 6 _{nm}	画素電極	
2 8 _{nm}	対向電極	
3 0、1 3 0	信号ドライバ	
5 0、1 5 0	走査ドライバ	
6 0、1 6 0	L C D コントローラ	
8 0、1 8 0	電源回路	20
2 0 0、2 1 0	インタフェース部	
2 8 0	I / O 回路領域	
2 8 2	入力端子群	
2 8 4	出力端子群	
2 8 6	位相反転回路	
2 8 8	L / S	
4 0 0 ₁ ~ 4 0 0 _Q	入出力パッド	
4 1 0 ₁ ~ 4 1 0 _Q	I / O 回路	
4 1 2 _j	L V - L V バッファ回路	
4 1 4 _j	L V - L V 出力バッファ回路	30
4 1 6 _j	L V - L V 入力バッファ回路	
4 1 8 _j	L V - H V バッファ回路	
4 2 0 _j	L V - H V 出力バッファ回路	
4 2 2 _j	H V - L V 入力バッファ回路	
4 2 4 _j	セレクト回路	
4 2 6 _j	G / A 回路	
4 3 0	セレクトライン	
4 4 0 _j	制御回路	
5 0 0 _j 、5 0 4 _j 、5 2 4 _j 、5 4 0 _j 、5 4 4 _j 、5 4 8 _j 、5 5 2 _j 、5 5 6 _j 、5 6 0 _j 、5 7 0 _j	インバータ回路	40
5 0 2 _j 、5 2 6 _j 、5 4 2 _j 、5 7 2 _j	E X O R 回路	
5 0 6 _j 、5 2 0 _j 、5 5 0 _j 、5 5 8 _j	L S	
5 0 8 _j 、5 2 2 _j	トランスファ回路	
5 2 8 _j 、5 3 2 _j 、5 6 4 _j 、5 7 6 _j	n 型トランジスタ	
5 3 0 _j 、5 6 2 _j 、5 7 4 _j	p 型トランジスタ	
5 4 6 _j	N A N D 回路	
5 5 4 _j	N O R 回路	

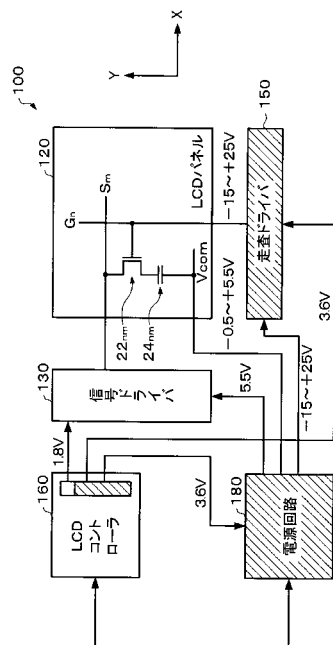
【図 1】



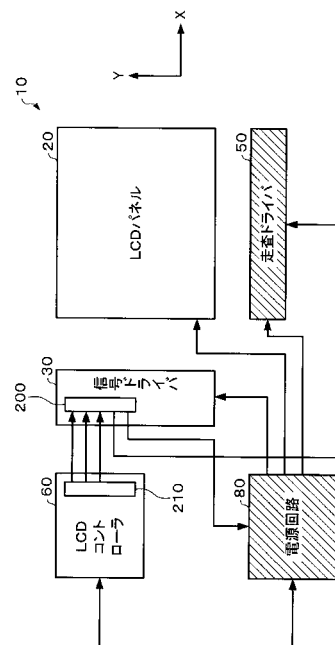
【図 2】



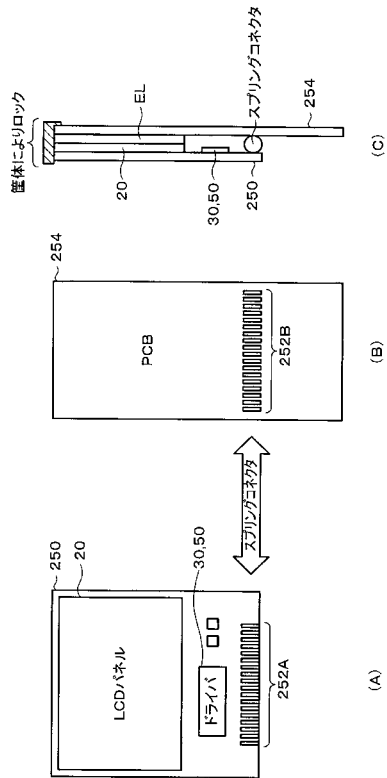
【図 3】



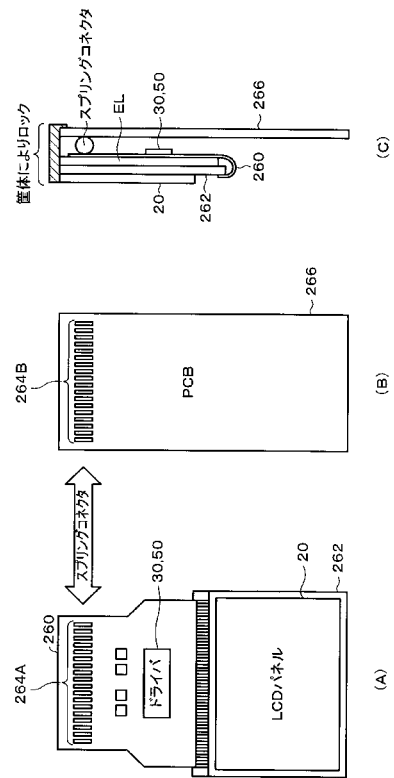
【図 4】



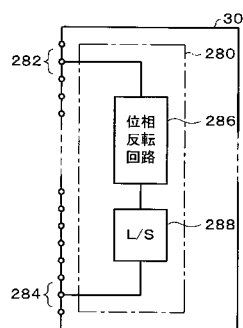
【図 5】



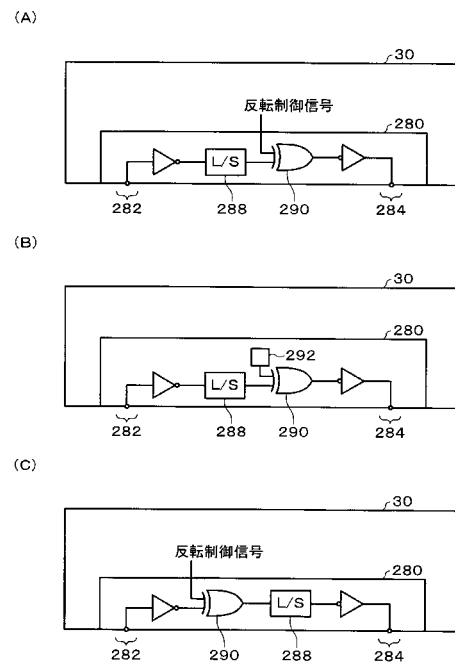
【図 6】



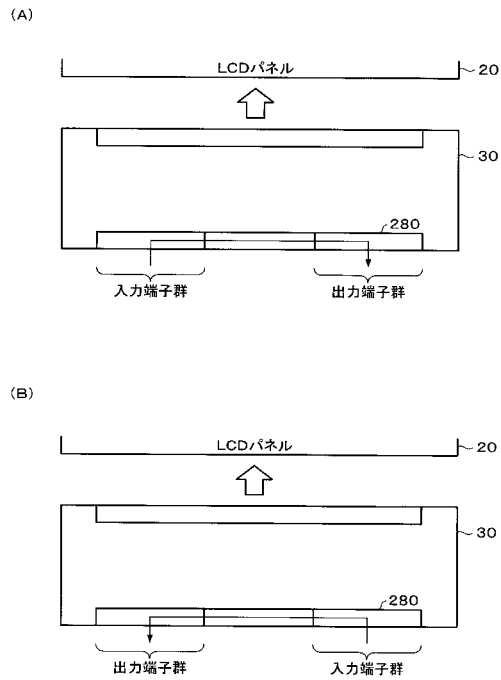
【図 7】



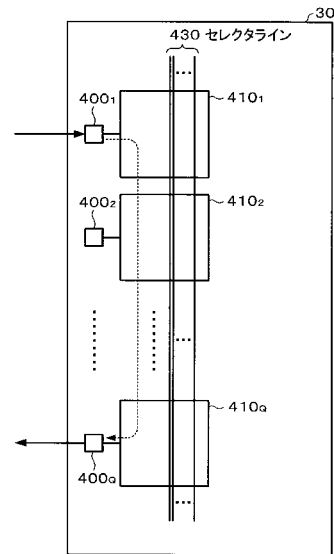
【図 8】



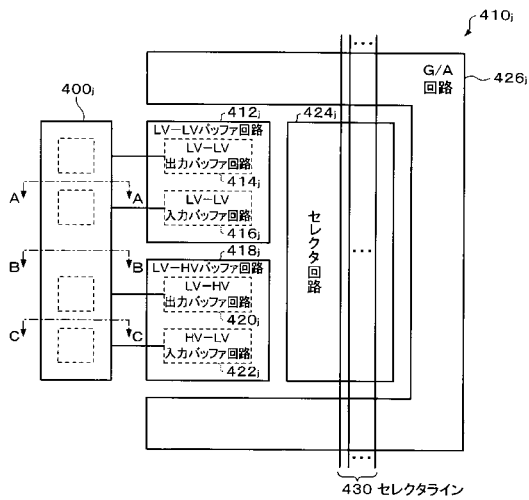
【図 9】



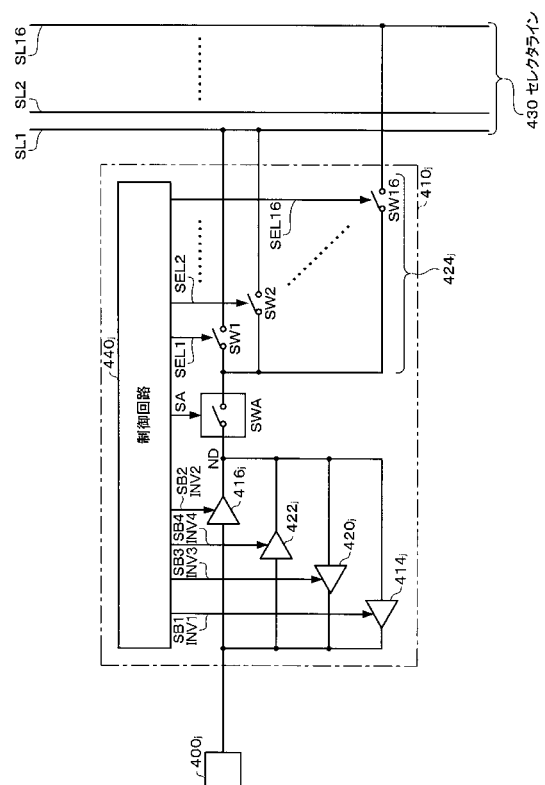
【図 10】



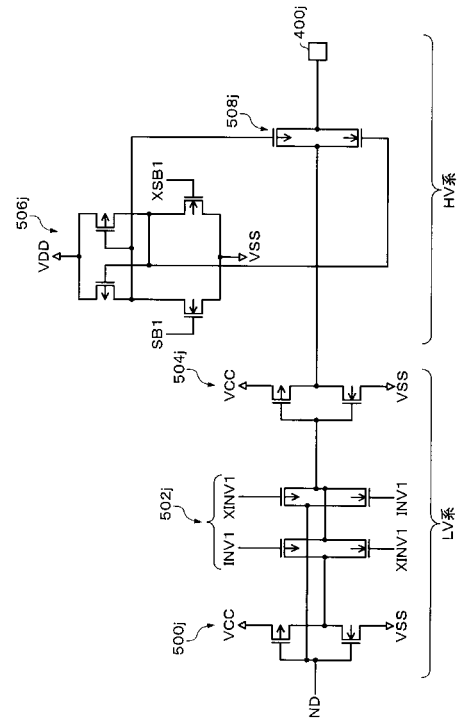
【図 11】



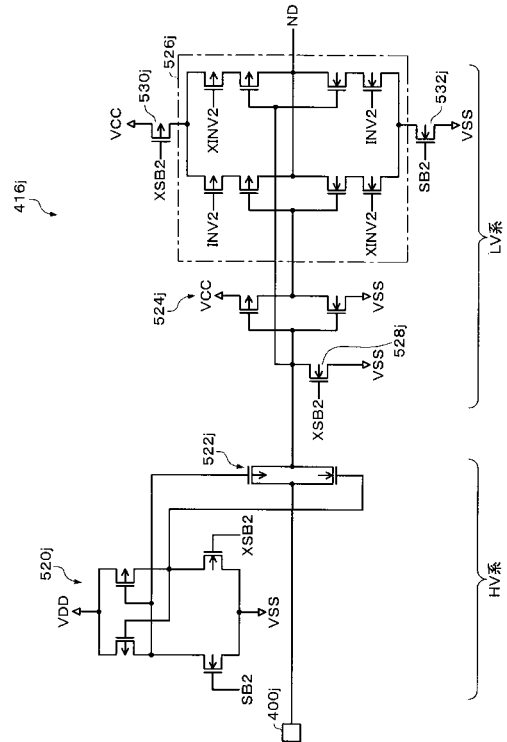
【図 12】



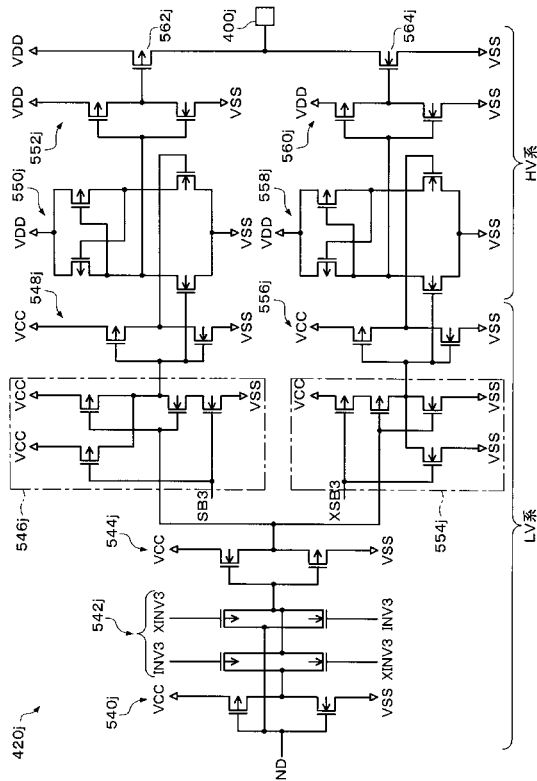
【図 13】



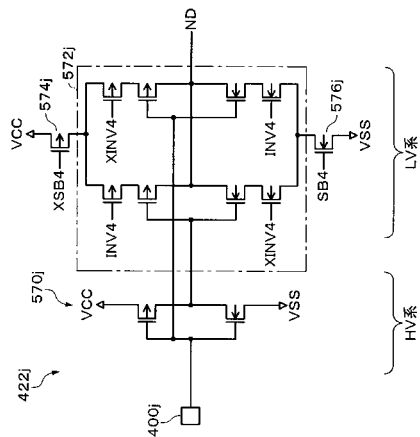
【図 14】



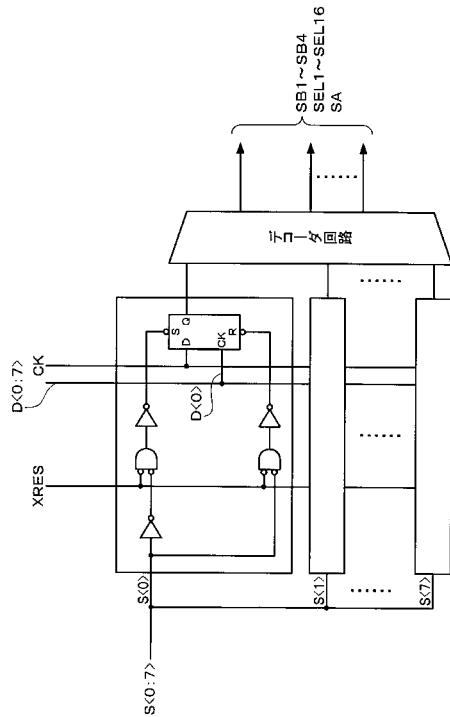
【図 15】



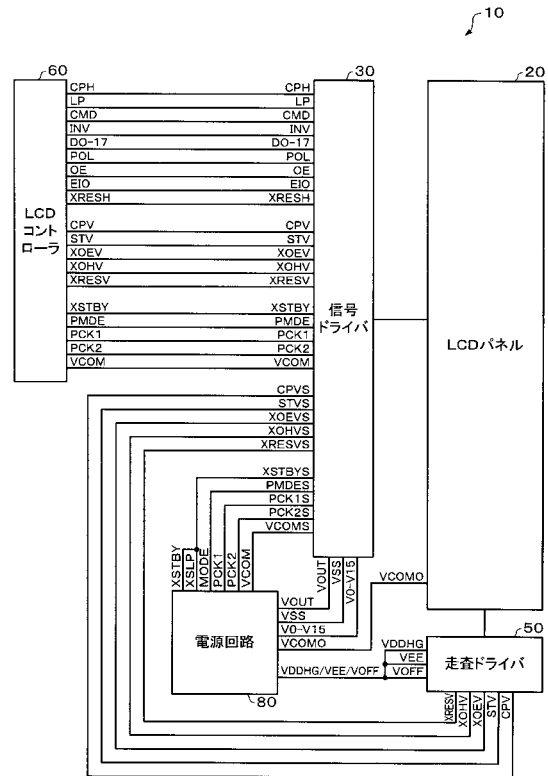
【図 16】



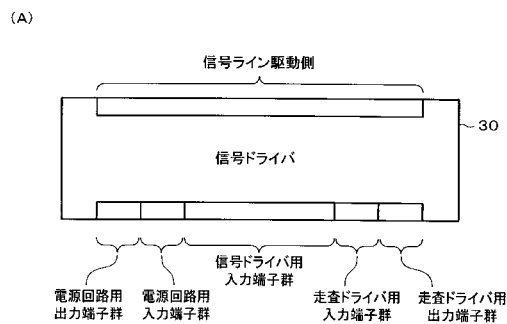
【図 17】



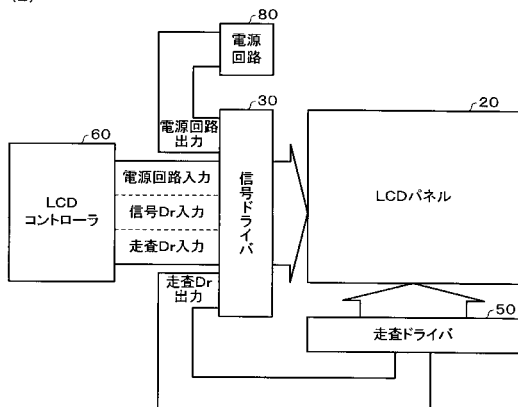
【図 18】



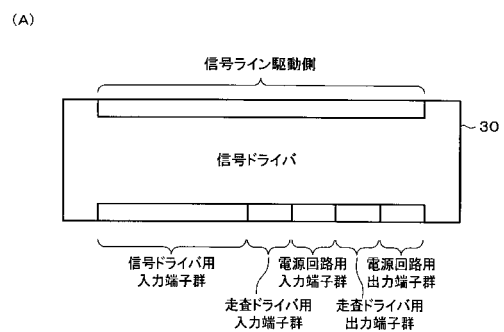
【図 19】



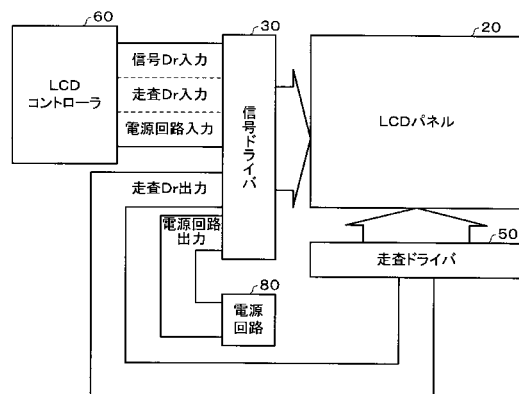
(B)



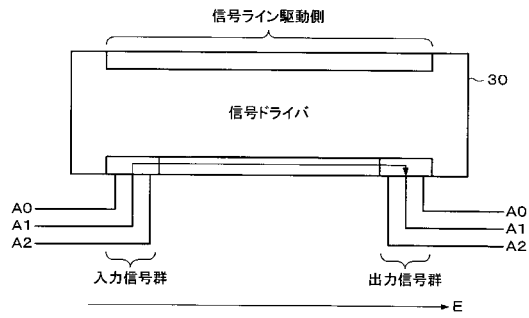
【図 20】



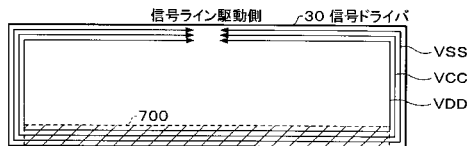
(B)



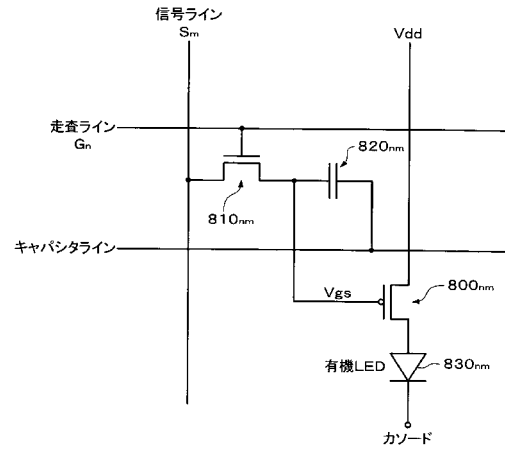
【図 2 1】



【図 2 2】

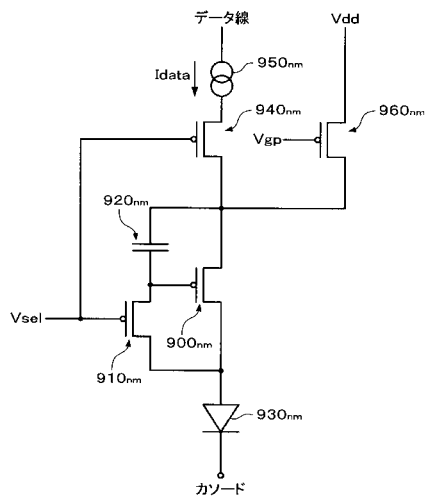


【図 2 3】

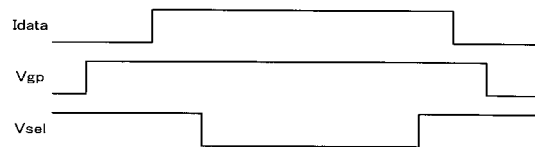


【図 2 4】

(A)



(B)



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/36

(56)参考文献 特開2002-287111(JP,A)
特開2000-134047(JP,A)
特開2001-166726(JP,A)
特開平08-021984(JP,A)
特開平06-167940(JP,A)
特開平11-085090(JP,A)
特開平09-006294(JP,A)
特開2000-098954(JP,A)
特開平10-062746(JP,A)
特開平10-106254(JP,A)
特開2000-187463(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/20 623
G09G 3/20 612
G09G 3/20 621
G02F 1/1345
G09G 3/30
G09G 3/36

专利名称(译)	线路驱动电路，电光器件和显示器件		
公开(公告)号	JP3736622B2	公开(公告)日	2006-01-18
申请号	JP2001181679	申请日	2001-06-15
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	森田 晶		
发明人	森田 晶		
IPC分类号	G09G3/20 G02F1/1345 G09G3/30 G09G3/36 G02F1/133 G09G3/32		
CPC分类号	G09G3/3611 G09G3/3233 G09G3/325 G09G3/3688 G09G2300/0842 G09G2310/0289		
FI分类号	G09G3/20.623.R G09G3/20.612.P G09G3/20.621.L G02F1/1345 G09G3/30.J G09G3/36 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/NA25 5C006/BB16 5C006/BC12 5C006/BF46 5C006/FA51 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD27 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AC11 5C380/BA28 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA16 5C380/CA57 5C380/CB01 5C380/CB17 5C380/CC02 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CE22 5C380/CF07 5C380/CF10 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF32 5C380/CF33 5C380/CF34 5C380/CF52 5C380/CF62 5C380/CF64 5C380/DA02 5C380/DA06		
代理人(译)	井上 一		
审查员(译)	Naoaki桥本		
其他公开文献	JP2002372942A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种线驱动电路，电光装置和显示装置，能够有效地降低由于工艺小型化而导致的成本，并有效地缩短显示面板的显影TAT。显示和驱动液晶装置的LCD面板的信号驱动器包括输入端子组和输出端子组，输入端子组包括I/O电路区域，输入信号组输入到该输入端子组，输出端子组输出输出信号组和284。I/O电路区域280包括：反相电路286，用于反转经由输入端子组282输入的输入信号组的相位；以及电压反相电路286，用于反相由反相电路286反相的信号组的低击穿电压系统的电压。并且电平转换电路(L/S)288用于将电压转换为高耐压系统的电压。对于输入端子组282和输出端子组284，可以从信号驱动器30的多个端子组中进行任意选择。

