

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3653506号
(P3653506)

(45) 発行日 平成17年5月25日(2005.5.25)

(24) 登録日 平成17年3月4日(2005.3.4)

(51) Int.C1.⁷

F 1

G09G 3/36

G09G 3/36

G02F 1/133

G02F 1/133 550

G09G 3/20

G09G 3/20 612T

G09G 3/20 622Q

G09G 3/20 623U

請求項の数 4 (全 26 頁) 最終頁に続く

(21) 出願番号

特願2002-77497 (P2002-77497)

(22) 出願日

平成14年3月20日(2002.3.20)

(65) 公開番号

特開2003-280599 (P2003-280599A)

(43) 公開日

平成15年10月2日(2003.10.2)

審査請求日

平成15年2月20日(2003.2.20)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(73) 特許権者 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(74) 代理人 100075096

弁理士 作田 康夫

(72) 発明者 新田 博幸

神奈川県横浜市戸塚区吉田町292番地

株式会社日立製作所 システム開発研究所内

(72) 発明者 小金沢 信之

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

第1方向とこれに交差する第2方向に沿い2次元的に配置された複数の画素を有する画素アレイと、

前記画素アレイに前記第2方向沿いに並設され且つ前記複数の画素の前記第1方向沿いに並ぶ夫々の群からなる複数の画素行の夫々を選択する走査信号を伝送する複数の第1信号線と、

前記画素アレイに前記第1方向沿いに並設され且つ前記走査信号で選択された前記画素行に含まれる画素の夫々の輝度を決める表示信号を供給する複数の第2信号線と、

前記複数の第1信号線の夫々に走査信号を出力する第1駆動回路と、
前記複数の第2信号線の夫々に表示信号を出力する第2駆動回路と、

フレーム期間毎に映像データがその水平同期信号に呼応して1ラインずつ入力され且つ前記第1駆動回路による前記走査信号出力を制御する第1クロック信号と該第1クロック信号による前記画素行の選択工程の開始を指示する走査開始信号とを該第1駆動回路へ送信し且つ前記第2駆動回路に第2クロック信号を前記映像データとともに該第2駆動回路へ送信する表示制御回路とを備え、

前記第2駆動回路は、前記フレーム期間毎に前記第2クロック信号に呼応して、前記映像データの1ライン分から生成される映像表示信号のN回(Nは2以上の自然数)の出力と前記画素アレイに表示された画像をマスクするプランギング信号のM回(MはM < Nを

満たす自然数)の出力とを交互に繰り返し、

前記第1駆動回路は、前記フレーム期間毎の前記走査信号出力により、前記N回の映像表示信号の出力毎に前記第1信号線を前記画素アレイの一端から他端に向けてYライン($Y < N / M$)ずつ順次選択する工程と、これに続く前記M回のプランキング信号出力毎に該N回の映像表示信号出力に対して選択された $Y \times N$ 本以外の該第1信号線を該画素アレイの一端から他端に向けてZラインずつ($Z = N / M$)選択する工程とを交互に繰り返し、

前記表示制御回路から前記第1駆動回路に送信される前記走査開始信号は、前記フレーム期間毎に前記第1信号線をYライン毎に順次選択する工程を前記画素アレイの一端から開始させる第1時刻と前記第1信号線をZライン毎に順次選択する工程を該画素アレイの一端から開始させる第2時刻とを夫々決め、前記1フレーム期間における前記第1時刻とこれに続く前記第2時刻との間隔は、前記フレーム期間の連続した少なくとも一対にて互いに異なることを特徴とする表示装置。10

【請求項2】

前記走査開始信号における前記第1時刻とこれに続く前記第2時刻との間隔は、該第2時刻とこれに続く次のフレーム期間の前記第1信号線のYラインの選択が開始される時刻との間隔より長い請求項1に記載の表示装置。

【請求項3】

前記走査開始信号には前記フレーム期間毎に前記第1時刻に対応する第1パルスと前記第2時刻に対応する第2パルスとが発生され、前記第1パルスと前記第2パルスとの間隔は前記フレーム期間の連続した少なくとも一対にて互いに異なる請求項1に記載の表示装置。20

【請求項4】

前記画素アレイは液晶表示パネルであり、前記プランキング信号は該液晶表示パネルの液晶層の光透過率を最小にする電圧信号である請求項1に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチング素子(Switching Element)を夫々有する複数の画素を備えた液晶表示装置並びにエレクトロルミネセンス型(Electro Luminescence-type)表示装置、及び発光ダイオード(Light Emitting Diode)のような発光素子を夫々有する複数の画素を備えた表示装置に代表される所謂アクティブ・マトリクス型の表示装置(Active Matrix-type Display Device)に係り、特にホールド型の表示装置(Hold-type Display Device)における表示画像のプランキング処理(Blanking Process)に関する。30

【0002】

【従来の技術】

フレーム期間毎に外部から入力される映像データ(テレビジョン放送の場合、映像信号)に基づく画像を、二次元的に配列された複数の画素の各々の輝度を所定の期間(例えば、1フレーム期間)内に所望の値に保持して表示する表示装置として、液晶表示装置が普及している。40

【0003】

アクティブ・マトリクス方式(Active Matrix Scheme)の液晶表示装置では、図9に示す如く、二次元的又は行列(Matrix)状に配置された複数の画素PIXの各々に画素電極PXとこれに映像信号を供給するスイッチング素子SW(例えば、薄膜トランジスタ)が設けられる。このように複数の画素PIXが配置された素子は、画素アレイ(Pixels Array)とも呼ばれ、液晶表示装置における画素アレイは液晶表示パネルとも呼ばれる。この画素アレイにおいて、複数の画素PIXは画像を表示する所謂画面(Screen)をなす。

【0004】

図9に示された画素アレイ101には、横方向に延びる複数のゲート線10(Gate Lines、走査信号線とも呼ばれる)と縦方向(このゲート線10と交差する方向)に延びる複数のデー50

タ線12 (Data Lines、映像信号線とも呼ばれる) とがそれぞれ並設 (juxtapose) される。図9に示される如く、G1, G2, ... Gj, Gj+1, ... Gnなる番地で識別される夫々のゲート線10沿いには複数の画素PIXが横方向に並ぶ所謂画素行 (Pixel Row) が、D1R, D1G, D1B, ... DmBなる番地で識別される夫々のデータ線12沿いには複数の画素PIXが縦方向に並ぶ所謂画素列 (Pixel Column) が形成される。ゲート線10は、走査ドライバ103 (Scanning Driver, 走査駆動回路とも呼ばれる) からその各々に対応する画素行 (図9の場合、各ゲート線の下側) をなす画素PIXに夫々設けられたスイッチング素子SWに電圧信号を印加し、夫々の画素PIXに設けられた画素電極PXとデータ線12の一つとの電気的な接続を開閉する。特定の画素行に設けられたスイッチング素子SWの群を、これに対応するゲート線10から電圧信号を印加して制御する動作は、「ラインの選択 (Selecting Line(s)) 」又は「走査 (Scanning) 」とも呼ばれる。走査ドライバ103からゲート線10に印加される上記電圧信号は走査信号とも呼ばれ、例えばその信号波形に生じるパルスでスイッチング素子SWの導通状態を制御する。また、スイッチング素子SWの種類に応じ、この走査信号は電流信号として走査信号線 (ゲート線10に相当) に供給される。

【 0 0 0 5 】

一方、データ線12の夫々には、データ・ドライバ102 (Data Driver, 映像信号駆動回路とも呼ばれる) から階調電圧 (Gray Scale Voltage, 又はTone Voltage) とよばれる表示信号 (液晶表示装置の場合、電圧信号) が印加され、その各々に対応する画素列 (図9の場合、各データ線の右側) をなす画素PIXの上記走査信号で選択された夫々の画素電極PXに上記階調電圧を印加する。

【 0 0 0 6 】

このような液晶表示装置をテレビジョン装置に組み込んだ場合、インターレース方式 (Interface Mode) で受信される映像データ (映像信号) の1フィールド期間又はプログレッシブ方式 (Progressive Mode) で受信される映像データの1フレーム期間に対して、上記走査信号はゲート線10のG1からGnに順次印加され、1フィールド期間又は1フレーム期間に受信される映像データから生成された階調電圧が夫々の画素行を構成する画素の一群に順次印加される。画素の各々には、上述の画素電極PXと基準電圧 (Reference Voltage) 又はコモン電圧 (Common Voltage) が信号線11を通して印加される対向電極CTとで液晶層LCを挟む言わば容量素子が形成され、画素電極PXと対向電極CTとの間に生じる電界で液晶層LCの光透過率を制御する。上述の如く、映像データのフィールド期間毎又はフレーム期間毎にゲート線G1乃至Gnを順次選択する動作を1回行う場合、例えば或るフィールド期間に或る画素の画素電極PXに印加された階調電圧は、この或るフィールド期間に続く次のフィールド期間で別の階調電圧を受けるまで、この画素電極PXに理論的には保持される。従って、この画素電極PXと上記対向電極CTとに挟まれる液晶層LCの光透過率 (換言すれば、この画素電極PXを有する画素の明るさ) は、1フィールド期間毎に所定の状態に保たれる。このようにフィールド期間毎又はフレーム期間毎に画素の明るさを保持しながら画像を表示する液晶表示装置は、ホールド型表示装置 (Hold-type Display Device) とも呼ばれ、映像信号を受けた瞬間に画素毎に設けられた蛍光体を電子線照射により発光させる陰極線管 (Cathode-ray Tube) のような所謂インパルス型表示装置 (Impulse-type Display Device) と区別される。

【 0 0 0 7 】

テレビジョン受像機やコンピュータ等から送信される映像データは、インパルス型表示装置に対応したフォーマットを有する。上述した液晶表示装置の駆動方法とテレビジョン放送とを比較すると、テレビジョン放送の水平走査周波数の逆数に相当する時間でゲート線10毎に走査信号が印加され、その垂直周波数の逆数に相当する時間で全ゲート線G1乃至Gnへの走査信号印加が完了される。インパルス型表示装置は水平同期パルスに呼応して水平走査期間毎に画面の横方向に並ぶ画素を順次インパルス的に発光させるが、ホールド型表示装置では上述のように水平走査期間毎に画素行を選択して、この画素行に含まれる複数の画素に一齊に電圧信号を供給し且つ水平走査期間の終了後はこれらの画素に電圧信号を保持させる。

【0008】

図9を参照して液晶表示装置を例にホールド型表示装置の動作を説明したが、この液晶層LCをエレクトロルミネセンス材料に置き換えたエレクトロルミネセンス型（EL型）の表示素子や、液晶層LCを画素電極PX及び対向電極CTで挟んだ容量素子を発光ダイオードに置き換えた発光ダイオード・アレイ型の表示装置も、その動作原理（発光材料へのキャリア（Carrier）注入量の制御で画像を表示する）は相違すれど、ホールド型表示装置として動作する。発光材料（発光領域）へのキャリア注入で画像を生成する表示装置においては、上記表示信号は電流信号として画素アレイ内の各画素に供給される。

【0009】

ところで、ホールド型表示装置は、その画素の各々の明るさを例え上述のフレーム期間毎に保持して画像を表示するため、表示画像を連続する一対のフレーム期間の間で異なるものに置換えると、画素の明るさが十分に応答しないことがある。この現象は、或るフレーム期間（例えば、第1のフレーム期間）で所定の明るさに設定された画素が、このフレーム期間に続く次のフレーム期間（例えば、第2のフレーム期間）で走査されるまで第1のフレーム期間に応じた明るさを保つことから説明される。また、この現象は第1のフレーム期間で画素に送られた電圧信号（または、これに注入されたキャリア）の一部が、第2のフレーム期間にて画素に送られるべき電圧信号（または、これに注入されるべきキャリア）に干渉する、いわば各画素における映像信号の履歴（Hysteresis）からも説明される。ホールド型発光を用いた表示装置における画像表示の応答性に係る斯様な問題を解決する技術は、例えば、特公平06-016223号、特公平07-044670号、特開平05-073005号、特開平11-109921号公報、及び特開2001-166280号公報に夫々開示されている。

【0010】

このうち、特開平11-109921号公報においては、液晶表示装置（ホールド型発光を用いた表示装置の一例）で動画像を再生する際に、画素をインパルス的に発光させる陰極線管に比べて物体の輪郭が不明瞭になる所謂ぼやけ現象（Blurring Phenomenon）が論じられている。特開平11-109921号公報は、このぼやけ現象を解決するために、一つの液晶表示パネルの画素アレイ（Pixels Array, 二次元的に並ぶ複数の画素群）を画面（画像表示領域）の上下に二分割し、その分割された画素アレイのそれぞれにデータ線駆動回路を設けた液晶表示装置を開示する。この液晶表示装置は、上下の画素アレイの各々のゲート線を1本ずつ、上下併せて2本を選択しながら夫々の画素アレイに設けたデータ線駆動回路から映像信号を供給する所謂デュアルスキャン動作（Dual Scanning Operation）を行う。このデュアルスキャン動作を1フレーム期間内に行いながら、上下位相をずらして一方に表示画像に相当する信号（所謂映像信号）を、他方にブランкиング画像（Blanking Image, 例えば黒画像）の信号を夫々のデータ線駆動回路から画素アレイに入力する。従つて、1フレーム期間において上下いずれの画素アレイにも、映像表示を行う期間とブランкиング表示を行う期間とが与えられ、画面全体において映像がホールドされる期間が短縮される。これにより、液晶表示装置においても、ブラウン管並みの動画表示性能が得られる。

【0011】

従来の技術として、特開平11-109921号公報には、一つの液晶表示パネルを上下2つの画素アレイに分割し、その分割された画素アレイのそれぞれにデータ線駆動回路を設け、上下の画素アレイの各々に1本ずつ、上下併せて計2本のゲート線を選択し、上下2分割した表示領域をそれぞれの駆動回路でデュアルスキャンしながら、1フレーム期間内に上下位相をずらしてブランкиング画像（黒画像）を挿入する（interpolate）ことが開示されている。つまり、1フレーム期間が映像表示期間とブランкиング期間の状態を取ることになり、映像ホールド期間を短縮することができる。そのため液晶ディスプレイで、ブラウン管のようにインパルス型発光の動画表示性能を得ることができる。

【0012】

一方、液晶表示装置で表示される動画像のぼやけ現象を抑える別の技術が、特開2001-166280号公報に開示される。この公報には、夫々のゲート線に対応した画素群に上記映像信

10

20

30

40

50

号を供給するためのゲート線の選択期間を分割し、その前半で選択されたゲート線に対応する画素群には映像信号を、その後半で選択された別のゲート線に対応する別の画素群にはこれらを黒表示する電圧信号を夫々供給する液晶表示装置の駆動方法が記載される。その概要を、図9の画素アレイを図10のタイミング・チャートに則り駆動する例にて説明する。フレーム期間毎に、画素アレイ101内のゲート線G₁, G₂, ..., G_j, G_{j+1}, ...は、その各々に走査ドライバ103から送られる走査信号に発生するゲート・パルス(Gate Pulse, ゲート選択パルスともいう)で選択される。換言すれば、ゲート・パルスを受けたゲート線に対応する画素PIXの各々に備えられたスイッチング素子SWが、ゲート・パルスによりデータ線12から送られる表示信号を画素PIXに受けさせる状態になる。例えば、ゲート線G₁に対応する画素群(行方向に並ぶため、画素行ともよぶ)に供給すべき映像データの1ライン分から生成される表示信号L1のデータ・ドライバ102からの出力に呼応して、ゲート線G₁がゲート・パルスにより選択される。図10では、Low状態の走査信号がHigh状態になる波形としてゲート・パルスを示し、走査信号がHigh状態にある間に亘り、この走査信号を受けるゲート線が選択される。

【0013】

特開2001-166280号公報に開示される液晶表示装置の駆動方法においては、それぞれの画素行に映像データの1ライン分の表示信号(図10におけるL₁, L₂, L_j, L_{j+1}, ...)のいずれか)を供給するために、これに対応するゲート線(図10におけるG₁, G₂, G_j, G_{j+1})を選択していた時間t_gのうち、その後半のt_bを別のゲート線の選択(ゲート線G₁に対してはゲート線G_j)の選択に割り当てて、この別のゲート線に対応する画素行にこれを黒く表示する表示信号(図10におけるB)を供給する。この(t_g - t_b)の時間内に選択されて1ライン分の映像データが書き込まれるゲート線と、これに続くt_bの時間内に選択されて黒データ(画素を黒く表示する表示信号に対応)が書き込まれるゲート線とは、画素アレイにて離間するように選択される。これにより、フレーム期間毎に画素アレイへの映像データ書き込みによる映像生成とその消去とを完結することで、この映像はインパルス型の表示装置のように画面に生成され、その動画ばやけも低減される。

【0014】

【発明が解決しようとする課題】

上述した特開平11-109921号公報に記載された液晶表示装置と、特開2001-166280号公報に記載されたそれとを比較すると、前者は2つのゲート線を同時に選択して一方に対応する画素行に1ライン分の映像データに対応する表示信号を、他方に対応する画素行にこれを黒く表示する表示信号を夫々供給することができる。これにより夫々の画素行をなす画素の各々に表示信号を供給する時間が確保される。しかし、1フレーム期間にて画素行が映像データに対応する表示信号を保持する期間はその半分に制限されるため、特に画素の輝度が表示信号の供給からこれに応じた値に到るまでの遅延時間を要する場合は、この画素が十分な輝度に到る前にこれを黒く表示する次の表示信号を受ける問題が浮上する。この問題を解決するには、表示信号の強度を高めねばならず、ゆえにデータ・ドライバ102の出力を上げざるを得ない。また、上述のように特開平11-109921号公報に記載された液晶表示装置は、その画素アレイを2つの領域に分割するため、各領域にデータ線駆動回路を設けざるを得ない。従って、液晶表示パネル及びその周辺回路も自ずと複雑な構造となり、また寸法も大きくなる。

【0015】

一方、特開2001-166280号公報に記載された液晶表示装置は、その液晶表示パネル及びその周辺回路の構造や寸法からして特開平11-109921号公報に記載されたそれより実用的である。しかし、図10のタイミング・チャートからも明らかなように、1ライン分の映像データを画素行に書き込むためのゲート線の選択期間の一部が別の画素行への黒データ書き込みのための別のゲート線選択に宛がわれるため、夫々の画素行に表示信号を供給する時間が短くなる問題は否めない。SID 01 Digest (The 2001 International Symposium of the Society for Information Display), pages 994-997には、特開2001-166280号公報の液晶表示装置における上述の問題を解決する技術が記載されている。この

10

20

30

40

50

技術を図10により説明すれば、時間tgにおける時間tbの比率をtg/2未満に抑え、画素行への映像データ書き込み時間を確保する。一方、画素行への黒データ書き込みは、複数回の画素行への映像データ書き込みに応じて繰り返して、1回の書き込み時間tbの不足を補う。このため、ゲート線G1への映像データ書き込みに対してゲート線Gj, Gj+2, Gj+4, ... (後の2つは図10に示されず)への黒データ書き込みを、ゲート線G2への映像データ書き込みに対してゲート線Gj+1, Gj+3, Gj+5, ... (後の2つは図10に示されず)への黒データ書き込みを、夫々行う。

【0016】

このようにして、ゲート線への黒データ書き込み時間をその合計にて確保するも、その1回毎の時間の不足は画素の輝度応答の遅れを補償するに不十分であった。1回のゲート線への黒データ書き込みで十分な表示信号を受けた画素に比べて、この表示信号を複数回に分割して受けた画素は、その輝度応答も緩くなる。このため、消去すべき映像データの表示信号が黒データ書き込み開始後も画素に残留し、1フレーム期間に完了すべき映像データによる画像の画面からの消去が却って中途半端になる可能性も否めない。

【0017】

本発明は、液晶表示装置に代表されるホールド型表示装置の画素アレイ周辺の構造変更を最小限に抑えながら、これに表示される動画像の動画ぼやけを抑え、またその表示輝度を十分に維持するに好適な表示装置及びその駆動方法を提供する。

【0018】

【課題を解決するための手段】
20
本発明による表示装置の一例は、(1)スイッチング素子(例えば、薄膜トランジスタのような電界効果型素子)を夫々備えた複数の画素が第1の方向(例えば、表示画面の水平方向)沿いに複数の画素行を該第1の方向に交差する第2の方向沿い(例えば、表示画面の垂直方向)に複数の画素列を夫々なして配置された画素アレイ、(2)前記画素アレイの前記第1の方向沿いに延び且つ前記第2の方向沿いに並設され且つその各々にはこれに対応する前記画素行に備えられた前記スイッチング素子の群へ第1信号(例えば、ゲート・パルス)を伝送する複数の第1信号線(例えば、走査信号線)、(3)前記第2の方向に沿う前記画素アレイの一端から他端に向けて前記複数の第1信号線の夫々へ前記第1信号を順次出力して第1信号線の夫々に対応する前記画素行を選択する第1駆動回路(例えば、走査駆動回路)、(4)前記画素アレイの前記第2の方向沿いに延び且つ前記第1の方向沿いに並設され且つその各々にはこれに対応する前記画素列に備えられた前記画素の前記第1信号にて選択される前記画素行に属する少なくとも一つに第2信号を供給する複数の第2信号線(例えば、映像信号線やデータ信号線)、(5)前記第2信号線の夫々に前記第2信号を出力する第2駆動回路(例えば、データ駆動回路)、及び(6)前記第1駆動回路に前記第1信号出力を制御する第1制御信号を送り且つ前記第2駆動回路に前記第2信号の出力間隔を制御する第2制御信号と映像データとを送る表示制御回路(例えば、タイミング・コントローラ)を備える。

【0019】

上述の第1駆動回路は、第1信号を複数の第1信号線のYライン毎にN回出力する第1走査工程と、この第1信号を複数の第1信号線の第1走査工程で第1信号を受けた(Y×N)ライン以外(換言すれば、第1走査工程で選択されない第1信号線の一群)のZライン毎にM回出力する第2走査工程とを交互に繰り返す(Y, N, Z, Mは、M < N, 及び, Y < N/M, Z, なる関係を夫々満たす自然数)。

【0020】

上述の第2駆動回路は、表示制御回路から映像データをその水平走査周期毎に1ラインずつ受け、前記第1走査工程での映像データの1ライン毎に生成される第2信号のN回の出力と、前記第2走査工程での画素アレイをマスクする第2信号のM回の出力とを交互に繰り返す。

【0021】

上述の映像データは、テレビジョン受信機、パーソナル・コンピュータ、DVDプレーヤ 50

(Digital Versatile Disc Player) 等の表示装置の外部にある映像信号源から表示装置に入力され供給される。また、映像データはその水平走査周波数毎に 1 ラインのデータ（ライン・データや水平データとも呼ぶ）を複数回に亘り表示装置に入力することで 1 画面の画像情報を表示装置に与える。映像データは、この 1 画面分の画像情報を表示装置に入力され、これに要する期間をフレーム期間と呼ぶ。

【0022】

これに対して、前記第 2 駆動回路からの表示信号の 1 回の出力に対して、前記画素行を選択し、これに表示信号を入力する時間は水平周期や水平期間と呼ばれる。換言すれば、この水平期間は第 2 駆動回路からの第 2 信号の出力間隔にも対応する。この水平期間に含まれる帰線期間を 1 ラインの映像データを表示装置に入力する期間（水平走査期間）に含まれる水平帰線期間より短くすることで、1 ライン毎の映像データの表示装置への入力間隔より、これに応じた表示信号の画素アレイへの出力間隔は短くなる。このため、表示制御回路に少なくとも N 個のライン・メモリを設け、1 ライン毎に表示装置に順次入力される映像データを N 個のライン・メモリの一つ毎に順次格納し、且つその夫々から順次読み出すことで、N ライン分の映像データを表示装置に入力するに要する時間とこれを第 2 駆動回路に順次（N 回に亘り）転送するに要する時間との差を前記第 2 走査工程での画素アレイへの第 2 信号出力に活かせる。第 2 走査工程にて画素アレイをマスクする第 2 信号は、これが入力された画素の輝度をその入力前のそれ以下にするため、ブランкиング信号（Blanking Signal）とも呼ばれる。

【0023】

本発明による表示装置の他の一例は、（1）第 1 方向（例えば、表示画面の水平方向）とこれに交差する第 2 方向（例えば、表示画面の垂直方向）に沿い 2 次元的に配置された複数の画素を有する画素アレイと、（2）前記画素アレイに前記第 2 方向沿いに並設され且つ前記複数の画素の前記第 1 方向沿いに並ぶ夫々の群からなる複数の画素行の夫々を選択する走査信号を伝送する複数の第 1 信号線（例えば、走査信号線）と、（3）前記画素アレイに前記第 1 方向沿いに並設され且つ前記走査信号で選択された前記画素行に含まれる画素の夫々の輝度を決める表示信号を供給する複数の第 2 信号線（例えば、映像信号線）と、（4）前記複数の第 1 信号線の夫々に走査信号を出力する第 1 駆動回路（例えば、走査信号駆動回路）と、（5）前記複数の第 2 信号線の夫々に表示信号を出力する第 2 駆動回路（例えば、データ駆動回路）と、（6）フレーム期間毎に映像データがその水平同期信号（例えば、上述の水平走査期間を規定）に呼応して 1 ラインずつ入力され且つ前記第 1 駆動回路による前記走査信号出力を制御する第 1 クロック信号とこの第 1 クロック信号による前記画素行の選択工程の開始を指示する走査開始信号とをこの第 1 駆動回路へ送信し且つ前記第 2 駆動回路に第 2 クロック信号を前記映像データとともにこの第 2 駆動回路へ送信する表示制御回路（例えば、タイミング・コントローラ）とを備える。

【0024】

この表示装置において、前記第 2 駆動回路は、前記フレーム期間毎に前記第 2 クロック信号に呼応して、前記映像データの 1 ライン分から生成される映像表示信号の N 回（N は 2 以上の自然数）の出力と前記画素アレイに表示された画像をマスクするブランкиング信号の M 回（M は M < N を満たす自然数）の出力とを交互に繰り返す。

【0025】

また、この表示装置において、前記第 1 駆動回路は、前記フレーム期間毎の前記走査信号出力により、前記 N 回の映像表示信号の出力毎に前記第 1 信号線を前記画素アレイの一端（例えば、画面の上端）から他端（例えば、画面の下端）に向けて Y ライン（Y < N / M）ずつ順次選択する工程と、これに続く前記 M 回のブランкиング信号出力毎に該 N 回の映像表示信号出力に対して選択された Y × N 本以外の第 1 信号線を画素アレイの一端から他端に向けて Z ラインずつ（Z = N / M）選択する工程とを交互に繰り返す。夫々の工程で選択される Y × N 本の第 1 信号線群と Z × M 本の第 1 信号線群とは、画素アレイ内にてそのいずれにも属さない別の第 1 信号線を挟んで離間されてもよい。また、これらの信号線群が隣接する場合は、前記画素アレイの一端側から Y × N 本の第 1 信号線群及び Z × M 本

10

20

30

40

50

の第1信号線群をこの順に並ばせることにより、 $Y \times N$ 本の第1信号線群に対応する画素における映像表示信号の保持時間が長くなる。即ち、この画素が $Y \times N$ 本の第1信号線群のいずれかにより選択される（映像表示信号を受ける）時刻から $Z \times M$ 本の第1信号線群のいずれかにより選択される（ブランкиング信号を受ける）時刻迄の期間が長くなるからである。

【0026】

上述の走査開始信号は、フレーム期間毎に第1信号線をYライン毎に順次選択する工程を画素アレイの一端から開始させる第1時刻とこの第1信号線をZライン毎に順次選択する工程を該画素アレイの一端から開始させる第2時刻とを夫々決める。或るフレーム期間における第1時刻とこれに続く第2時刻との間隔を、この第2時刻とこれに続く次の第1時刻（次のフレーム期間のYライン毎の第1信号線の選択が開始される時刻）との間隔より長くすることで、1フレーム期間における画素アレイが映像表示信号を保持する時間（換言すれば、画面における映像表示期間）の比率が上がり、表示輝度も上がる。

【0027】

また、フレーム期間の連続した少なくとも一対にて、夫々のフレーム期間における走査開始信号の第1時刻とこれに続く第2時刻との間隔（ブランкиング信号を画素アレイに供給するタイミング）を互いに異ならせててもよい。走査開始信号の波形が第1時刻に対応する第1パルスと第2時刻に対応する第2パルスとを含むとき、フレーム期間の連続した少なくとも一対にて、夫々のフレーム期間における第1パルスと第2パルスとの間隔を互いに異ならせててもよい。

【0028】

さらに、本発明による（a）第1方向沿いに並ぶ複数の画素を夫々含む複数の画素行が第1方向に交差する第2方向沿いに並設される画素アレイ、（b）この複数の画素行の夫々を走査信号にて選択する走査駆動回路、（c）この複数の画素行の走査信号にて選択された少なくとも1行に含まれる該画素の各々に表示信号を供給するデータ駆動回路、及び（d）この画素アレイの表示動作を制御する表示制御回路を備えた表示装置の駆動方法の概要は以下のとおりである。

（1）この表示装置に映像データをその水平走査周期毎に1ラインずつ入力する。
 （2）このデータ駆動回路により（2A）前記映像データの1ライン毎にこれに対応する表示信号を順次生成し且つこの表示信号を画素アレイにN回（Nは2以上の自然数）出力する第1の工程と、（2B）前記画素の輝度を前記第1工程における画素のそれ以下（換言すれば、この2B工程による表示信号を受ける前の輝度以下）にする表示信号を生成し且つこの表示信号を画素アレイにM回（MはNより小さい自然数）出力する第2の工程とを交互に繰り返す。

（3）この走査駆動回路により、（3A）前記第1の工程において前記複数の画素行をY行（YはN/Mより小さい自然数）毎に前記画素アレイの一端から他端に向けて前記第2方向沿いに順次選択する第1選択工程と、（3B）前記第2の工程において前記複数の画素行の前記第1選択工程で選択された（Y×N）行以外をZ行（ZはN/M以上の自然数）毎に前記画素アレイの一端から他端に向けて前記第2方向沿いに順次選択する第2選択工程とを交互に繰り返す。

【0029】

上述の工程（2A）と工程（3A）、及び工程（2B）と工程（3B）は夫々ほぼ並行して行われる。

【0030】

以上に記した本発明の作用並びに効果、及びその望ましき実施形態の詳細に関しては、後述の説明で明らかになろう。

【0031】

【発明の実施の形態】

以下、本発明の具体的な実施形態をこれに関連する図面を参照して説明する。以下の説明にて参照する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省

10

20

30

40

50

略する。

【0032】

第1の実施例

本発明による表示装置及びその駆動方法の第1の実施例を図1乃至図7を参照して説明する。本実施例では、アクティブ・マトリクス型の液晶表示パネル(Active Matrix-type Liquid Crystal Display Panel)を画素アレイ(Pixels-Array)に用いた表示装置(液晶表示装置)を引き合いに出すが、その基本的な構造や駆動方法はエレクトロルミネセンス・アレイ(Electroluminescence Array)や発光ダイオード・アレイ(Light Emitting Diode Array)を画素アレイとして用いた表示装置にも適用され得る。

【0033】

図1は、本発明による表示装置の画素アレイへの表示信号出力(データ・ドライバ出力電圧)とその各々に呼応した画素アレイ内の走査信号線G1の選択タイミングを示すタイミング・チャートである。図2は、表示装置に備えられた表示制御回路(タイミング・コントローラ)への映像データの入力(入力データ)とこれからの映像データの出力(ドライバ・データ)のタイミングを示すタイミング・チャートである。図3は、本発明による表示装置の本実施例における概要を示す構成図(ブロック図)であり、これに示された画素アレイ101とその周辺の詳細の一例は図9に示される。先述の図1及び図2のタイミング・チャートは、図3に示された表示装置(液晶表示装置)の構成に基づいて描かれている。図4は、本実施例における表示装置の画素アレイへの表示信号出力(データ・ドライバ出力電圧)とその各々に呼応した走査信号線選択タイミングの別の例を示すタイミング・チャートであり、表示信号の出力期間にシフトレジスタ型走査ドライバ(Shift-register type Scanning Driver)から出力される走査信号線で走査信号線の4本を選択し、これらの走査信号線の夫々に対応する画素行に表示信号を供給する。図5は、表示制御回路104(図3参照)に備えられたライン・メモリ回路(Line-Memory Circuit)105に含まれる4つのライン・メモリ毎に4ライン分の映像データを1ラインずつ書き込み(Write)し、且つ夫々のライン・メモリから読み出して(Read-Out)、データ・ドライバ(映像信号駆動回路)に転送するタイミングを示すタイミング・チャートである。図6は、本発明による表示装置の駆動方法に係り、その画素アレイでの本実施例による映像データ及びブランкиング・データの表示タイミングを示し、これに則り本実施例における表示装置(液晶表示装置)を駆動したときの画素の輝度応答(画素に対応する液晶層の光透過率の変動)を図7に示す。

【0034】

はじめに、図3を参照して本実施例における表示装置100の概要を説明する。この表示装置100は、画素アレイ101としてWXGAクラスの解像度を有する液晶表示パネル(以下、液晶パネルと記す)を備える。WXGAクラスの解像度を有する画素アレイ101は、液晶パネルに限らず、その画面内に水平方向に1280ドットの画素を並べてなる画素行が垂直方向に768ライン並設されていることに特徴づけられる。本実施例における表示装置の画素アレイ101は、既に図9を参照して説明されたそれと概ね同じであるが、その解像度ゆえ、画素アレイ101の面内には768ラインのゲート線10と1280ラインのデータ線12とが夫々並設される。また、画素アレイ101には、その各々が前者のいずれか一つで伝送される走査信号で選択されて後者のいずれか一つから表示信号を受ける983040個の画素PIXが二次元的に配置され、これらにより画像が生成される。画素アレイがカラー画像を表示する場合は、各画素はカラー表示に用いられる原色の数に応じて水平方向に分割される。例えば、光の三原色(赤、緑、青)に応じたカラー・フィルタを備える液晶パネルでは、上述のデータ線12の数は3840ラインに増やされ、その表示画面に含まれる画素PIXの総数も上述の値の3倍となる。

【0035】

本実施例で画素アレイ101として用いられる前記液晶パネルを更に詳細に説明すれば、これに含まれる画素PIXの各々はスイッチング素子SWとして薄膜トランジスタ(Thin Film Transistor, TFTと略される)を備える。また、各画素はこれに供給される表示信号が

10

20

30

40

50

増大するほど高い輝度を示す所謂ノーマリ黒表示モード (Normally Black-displaying Mode) で動作する。本実施例の液晶パネルのみならず、上述のエレクトロルミネセンス・アレイや発光ダイオード・アレイの画素もノーマリ黒表示モードで動作する。ノーマリ黒表示モードで動作する液晶パネルにおいては、図9の画素PIXに設けられた画素電極PXにデータ線12からスイッチング素子SWを通して印加される階調電圧と、液晶層LCを挟んで画素電極PXと対向する対向電極CTに印加される対向電圧（基準電圧、コモン電圧とも呼ばれる）との電位差が大きくなるほど、この液晶層LCの光透過率が上昇し、画素PIXの輝度を高める。換言すれば、この液晶パネルの表示信号である階調電圧は、その値が対向電圧の値から離れるほど、表示信号を増大させる。

【0036】

10

図3に示された画素アレイ（ TFT 型の液晶パネル）101には、図9に示される画素アレイ101と同様に、これに設けられたデータ線（信号線）12に表示データに応じた表示信号（階調電圧、Gray Scale Voltage, or Tone Voltage）を与えるデータ・ドライバ（表示信号駆動回路）102と、これに設けられたゲート線（走査線）10に走査信号（電圧信号）を与える走査ドライバ（走査信号駆動回路）103-1, 103-2, 103-3とが夫々設けられる。本実施例では、走査ドライバを画素アレイ101の所謂垂直方向沿いに3つに分割したが、その個数はこれに限定されず、またこれらの機能を集約させた一つの走査ドライバに置き換えるてもよい。

【0037】

20

表示制御回路（タイミング・コントローラ、Timing Controller）104は、データ・ドライバ102に上述の表示データ（ドライバ・データ、Driver Data）106及びこれに応じた表示信号出力を制御するタイミング信号（データ・ドライバ制御信号、Data Driver Control Signal）107を、走査ドライバ103-1, 103-2, 103-3の夫々に走査クロック信号（Scanning Clock Signal）112及び走査開始信号（Scanning Start Signal）113を夫々転送する。走査制御回路104は、走査ドライバ103-1, 103-2, 103-3に、その夫々に応じた走査状態選択信号（Scan-Condition Selecting Signal）114-1, 114-2, 114-3をも転送するが、その機能については後述する。走査状態選択信号は、その機能からして表示動作選択信号（Display-Operation Selecting Signal）とも記される。

【0038】

30

表示制御回路104は、テレビジョン受像機、パーソナル・コンピュータ、DVDプレーヤ等、表示装置100の外部の映像信号源からこれに入力される映像データ（映像信号）120及び映像制御信号121を受ける。表示制御回路104の内部又はその周辺には映像データ120を一時的に格納するメモリ回路が設けられるが、本実施例ではライン・メモリ回路105が表示制御回路104に内蔵される。映像制御信号121は、映像データの伝送状態を制御する垂直同期信号（Vertical Synchronizing Signal）VSYNC, 水平同期信号（Vertical Synchronizing Signal）HSYNC, ドット・クロック信号（Dot Clock Signal）DOTCLK, 及びディスプレイ・タイミング信号（Display Timing Signal）DTMGを含む。表示装置100に1画面の映像を生成させる映像データは、垂直同期信号VSYNCに呼応して（同期して）表示制御回路104に入力される。換言すれば、映像データは垂直同期信号VSYNCにより規定される周期（垂直走査期間、フレーム期間とも呼ばれる）毎に上記映像信号源から表示装置100（表示制御回路104）に逐次入力され、このフレーム期間毎に1画面の映像が入れ代わり立ち代わり画素アレイ101に表示される。1フレーム期間における映像データは、これに含まれる複数のライン・データ（Line Data）を上述の水平同期信号HSYNCで規定される周期（水平走査期間とも呼ばれる）で分けて表示装置に順次入力される。換言すれば、フレーム期間毎に表示装置に入力される映像データの各々は複数のライン・データを含み、これにより生成される1画面の映像はライン・データ毎に拡張する水平方向の映像を水平走査期間毎に垂直方向に順次並べて生成される。1画面の水平方向に並ぶ画素の各々に対応したデータは、上記ライン・データの各々を上記ドット・クロック信号で規定される周期で識別される。

【0039】

50

映像データ120及び映像制御信号121は陰極線管 (Cathode Ray Tube) を用いた表示装置にも入力されるため、その電子線を水平走査期間毎及びフレーム期間毎に走査終了位置から走査開始位置に掃引する時間を要する。この時間は映像情報の伝送においてデッド・タイム (Dead Time) となるため、これに対応する映像情報の伝送に寄与しない帰線期間 (Retracing Period) と呼ばれる領域が映像データ120にも設けられる。映像データ120において、この帰線期間に対応する領域は、上述のディスプレイ・タイミング信号DTMGにより映像情報の伝送に寄与する他の領域と識別される。

【0040】

一方、本実施例にて記されるアクティブ・マトリクス型の表示装置100は、そのデータ・ドライバ102で1ラインの映像データ（上述のライン・データ）分の表示信号を生成し、これらを走査ドライバ103によるゲート線10の選択に呼応させて画素アレイ101に並設された複数のデータ線（信号線）12へ一斉に出力する。このため、理論的には帰線期間を挟むことなく水平走査期間から次の水平走査期間へライン・データの画素行への入力が続けられ、フレーム期間から次のフレーム期間へ映像データの画素アレイへの入力も続けられる。このため、本実施例の表示装置100では、表示制御回路104によるメモリ回路（ライン・メモリ）105からの1ライン分の映像データ（ライン・データ）毎の読み出しを、上述の水平走査期間（1ライン分の映像データのメモリ回路105への格納に宛がわれる）に含まれる帰線期間を縮めて生成された周期に則り行う。この周期は、後述する画素アレイ101への表示信号の出力間隔にも反映されるため、以降、画素アレイ動作の水平期間又は単に水平期間と記す。表示制御回路104は、この水平期間を規定する水平クロックCL1を生成し、上述のデータ・ドライバ制御信号107の一つとしてデータ・ドライバ102に転送する。本実施例では、1ライン分の映像データをメモリ回路105に格納する時間（上述の水平走査期間）に対して、これをメモリ回路105から読み出す時間（上述の水平期間）を縮めることで、1フレーム期間毎に画素アレイ101にプランギング信号を入力する時間を捻出する。

【0041】

図2は、表示制御回路104によるメモリ回路105への映像データ入力（格納）とこれからの出力（読み出し）の一例を示すタイミング・チャートである。垂直同期信号VSYNCのパルス間隔で規定されるフレーム期間毎に表示装置に入力される映像データは、入力データの波形に示される如く、これに含まれる複数のライン・データ（1ラインの映像データ）L1, L2, L3, ... 每に帰線期間を夫々含めて、水平同期信号HSYNCに呼応して（同期して）表示制御回路104によりメモリ回路105に順次入力される。表示制御回路104は、上述の水平クロックCL1又はこれに類似するタイミング信号に則りメモリ回路105に格納されたライン・データL1, L2, L3, ... を出力データの波形に示される如く、順次読み出す。このとき、メモリ回路105から出力されるライン・データL1, L2, L3, ... の夫々を時間軸沿いに隔てる帰線期間は、メモリ回路105に入力されるライン・データL1, L2, L3, ... の夫々を隔てるそれより、時間軸沿いに縮められる。このため、N回（Nは2以上の自然数）のライン・データのメモリ回路105への入力に要する期間とこれらのライン・データのメモリ回路105からの出力に要する期間（N回のライン・データ出力期間）との間には、メモリ回路105からライン・データをM回（MはNより小さい自然数）出力し得る時間が生じる。本実施例では、このMライン分の映像データをメモリ回路105から出力せしめる言わば余剰時間で画素アレイ101に別の表示動作を行わせる。

【0042】

なお、映像データ（図2では、これに含まれるライン・データ）は、データ・ドライバ102に転送される前に一旦メモリ回路105に格納されるため、その格納される期間に応じた遅延時間において表示制御回路104により読み出される。メモリ回路105としてフレーム・メモリを用いた場合、この遅延時間は1フレーム期間に相当する。映像データが30Hzの周波数で表示装置に入力されるとき、その1フレーム期間は約33ms（ミリ秒）であるため、表示装置のユーザは映像データの表示装置への入力時刻に対するその画像の表示時刻の遅れを知覚し得ない。しかしながら、上述のメモリ回路105として、フレーム・メモ

10

20

30

40

50

りに代えて複数のライン・メモリを表示装置100に設けることにより、この遅延時間を縮め且つ表示制御回路104又はその周辺の回路構造を簡素にし又はその寸法の増大を抑えることができる。

【0043】

メモリ回路105として、複数のライン・データを格納するライン・メモリを用いた表示装置100の駆動方法の一例を図5を参照して説明する。この一例による表示装置100の駆動では、表示制御回路104へのNライン分の映像データ入力期間とこれからのNライン分の映像データ出力期間（Nラインの映像データに夫々応じた表示信号をデータ・ドライバ102から逐次出力する期間）との間に生じる上記余剰時間にて、既に画素アレイに保持された表示信号（一つ前のフレーム期間に画素アレイに入力された映像データ）をマスクする表示信号（以下、これをプランキング信号と記す）をM回書き込む。この表示装置100の駆動方法では、データ・ドライバ102によりNラインの映像データの各々から表示信号を逐次生成し且つこれを水平クロックCL1に呼応させて順次（合計N回）画素アレイ101に出力する第1の工程と、上述のプランキング信号を水平クロックCL1に呼応させて画素アレイ101にM回出力する第2の工程とが繰り返される。この表示装置の駆動方法の更なる説明は図1を参照して後述されるが、図5においては上記Nの値を4とし、Mの値を1とする。

10

【0044】

図5に示すように、メモリ回路105はデータの書き込みと読み出しとを互いに独立して行える4つのライン・メモリ1～4を備え、水平同期信号HSYNCに同期して表示装置100に順次入力される1ライン毎の映像データ120はこれらのライン・メモリ1～4の一つに順繕りに格納される。換言すれば、メモリ回路105は4ライン分のメモリ容量を有する。例えば、メモリ回路105による4ライン分の映像データ120の取得期間（Acquisition Period）Tinでは、4ライン分の映像データW1, W2, W3, W4がライン・メモリ1からライン・メモリ4に順次入力される。この映像データの取得期間Tinは、映像制御信号121に含まれる水平同期信号HSYNCのパルス間隔で規定される水平走査期間の4倍に相当する時間に亘る。しかしながら、この映像データの取得期間Tinがライン・メモリ4への映像データの格納により終了する前に、この期間にライン・メモリ1、ライン・メモリ2、及びライン・メモリ3に格納された映像データは表示制御回路104により映像データR1, R2, R3として順次読み出される。これにより、4ライン分の映像データW1, W2, W3, W4の取得期間Tinが終了するや否や、次の4ライン分の映像データW5, W6, W7, W8のライン・メモリ1～4への格納が開始できる。

20

【0045】

上述の説明では、映像データの1ライン毎に付された参照符号をライン・メモリへの入力時とこれからの出力時に、例えば前者のW1に対して後者のR1というように変えている。これは、1ライン毎の映像データが上述の帰線期間を含み、これがライン・メモリ1～4のいずれかから上記水平同期信号HSYNCより周波数の高い水平クロックCL1に呼応して（同期して）読み出されるとき、これに含まれる帰線期間が縮められることを反映する。従って、例えばライン・メモリ1に入力される1ライン分の映像データ（以下、ライン・データ）W1の時間軸に沿う長さに比べて、これがライン・メモリ1から出力されるときのライン・データR1の時間軸に沿う長さは図5に示される如く短い。ライン・データのライン・メモリへの入力からこれよりの出力に到る期間にて、このライン・データに含まれる映像情報（例えば、画面の水平方向沿いに1ラインの映像を生成する）を加工しなくとも、その時間軸沿いの長さは上述の如く圧縮される。従って、ライン・メモリ1～4からの4ラインの映像データR1, R2, R3, R4の出力の終了時刻とライン・メモリ1～4からの4ラインの映像データR5, R6, R7, R8の出力の開始時刻との間には上述の余剰時間TExが生じる。

30

【0046】

ライン・メモリ1～4から読み出された4ラインの映像データR1, R2, R3, R4は、ドライバ・データ106としてデータ・ドライバ102に転送され、夫々に応じた表示信号L1, L2, L3

40

50

, L4が生成される(次に読み出される4ラインの映像データR5, R6, R7, R8についても同様に表示信号L5, L6, L7, L8が生成される)。これらの表示信号は、図5の表示信号出力のアイ・ダイヤグラム(Eye Diagram)に示される順序で、上述の水平クロックCL1に呼応して画素アレイ101に夫々出力される。従って、メモリ回路105に少なくとも上記Nラインの容量を有するライン・メモリ(又はその集合体)を含ませることにより、或るフレーム期間に表示装置に入力される映像データの1ラインを、このフレーム期間内で画素アレイに入力することが可能となり、表示装置の映像データ入力に対する応答速度も高まる。

【0047】

一方、図5から明らかなように、上述の余剰時間T_{Ex}はライン・メモリから1ラインの映像データを上述の水平クロックCL1に呼応して出力させる時間に相当する。本実施例では、この余剰時間T_{Ex}を利用して画素アレイに別の表示信号を1回出力する。本実施例による別の表示信号は、これが供給される画素の輝度をその供給前の輝度以下に落とす所謂プランキング信号Bである。例えば、1フレーム期間前に比較的高い階調(モノクロ画像表示の場合、白又はこれに近い明るい灰色)で表示された画素の輝度は、プランキング信号Bによりこれより低くなる。一方、1フレーム期間前に比較的低い階調(モノクロ画像表示の場合、黒又はこれに近いCharcoal Grayのような暗い灰色)で表示された画素の輝度は、プランキング信号Bの入力後も殆ど変らない。このプランキング信号Bは、フレーム期間毎に画素アレイに生成された画像を一旦暗い画像(プランキング画像)に置き換える。このような画素アレイの表示動作により、ホールド型の表示装置においても、フレーム期間毎にこれに入力される映像データに応じた画像表示をインパルス型表示装置におけるそれのように行える。

【0048】

先述のNラインの映像データを画素アレイに順次出力する第1の工程とプランキング信号Bを画素アレイにM回出力する第2の工程とを繰り返す表示装置の駆動方法をホールド型の表示装置に適用することにより、このホールド型表示装置による画像表示をインパルス型の表示装置のように行うことができる。この表示装置の駆動方法は、図5を参照して説明した少なくともNライン分の容量を備えたライン・メモリをメモリ回路105として備えた表示装置のみならず、例えば、このメモリ回路105をフレーム・メモリに置き換えた表示装置にも適用できる。

【0049】

このような表示装置の駆動方法について、更に図1を参照して説明する。上述した第1及び第2の工程による表示装置の動作は、図3の表示装置100におけるデータ・ドライバ102による表示信号の出力を規定するが、これに呼応する走査ドライバ103による走査信号の出力(画素行の選択)は次のように記される。以下の説明にて、ゲート線(走査信号線)10に印加され且つこのゲート線に対応する画素行(ゲート線沿いに並ぶ複数の画素PIX)を選択する「走査信号」は、図1に示すゲート線G1, G2, G3, …の夫々に印加される走査信号がHigh状態となる走査信号のパルス(ゲート・パルス)を指す。図9に示されるような画素アレイにおいては、画素PIXに設けられたスイッチング素子SWは、これに接続されたゲート線10を通してゲート・パルスを受けることにより、データ線12から供給される表示信号をこの画素PIXに入力させる。

【0050】

上述の第1の工程に対応する期間では、Nラインの映像データに対応する表示信号の出力毎に、ゲート線のYラインにこれに対応する画素行を選択する走査信号が印加される。従って、走査ドライバ103から走査信号がN回出力される。このような走査信号の印加は、上記表示信号の出力毎にゲート線のYライン置きに画素アレイ101の一端(例えば、図3における上端)からその他端(例えば、図3における下端)に向けて順次行われる。このため、第1の工程では(Y×N)ラインのゲート線に相当する画素行が選択され、その各々に映像データから生成された表示信号が供給される。図1は、Nの値を4とし、Yの値を1としたときの表示信号の出力タイミング(データ・ドライバ出力電圧のアイ・ダイヤ

10

20

20

30

40

40

50

グラム参照)とこれに呼応するゲート線(走査線)の夫々に印加される走査信号の波形を示し、この第1工程の期間は、データ・ドライバ出力電圧1~4, 5~8, 9~12, ..., 513~516, ...の各々に対応する。データ・ドライバ出力電圧1~4に対してG1からG4のゲート線に走査信号が順次印加され、次のデータ・ドライバ出力電圧5~8に対してG5からG8のゲート線に走査信号が順次印加され、更なる時間経過の後のデータ・ドライバ出力電圧513~516に対してG513からG516のゲート線に走査信号が順次印加される。即ち、走査ドライバ103から走査信号出力は、画素アレイ101におけるゲート線10のアドレス番号(G1, G2, G3, ..., G257, G258, G259, ..., G513, G514, G515, ...)が増える方向に向けて順次行われる。

【0051】

一方、上述の第2の工程に対応する期間では、プランキング信号として上述した表示信号のM回の出力毎に、ゲート線のZラインにこれに対応する画素行を選択する走査信号が印加される。従って、走査ドライバ103から走査信号がM回出力される。走査ドライバ103からの走査信号の1回の出力に対し、この走査信号が印加されるゲート線(走査線)の組み合わせは特に限定されないが、第1の工程で画素行に供給された表示信号をこれに長く保持させることや、データ・ドライバ102に掛かる負荷を軽減することを鑑みれば、表示信号の出力毎に走査信号をゲート線のZライン置きに順次印加するとよい。第2工程におけるゲート線への走査信号の印加は、第1工程のそれと同様に画素アレイ101の一端からその他端に向けて順次行われる。このため、第2の工程では(Z×M)ラインのゲート線に相当する画素行が選択され、その各々にプランキング信号が供給される。図1は、Mの値を1とし、Zの値を4としたときの上記第1の工程の夫々に続く第2の工程の各々におけるプランキング信号Bの出力タイミングとこれに呼応するゲート線(走査線)の夫々に印加される走査信号の波形を示す。G1からG4のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では1回のプランキング信号B出力に対してG257からG260に到る4本のゲート線に走査信号が、G5からG8のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では、1回のプランキング信号B出力に対してG261からG264に到る4本のゲート線に走査信号が、G513からG516のゲート線に走査信号が順次印加される第1の工程に続く第2の工程では、1回のプランキング信号B出力に対してG1からG4に到る4本のゲート線に走査信号が、夫々印加される。

【0052】

上述のように第1の工程では4本のゲート線の各々に走査信号を順次印加し、第2の工程では4本のゲート線に一斉に走査信号を印加するため、例えばデータ・ドライバ102からの表示信号出力に呼応して、走査ドライバ103の動作を夫々の工程に合わせる必要がある。先述したように本実施例で用いられる画素アレイはWXGAクラスの解像度を有し、768ラインのゲート線がこれに並設される。一方、第1の工程で順次選択される4本のゲート線群(例えばG1からG4)とこれに続く第2の工程で選択される4本のゲート線群(例えばG257からG260)とは、画素アレイ101におけるゲート線10のアドレス番号が増える方向に沿い252本のゲート線にて離間される。従って、画素アレイに並設された768ラインのゲート線をその垂直方向(又は、データ線の延伸方向)に沿い、256ライン毎に3つの群に分割し、夫々の群毎に走査ドライバ103からの走査信号の出力動作を独立して制御する。このため、図3に示す表示装置では、画素アレイ101沿いに3つの走査ドライバ103-1, 103-2, 103-3を配置し、夫々からの走査信号の出力動作を走査状態選択信号114-1, 114-2, 114-3で制御する。例えば、第1の工程でゲート線G1~G4を、これに続く第2の工程でゲート線G257~G260を夫々選択する場合、走査状態選択信号114-1は走査ドライバ103-1に、走査クロックCL3の連続する4パルスに対するゲート線を1ラインずつ順次選択する走査信号出力と、これに続く走査クロックCL3の1パルスに対する走査信号の出力休止とを繰り返す走査状態を指示する。一方、走査状態選択信号114-2は走査ドライバ103-2に、走査クロックCL3の連続する4パルスに対する走査信号の出力休止と、これに続く走査クロックCL3の1パルスに対する4ラインのゲート線への走査信号出力とを繰り返す走査状態を指示する。また、走査状態選択信号114-3は走査ドライバ103

10

20

30

40

50

-3に入力される走査クロック C L 3を無効にし、これによる走査信号出力を休止させる。夫々の走査ドライバ103-1, 103-2, 103-3には、走査状態選択信号114-1, 114-2, 114-3による上述の2つの指示に対応する2つの制御信号伝達網が備えられる。

【0053】

一方、図1に示される走査開始信号 F L Mの波形は、時刻 t 1と t 2とで夫々立ち上がる2つのパルスを含む。上記第1の工程による一連のゲート線選択動作は時刻 t 1に生じる走査開始信号 F L Mのパルス (Pulse 1と記す、以下、第1パルス) に呼応して、上記第2の工程による一連のゲート線選択動作は時刻 t 2に生じる走査開始信号 F L Mのパルス (Pulse 2と記す、以下、第2パルス) に呼応して、夫々開始される。走査開始信号 F L Mの第1パルスは、1フレーム期間の映像データの表示装置への入力開始 (上記垂直同期信号 V S Y N C のパルスで規定される) にも呼応する。従って、走査開始信号 F L Mの第1パルス及び第2パルスは、フレーム期間毎に繰り返して生じる。さらに、走査開始信号 F L Mの第1パルスとこれに続く第2パルスの間隔と、この第2パルスとこれに続く (例えば、次のフレーム期間の) 第1パルスとの間隔とを調整することにより、1フレーム期間にて画素アレイに映像データに基づく表示信号を保持する時間を調整できる。換言すれば、走査開始信号 F L Mに生じる第1パルスと第2パルスとを含めたパルス間隔は、2つの異なる値 (時間幅) を交互に取りえる。一方、この走査開始信号 F L Mは、表示制御回路 (タイミング・コントローラ) 104で発生される。以上のことから、上記走査状態選択信号114-1, 114-2, 114-3は表示制御回路104において走査開始信号 F L Mを参照して生成できる。

10

【0054】

図1に示される映像データを1ライン毎に画素アレイへ4回書込む毎にブランкиング信号を画素アレイへ1回書込む動作は、図5を参照して説明したように4ライン分の映像データを表示装置に入力する時間内に完結する。また、これに呼応して、走査信号を画素アレイへ5回出力する。このため、画素アレイの動作に要する水平期間は映像制御信号121の水平走査期間の4/5となる。このようにして、1フレーム期間に表示装置に入力される映像データ (これに基づく表示信号) とブランкиング信号との画素アレイ内の全画素への入力は、この1フレーム期間にて完結する。

20

【0055】

図1に示したブランкиング信号は、表示制御回路104又はその周辺回路で擬似的な映像データ (以下、ブランкиング・データ) を生成し、これをデータ・ドライバ102に転送して、データ・ドライバ102内で生成させても、予めデータ・ドライバ102にブランкиング信号を生成させる回路を設け、表示制御回路104から転送される水平クロック C L 1の特定のパルスに応じてブランкиング信号を画素アレイ101に出力させてもよい。前者の場合、表示制御回路104又はその周辺にフレーム・メモリを設け、これに格納されるフレーム期間毎の映像データからブランкиング信号を強めるべき画素 (この映像データにより高い輝度で表示される画素) を表示制御回路104により特定させ、画素に応じて暗さの異なるブランкиング信号をデータ・ドライバ102に生成させるブランкиング・データを生成させてもよい。後者の場合は、データ・ドライバ102にて水平クロック C L 1のパルス数をカウントさせ、そのカウント数に応じて画素を黒又はこれに近い暗い色 (例えば、Charcoal Grayのような色) に表示させる表示信号を出力させる。液晶表示装置の一部は、画素の輝度を決める複数の階調電圧を表示制御回路 (タイミング・コンバータ) 104にて生成する。このような液晶表示装置においては、複数の階調電圧をデータ・ドライバ102にて転送し、データ・ドライバ102により映像データに応じた階調電圧を選択させ且つ画素アレイに出力させるが、同様にして、データ・ドライバ102による水平クロック C L 1のパルスに応じた階調電圧の選択でブランкиング信号を発生させてもよい。

30

【0056】

図1に示された本発明による画素アレイへの表示信号の出力方法 (Outputting Manner) 及びこれに呼応する夫々のゲート線 (走査線) への走査信号の出力方法は、入力される走査状態選択信号114に応じて複数のゲート線に同時に走査信号を出力する機能を有する走

40

50

査ドライバ103を備えた表示装置を駆動するに好適である。一方、走査ドライバ103-1, 103-2, 103-3の夫々に上述の如く複数の走査線へ同時に走査信号を出力させることなく、走査クロックCL3のパルス毎にゲート線（走査線）の1ライン毎に走査信号を順次出力させても本実施例による画像表示動作を行うことができる。このような走査ドライバ103の動作により、4ラインの映像データを1ラインずつ画素行の1つに順次入力する（映像データが4回出力される上記第1工程）毎にブランкиング・データを別の画素行の4つに入力する（ブランкиング・データが1回出力される上記第1工程）ことを繰り返す本実施例の画像表示動作は、図4に示される表示信号と走査信号との夫々の出力波形で説明される。

【0057】

図4を参照して説明される表示装置の駆動方法は、図1と同様に図3に示された表示装置が参照される。走査ドライバ103-1, 103-2, 103-3の各々は、走査信号を出力する端子を256個備える。換言すれば、各走査ドライバ103は最大256ラインのゲート線に走査信号を出力できる。一方、画素アレイ101（例えば、液晶表示パネル）には768ラインのゲート線10とその夫々に対応する画素行が設けられる。このため、3つの走査ドライバ103-1, 103-2, 103-3は画素アレイ101の垂直方向（これに設けられたデータ線12の延伸方向）に沿う一辺に順次並ぶ。走査ドライバ103-1はゲート線群G1～G256に、走査ドライバ103-2はゲート線群G257～G512に、走査ドライバ103-3はゲート線群G513～G768に走査信号を夫々出力し、表示装置100の全画面（画素アレイ101の全域）における画像表示を制御する。図1を参照して説明された駆動方法が適用される表示装置と図4を参照して以下に説明される駆動方法が適用される表示装置とは、以上の走査ドライバ配置を有することで共通する。また、走査開始信号FLMの波形が映像データを画素アレイに入力する一連の走査信号出力を開始させる第1パルスとブランкиング・データを画素アレイに入力する一連の走査信号出力を開始させる第2パルスとフレーム期間毎に含むことで、図1を参照して説明された表示装置の駆動方法と図4を参照して説明されるそれとは共通する。さらに、走査ドライバ103が上記走査開始信号FLMの第1パルス及び第2パルスの夫々を走査クロックCL3で取り込み、その後、走査クロックCL3に呼応して走査信号を出力すべき端子（又は端子群）を映像データ又はブランкиング・データの画素アレイへの取り込み（Acquisition）に応じて順次シフトすることでも、図1の信号波形に拠る表示装置の駆動方法と図4の信号波形に拠るそれとは共通する。

【0058】

しかし、図4を参照して説明される本実施例の表示装置の駆動方法では、走査状態選択信号114-1, 114-2, 114-3の役割が図1を参照して説明されたそれらと相違する。図4には、走査状態選択信号114-1, 114-2, 114-3の夫々の波形がDISP1, DISP2, DISP3として示される。走査状態選択信号114は、まず、その各々が制御する領域（例えば、DISP2の場合、ゲート線群G257～G512に対応する画素群）に適用される動作条件に応じて、この領域における走査信号の出力動作を決める。図4において、データ・ドライバ出力電圧が4ラインの映像データに応じた表示信号L513～L516の出力を示す期間（表示信号L513～L516が出力される上記第1工程）では、これらの表示信号が入力される画素行に対応したゲート線G513～G516に走査ドライバ103-3から走査信号が印加される。このため、走査ドライバ103-3に転送される走査状態選択信号114-3は、走査クロックCL3に呼応して（1回のゲート・パルス出力毎に）ゲート線G513～G516の1ライン毎に順次走査信号を出力する所謂1ライン毎のゲート線選択を行う。これによりゲート線G513に対応する画素行に表示信号L513が、次いでゲート線G514に対応する画素行に表示信号L514が、さらにゲート線G515に対応する画素行に表示信号L515が、最後にゲート線G516に対応する画素行に表示信号L516が夫々1水平期間（水平クロックCL1のパルス間隔で規定される）に亘り供給される。

【0059】

一方、この表示信号L513～L516が水平期間毎に（水平クロックCL1のパルスに呼応して）順次出力される第1工程に続く上記第2工程では、この第1工程に対応する4水平期間に続く1水平期間にブランкиング信号Bが出力される。本実施例では、表示信号L516出力

10

20

30

40

50

と表示信号L517出力との間に出力されるプランキング信号Bをゲート線群G5～G8に対応する画素行の夫々に供給する。このため、走査ドライバ103-1は、このプランキング信号Bの出力期間にゲート線G5～G8の4ライン全てに走査信号を印加する所謂4ライン同時のゲート線選択を行わねばならない。しかしながら、図4に拠る画素アレイの表示動作では、上述の如く、走査ドライバ103は走査クロックCL3に呼応して（その1回のパルスに対して）1本のゲート線のみへの走査信号印加を開始するが、複数のゲート線には走査信号印加開始しない。換言すれば、走査ドライバ103は複数のゲート線の走査信号パルスを同時に立ち上げない。

【0060】

このため、走査ドライバ103-1に転送される走査状態選択信号114-1は、走査信号を印加すべきゲート線のZラインの少なくとも（Z-1）ラインにプランキング信号Bの出力前に走査信号を印加し、且つ走査信号の印加時間（走査信号のパルス幅）を水平期間の少なくともN倍の期間に延ばすように走査ドライバ103-1を制御する。この変数Z、Nは、上述の映像データを画素アレイに書き込む第1工程及びプランキング・データを画素アレイに書き込む第2工程の説明で記した第2工程におけるゲート線の選択数：Z、及び第1工程における表示信号の出力回数：Nである。例えば、ゲート線G5には表示信号L514の出力開始時刻から、ゲート線G6には表示信号L515の出力開始時刻から、ゲート線G7には表示信号L516の出力開始時刻から、ゲート線G8には表示信号L516の出力終了時刻（これに続くプランキング信号B出力開始時刻）から水平期間の5倍の期間に亘って走査信号が夫々印加される。換言すれば、走査ドライバ103によるゲート線群G5～G8のゲート・パルスの夫々の立ち上がり時刻は、走査クロックCL3に呼応させて1水平期間毎に順次ずらされるも、夫々のゲート・パルスの夫々の立ち下がり時刻を立ち上がり時刻のN水平期間以降に遅らせることで、上記プランキング信号出力期間にゲート線群G5～G8のゲート・パルスの全てを立ち上がった（図4ではHighの）状態にする。このようにゲート・パルスの出力を制御する上で、走査ドライバ103にシフトレジスタ動作機能を含ませることが望ましい。なお、対応する画素行にプランキング信号が供給されるゲート線G1～G12のゲート・パルスに示されたハッティング領域については後述する。

【0061】

これに対し、この期間（表示信号L513～L516が出力される上記第1工程）及びこれに続く第2工程の間に、走査ドライバ103-2から走査信号を受けるゲート線群G257～G512の夫々に対応する画素行には表示信号が供給されない。このため、走査ドライバ103-2に転送される走査状態選択信号114-2は、この第1工程及び第2工程に亘る期間にて走査クロックCL3を走査ドライバ103-2に対して無効（Ineffective for the Scanning Driver 103-2）にする。このような走査状態選択信号114による走査クロックCL3の無効化は、これが転送される走査ドライバ103から走査信号が出力される領域内の画素群に表示信号やプランキング信号を供給する場合においても所定のタイミングで適用してもよい。図4には、走査ドライバ103-1での走査信号出力に応じた走査クロックCL3の波形が示される。この走査クロックCL3のパルスは、表示信号やプランキング信号の出力間隔を規定する水平クロックCL1のパルスに呼応して生じるもの、表示信号L513、L517、…の出力開始時刻にはパルスが生じない。このように表示制御回路104から走査ドライバ103に転送される走査クロックCL3を特定の時刻にて無効にする動作を、走査状態選択信号114で行うことができる。走査ドライバ103に対する走査クロックCL3の部分的な無効化は、これに応じた信号処理経路を走査ドライバ103に組み込み、この信号処理経路の動作を走査ドライバ103に転送される走査状態選択信号114で開始させてもよい。なお、図4には示されないが、映像データの画素アレイへの書き込みを制御する走査ドライバ103-3もプランキング信号Bの出力開始時刻にて走査クロックCL3に対して不感となる。これにより、プランキング信号Bの出力による第2工程に続く第1工程で映像データに拠る表示信号が供給される画素行に走査ドライバ103-3がプランキング信号を誤って供給することが防げる。

【0062】

10

20

30

40

50

次に、走査状態選択信号114は、夫々が制御する領域にて順次生成される走査信号のパルス（ゲート・パルス）を、これがゲート線に出力される段階で無効にする。この機能は、図4による表示装置の駆動方法にて、プランキング信号を画素アレイに供給する走査ドライバ103内の信号処理に、これに転送された走査状態選択信号114を関与させる。図4に示される3つの波形DISP1, DISP2, DISP3は、走査ドライバ103-1, 103-2, 103-3の夫々の内部における信号処理に関する走査状態選択信号114-1, 114-2, 114-3を示し、これがLow-levelにあるときゲート・パルスの出力を有効にする。また、走査状態選択信号114-1の波形DISP1は、上述の第1工程による画素アレイへの表示信号出力期間中にてHigh-levelとなり、この期間内に走査ドライバ103-1で生じるゲート・パルスの出力を無効にする。

【0063】

10 例えば、表示信号L513～L516が画素アレイに供給される4水平期間にてゲート線G1～G7に夫々応じた走査信号に生じるゲート・パルスは、この期間にHigh-levelとなる走査状態選択信号DISP1により、夫々の出力をハッチングされたように無効にされる。これにより、或る期間にてプランキング信号を供給すべき画素行に映像データに拠る表示信号が誤って供給されることを防ぎ、これらの画素行によるプランキング表示（これらの画素行に表示されていた映像の消去）を確実に行い、また、映像データに拠る表示信号自体の強度の損失を防ぐ。また、表示信号L513～L516を出力する4水平期間と表示信号L517～L520を出力する次の4水平期間との間のプランキング信号Bを出力する1水平期間にて、走査状態選択信号DISP1はLow-levelとなる。これにより、この期間にゲート線G5～G8に夫々応じた走査信号に生じるゲート・パルスは、一斉に画素アレイに出力され、この4ラインのゲート線に応じた画素行を同時に選択して、その各々にプランキング信号Bを供給する。

【0064】

以上のように、図4による表示装置の表示動作では、走査状態選択信号114により、これが転送される走査ドライバ103の動作状態（上記第1工程及び上記第2工程のいずれかによる動作状態、又は、これらのいずれにも拠らない非動作状態）のみならず、その動作状態に応じて走査ドライバ103で生成されたゲート・パルスの出力の有効性も決められる。なお、これらの走査状態選択信号114による走査ドライバ103（これからの走査信号出力）の一連の制御は、画素アレイへの映像データに拠る表示信号書き込み及びプランキング信号書き込みのいずれに対しても走査開始信号FLMに呼応してゲート線G1に対する走査信号出力から開始される。図4には、走査開始信号FLMの上記第2パルスに呼応して、走査状態選択信号DISP1により順次シフトする走査ドライバ103によるゲート線のライン選択動作（4ライン同時選択動作）を主に示す。図4には示されないものの、これによる表示装置の動作にて、走査ドライバ103によるゲート線の1ライン毎選択動作も走査開始信号FLMの第1パルスに呼応させて順次シフトする。このため、図4における表示装置の動作でもフレーム期間毎に走査開始信号FLMで2種類の画素アレイの走査を1度ずつ開始させる必要があり、走査開始信号FLMの波形には第1パルスとこれに続く第2パルスとが現われる。

【0065】

以上に述べた図1及び図4による表示装置の駆動方法のいずれにおいても、画素アレイ101の一辺沿いに並ぶ走査ドライバ103及びこれに送られる走査状態選択信号114の数は図3や図9を参照して説明した画素アレイ101の構造を変えることなく変更可能であり、3つの走査ドライバ103に分担させた夫々の機能を一つの走査ドライバ103にまとめてよい（例えば、走査ドライバ103内部を上記3つの走査ドライバ103-1, 103-2, 103-3の夫々に応じた回路セクションに分ける）。

【0066】

図6は、本実施例の表示装置による画像表示タイミングを連続する3つのフレーム期間に亘り示すタイミング・チャートである。各フレーム期間の冒頭にて、1番目の走査線（上記ゲート線G1に相当）からの画素アレイへの映像データ書き込みが走査開始信号FLMの第1パルスにより開始され、この時刻から時間：t1が経過した後、この1番目の走査線からの画素アレイへのプランキング・データ書き込みが走査開始信号FLMの第2パルスに

10

20

30

40

50

より開始される。さらに、走査開始信号 FLM の第 2 パルスの発生時刻から時間 : t_2 が経過した後、次のフレーム期間に表示装置に入力される映像データの画素アレイへの書き込みが走査開始信号 FLM の第 1 パルスにより開始される。なお、本実施例においては、図 6 に示された時間 : t_1' は時間 : t_1 と同じであり、時間 : t_2' は時間 : t_2 と同じである。画素アレイへの映像データ書き込みの進行とブランкиング・データ書き込みのそれとは、双方が 1 水平期間にて選択するゲート線のライン数（前者 1 ライン、後者 4 ライン）が相違するも、時間経過に対して略同様に進行する。このため、画素アレイにおける走査線の位置に依らず、その夫々に対応する画素行が映像データに拠る表示信号を保持する期間（これを受ける時間を含めて概ね上記時間 : t_1 に亘る）とこの画素行がブランкиング信号を保持する期間（これを受ける時間を含めて概ね上記時間 : t_2 に亘る）とは画素アレイの垂直方向に亘り概ね一様となる。換言すれば、画素アレイにおける画素行間（垂直方向沿い）の表示輝度のばらつきが抑えられる。本実施例では、図 6 に示すように画素アレイにおける映像データの表示期間とブランкиング・データの表示期間とに、1 フレーム期間の 67% と 33% とを夫々割り当て、これに応じた走査開始信号 FLM のタイミング調整した（上記時間 t_1 と t_2 を調整した）が、この走査開始信号 FLM のタイミングの変更により、映像データの表示期間とブランкиング・データの表示期間とは適宜変更され得る。
10

【0067】

このような、図 6 に拠る画像表示タイミングで表示装置を動作させたときの、画素行の輝度応答の一例を図 7 に示す。この輝度応答は、図 3 の画素アレイ 101 として WXGA クラスの解像度を有し且つノーマリ黒表示モードで動作する液晶表示パネルを用い、映像データとして画素行を白く表示する表示オンデータを、ブランкиング・データとして画素行を黒く表示する表示オフデータを夫々書き込む。従って、図 7 の輝度応答は、この液晶表示パネルの画素行に対応する液晶層の光透過率の変動を示す。図 7 に示すように画素行（これに含まれる各画素）は 1 フレーム期間にて、まず映像データに応じた輝度に応答し、その後、黒輝度に応答する。液晶層の光透過率はこれに印加される電界の変動に対して比較的緩く応答するも、その値は図 7 から明らかなようにフレーム期間毎に映像データに対応する電界及びブランкиング・データに対応する電界のいずれにも十分に応答する。従って、フレーム期間に画面（画素行）に生成された映像データによる画像は、この画像がフレーム期間内に画面（画素行）から十分に消去されて、インパルス型の表示装置と同様な状態で表示される。このような映像データによる画像のインパルス型の応答により、これに生じる動画ぼやけを低減することが可能となる。このような効果は、画素アレイの解像度を変更しても、図 2 に示すドライバ・データの水平期間における帰線期間の割合を変更しても同様に得られる。
20
30

【0068】

以上に述べた本実施例では、上述の第 1 工程で映像データの 1 ライン毎に生成される表示信号を画素アレイに 4 回順次出力し且つその夫々をゲート線の 1 ラインに相当する画素行に順次供給し、これに続く第 2 工程でブランкиング信号を画素アレイに 1 回順次出力し且つこれをゲート線の 4 ラインに相当する画素行に供給した。しかし、第 1 工程における表示信号の出力回数 : N （この値は、画素アレイに書き込まれるライン・データの数にも相当する）は 4 に限られず、第 2 工程におけるブランкиング信号の出力回数 : M は 1 に限られない。また、第 1 工程にて 1 回の表示信号出力に対して走査信号（選択パルス）が印加されるゲート線のライン数 : Y は 1 に限られず、第 2 工程にて 1 回のブランкиング信号出力に対して走査信号が印加されるゲート線のライン数 : Z は 4 に限られない。これらの因子 N , M は、 $M < N$ なる条件を満たす自然数であり且つ N は 2 以上である条件を満たすことが要請される。また、因子 Y は N / M より小さい自然数であること、因子 Z は N / M 以上の自然数であることが夫々要請される。また、 N 回の表示信号出力と M 回のブランкиング信号出力とを行う 1 周期を N ラインの映像データが表示装置に入力される期間内に完結させる。換言すれば、画素アレイの動作における水平期間の $(N + M)$ 倍の値を、映像データの表示装置への入力における水平走査期間の N 倍の値以下にする。前者の水平期間は
40
50

水平クロック C L 1 のパルス間隔で、後者の水平走査期間は映像制御信号の一つである水平同期信号 H S Y N C のパルス間隔で夫々規定される。

【 0 0 6 9 】

このような画素アレイの動作条件によれば、N ラインの映像データが表示装置に入力される期間 T_{in} にデータ・ドライバ 102 から $(N + M)$ 回の信号出力、即ち上述の第 1 工程及びこれに続く第 2 工程からなる 1 周期の画素アレイ動作を行う。このため、この 1 周期にて表示信号出力及びプランキング信号出力の各々に割り当てられる時間（以下、 $T_{invention}$ ）は、期間 T_{in} に N ラインの映像データに応じた表示信号を順次出力するときの 1 回の信号出力に要する時間（以下、 T_{prior} ）の $(N / (N + M))$ 倍に減少する。しかしながら、上述のように因子 M は N より小さい自然数であるため、本発明による上記 1 周期での各信号を出力期間 $T_{invention}$ は上記 T_{prior} の $1 / 2$ 以上の長さを確保できる。即ち、画素アレイへの映像データへの書き込みの観点では、上述の特開 2001-166280 号公報に記載された技法に対する上述の SID 01 Digest, pages 994-997 に記載された技法の利点が得られる。

【 0 0 7 0 】

さらに、本発明では、上記期間 $T_{invention}$ にて画素にプランキング信号を供給することにより、この画素の輝度を素早く低下させる。このため、SID 01 Digest, pages 994-997 に記載された技法に比べて、本発明に依れば 1 フレーム期間における各画素行の映像表示期間とプランキング表示期間とが明瞭に分かれ、動画ぼやけも効率的に低減される。また、本発明ではプランキング信号の画素への供給を $(N + M)$ 回毎に間欠的に行うものの、1 回のプランキング信号出力に対して Z ラインのゲート線に対応する画素行にこれを供給することにより、画素行間に生じる映像表示期間とプランキング表示期間との比率のばらつきを抑える。さらに、プランキング信号出力毎に対して走査信号をゲート線の Z ライン置きに順次印加すれば、データ・ドライバ 102 からのプランキング信号の 1 回の出力に対する負荷も、このプランキング信号が供給される画素行数の制限により軽減される。

【 0 0 7 1 】

従って、本発明による表示装置の駆動は、図 1 乃至 7 を参照して説明した上述の N を 4、M を 1、Y を 1、及び Z を 4 にした例に限らず、上述の条件を満たす限りにおいて、ホールド型の表示装置の駆動全般に汎く適用し得る。例えば、インタレース方式で映像データをフレーム期間毎に奇数ライン又は偶数ラインのいずれか一方を表示装置に入力する場合、奇数ライン又は偶数ラインの映像データを 1 ライン毎に走査信号をゲート線の 2 ライン毎に順次印加し、これらに対応する画素行に表示信号を供給してもよい（この場合、少なくとも上記因子 Y は 2 となる）。また、本発明による表示装置の駆動では、その水平クロック C L 1 の周波数を水平同期信号 H S Y N C のそれの $((N + M) / N)$ 倍（上述の図 1 や図 4 の例では 1.25 倍）にしたが、水平クロック C L 1 の周波数をこれ以上に高め、そのパルス間隔を詰めて画素アレイの動作マージンを確保してもよい。この場合、表示制御回路 104 やその周辺にパルス発振回路を設け、これにより発生される映像制御信号に含まれるドット・クロック D O T C L K より周波数の高い基準信号を参照して水平クロック C L 1 の周波数を高めてもよい。

【 0 0 7 2 】

以上のべた夫々の因子は、N を 4 以上の自然数にするとよく、また、因子 M を 1 にするとよい。また、因子 Y を M と同じ値にするとよく、因子 Z を N と同じ値にするとよい。

【 0 0 7 3 】

第 2 の実施例

本実施例においても、上述の第 1 の実施例と同様に図 3 の表示装置に図 2 のタイミングで入力された映像データを、図 1 又は図 4 に示す波形で表示信号及び走査信号をデータ・ドライバ 102 から出力し且つ図 6 に示す表示タイミングに則り表示するが、図 1 や図 4 に示す映像データに拠る表示信号の出力に対するプランキング信号の出力タイミングを図 8 に示す如く、フレーム期間毎に変える。

【 0 0 7 4 】

10

20

30

40

50

画素アレイとして液晶表示パネルを用いる表示装置において、図8に示す本実施例のプランキング信号の出力タイミングは、このプランキング信号が供給された液晶表示パネルのデータ線に生じる信号の波形鈍りの影響を分散する効果を奏し、これにより画像の表示品質を高める。図8には、水平クロックC L 1のパルスの夫々に対応する期間Th1, Th2, Th3, ...が横方向に順次並び、これらの期間のいずれかでデータ・ドライバ102から出力される映像データの1ライン毎の表示信号m, m+1, m+2, m+3, ...及びプランキング信号Bを含むアイ・ダイヤグラムが連続するフレーム期間n, n+1, n+2, n+3, ...毎に縦方向に順次並ぶ。ここで示す表示信号m, m+1, m+2, m+3は特定のラインの映像データに限定せず、例えば図1の表示信号L1, L2, L3, L4にも、表示信号L511, L512, L513, L514にも対応し得る。

10

【0075】

第1の実施例にて述べた要領で画素アレイに映像データを4回書込むごとにプランキング・データを1回書込む場合、図8に示す画素アレイへのプランキング・データの印加を上記期間Th1, Th2, Th3, Th4, Th5, Th6, ...における4期間置きに並ぶ期間のいずれかの群（例えば、期間Th1, Th6, Th12, ...の群）から別の群（例えば、期間Th2, Th7, Th13, ...の群）へフレーム毎に順次変化させる。例えば、フレーム期間nではm番目のライン・データを画素アレイに入力する（これに拠る表示信号をm番目の画素行に印加する）前にプランキング・データを画素アレイに入力し（ゲート線の所定の4ラインに相当する画素行に印加し）、フレーム期間n+1ではm番目のライン・データの画素アレイへの入力後且つ（m+1）番目のライン・データの画素アレイへの入力前に上述のプランキング・データの画素アレイへの入力を行う。（m+1）番目のライン・データの画素アレイへの入力は、m番目のライン・データのそれに倣い、（m+1）番目のライン・データに拠る表示信号を（m+1）番目の画素行に印加する。以降の各ライン・データの画素アレイへの入力も、このライン・データに拠る表示信号をこれと同じアドレス（順番）を持つ画素行に印加する。

20

【0076】

フレーム期間n+2では、（m+1）番目のライン・データの画素アレイへの入力後且つ（m+2）番目のライン・データの画素アレイへの入力前に上述のプランキング・データの画素アレイへの入力を行う。続くフレーム期間n+3では、（m+2）番目のライン・データの画素アレイへの入力後且つ（m+3）番目のライン・データの画素アレイへの入力前に上述のプランキング・データの画素アレイへの入力を行う。以下、このようなライン・データとプランキング・データとの画素アレイへの入力を、プランキング・データのそれのタイミングを1水平期間毎にずらしながら繰り返し、フレーム期間n+4にてフレーム期間nによるライン・データとプランキング・データとの画素アレイへの入力パターンに戻る。これら一連の動作の繰り返しで、プランキング信号のみならずライン・データに拠る表示信号が画素アレイのデータ線の夫々に出力されたときの、データ線の延伸方向沿いに生じるこれらの信号波形の鈍りの影響を一様に分散して、画素アレイに表示される画像の品質を高める。

30

【0077】

一方、本実施例でも、第1の実施例と同様に図6に拠る画像表示タイミングで表示装置を動作させることができるが、上述のように画素アレイへのプランキング信号の印加タイミングがフレーム期間毎にシフトされるため、プランキング信号による画素アレイの走査を開始させる走査開始信号F L Mの第2パルスの発生時刻もフレーム期間に応じて変位する。このような走査開始信号F L Mの第2パルス発生タイミングの変動に応じて、図6のフレーム期間1に示される時間：t1がこれに続くフレーム期間2にて時間：t1より短い（又は長い）時間：t1'となり、フレーム期間1に示される時間：t2がこれに続くフレーム期間2にて時間：t2より長い（又は短い）時間：t2'となる。図8に示される一対のフレーム期間nとn+1や別の一対のフレーム期間n+3とn+4に見られるライン・データmに拠る表示信号での画素アレイの走査開始時刻の「ずれ」を考慮すれば、本実施例において、走査開始信号F L Mのパルス間隔に応じた2つの時間間隔

40

50

: t_1 , t_2 の少なくとも一方がフレーム期間に応じて変動する。

【0078】

以上のように、フレーム期間毎にプランキング信号の出力期間を時間軸方向沿いにシフトさせる本実施例による表示装置の駆動方法に則り、図6に示す画像表示タイミングに倣う表示動作を行う場合、その走査開始信号の設定に若干の変更を要するが、これに依り得られる効果は図7に示した第1の実施例におけるそれと何ら遜色がない。従って、本実施例においても映像データに応じた画像をインパルス型の表示装置におけるそれと略同様にしてホールド型の表示装置に表示できる。また、ホールド型の画素アレイより、動画像をその輝度は損なうことなく且つこれに生じる動画ぼやけを低減して表示することも可能となる。本実施例においても、1フレーム期間における映像データの表示期間とプランキングデータの表示期間との比率を、走査開始信号FLMのタイミングの調整（例えば、上述のパルス間隔： t_1 , t_2 の配分）により適宜変更できる。また、本実施例による駆動方法の表示装置への適用範囲も、第1の実施例のそれと同様に、画素アレイ（例えば、液晶表示パネル）の解像度により制限されない。さらに、本実施例による表示装置は第1の実施例によるそれと同様に、水平クロックCL1に規定される水平期間に含まれる帰線期間の比率を適宜変更することで、上記第1工程における表示信号の出力回数：Nや第2工程にて選択されるゲート線のライン数：Zを増やせ又は減らせる。

【0079】

【発明の効果】

本発明による1フレーム期間分の映像データを画素アレイに入力する期間にプランキング・データを画素アレイに入力する期間を間欠的に挿入する方法では、1フレーム期間（又はこれに相当する期間内）内にて画素アレイによる映像表示とプランキング表示とが映像表示時の輝度を損なうことなく完結され、またフレーム期間にわたる一連の映像表示に生じる動画ぼやけ及びこれに因る画質劣化を低減できる。また、本発明を液晶表示装置に適用した場合、1フレーム期間内の映像表示期間とプランキング表示期間との割合を液晶応答速度等の特性に応じて最適化することで、画素アレイでの映像表示にてトレード・オフの関係にある動画ぼやけの低減と表示輝度の維持の効果を両立させることも可能となる。

【図面の簡単な説明】

【図1】本発明による表示装置の駆動方法の第1実施例として説明される表示信号の出力タイミングとこれに呼応する走査線の駆動波形を示す図。

【図2】本発明による表示装置の駆動方法の第1実施例として説明される表示制御回路（タイミング・コントローラ）への映像データの入力波形（入力データ）とこれからの出力波形（ドライバ・データ）とのタイミングを示す図。

【図3】本発明による表示装置（液晶表示装置）の概要を示す構成図。

【図4】本発明による表示装置の駆動方法の第1実施例として説明される表示信号の出力期間に走査線の4ラインを同時に選択する駆動波形を示す図。

【図5】本発明による表示装置に備えられた複数個（例えば、4個）のライン・メモリの夫々への映像データの書き込み（Write）とこれからの読み出し（Read Out）との夫々のタイミングを示す図。

【図6】本発明による表示装置の駆動方法の第1実施例におけるフレーム期間毎（連続する3つのフレーム期間の各々）の画像表示タイミングを示す図。

【図7】本発明による液晶表示装置（表示装置の一例）を図6に示す画像表示タイミングに則り駆動したときの、表示信号への画素の輝度応答（画素に対応する液晶層の光透過率変動）を示す図。

【図8】本発明による表示装置の駆動方法の第2実施例として説明されるゲート線G1, G2, G3, ...に対応する画素行の夫々へ供給される表示信号（映像データによるm, m+1, m+2, ...とプランキング・データによるB）の連続する複数のフレーム期間m, m+1, m+2, ...に亘る変化を示す図。

【図9】アクティブ・マトリクス型の表示装置に備えられる画素アレイの一例の概略図。

【図10】液晶表示装置における動画ぼやけを抑える従来の手法の一つによる走査信号及

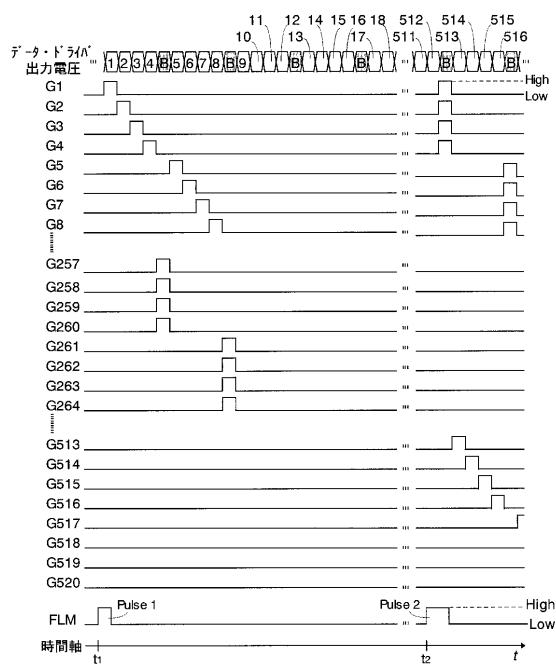
び表示信号の波形を示す図。

【符号の説明】

100...表示装置(液晶表示装置)、101...画素アレイ(TFT型液晶表示パネル)、102...データ・ドライバ、103...走査ドライバ、104...表示制御回路(タイミング・コントローラ)、105...ライン・メモリ回路、120...映像データ、121...映像制御信号群(垂直同期信号、水平同期信号、ドット・クロック等)、106...ドライバ・データ、107...データ・ドライバ制御信号群、CL3...走査ラインクロック。

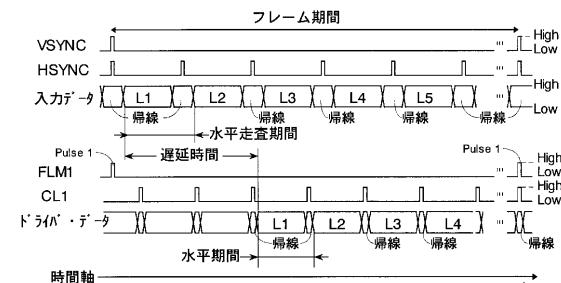
【図1】

図1



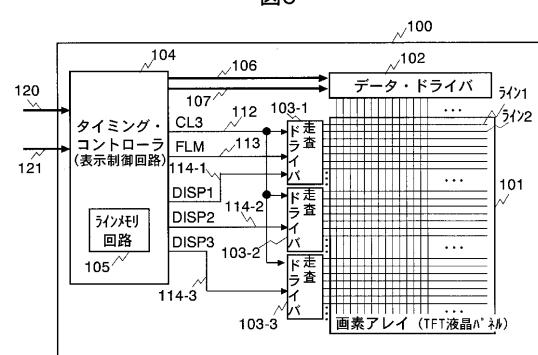
【図2】

図2

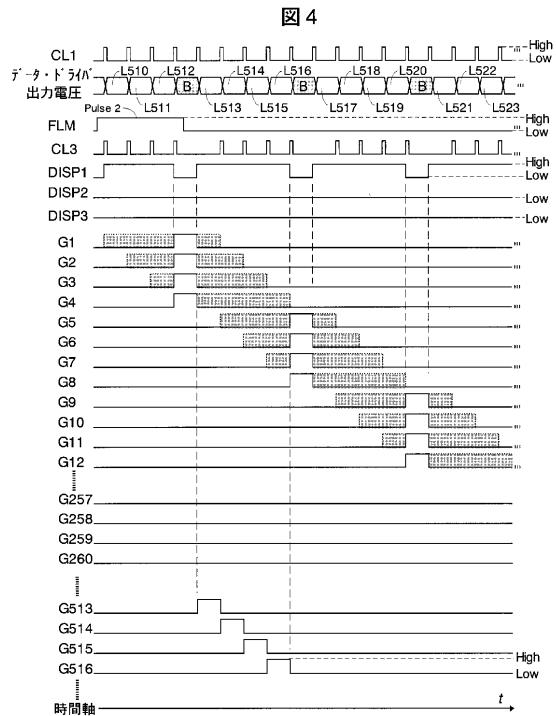


【図3】

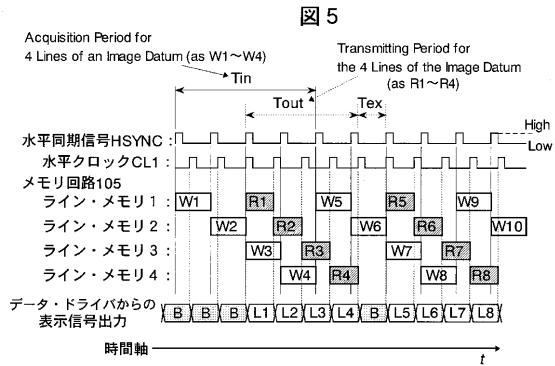
図3



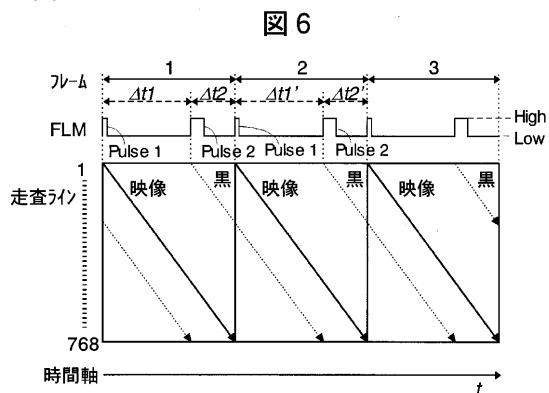
【図4】



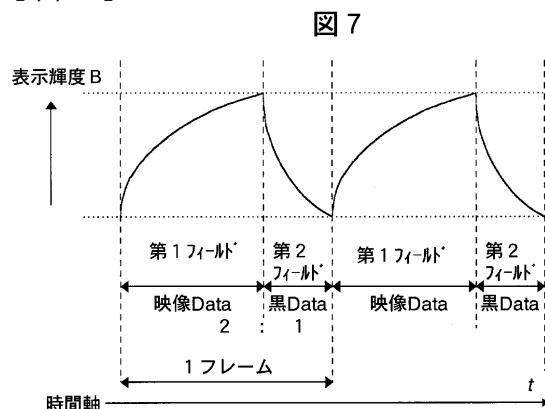
【図5】



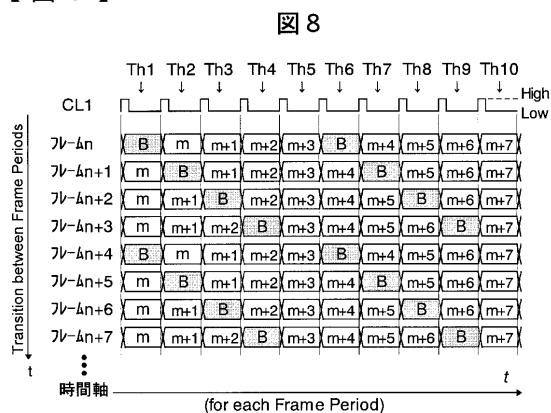
【図6】



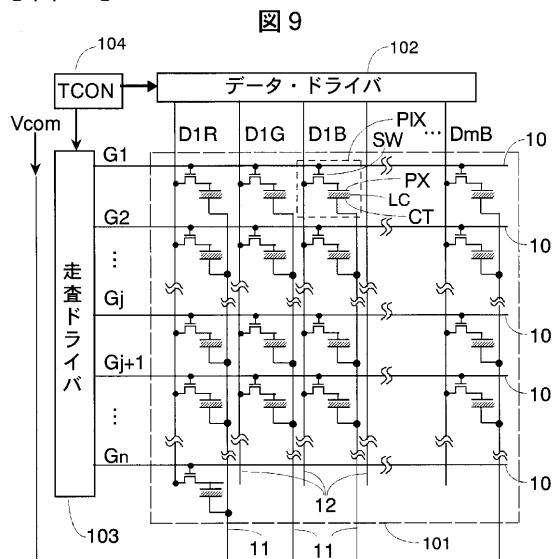
【図7】



【図8】

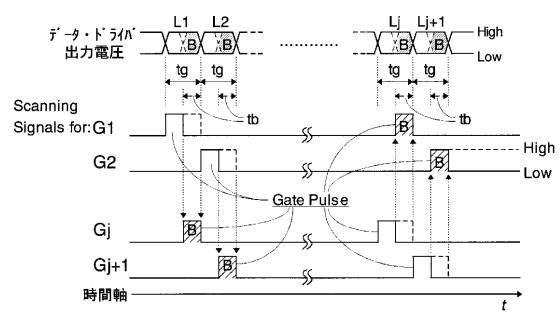


【図9】



【図10】

図10



フロントページの続き(51) Int.Cl.⁷

F I

G 0 9 G	3/20	6 3 1 B
G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 6 0 V

(72) 発明者 武田 伸宏

千葉県茂原市早野3 3 0 0番地 株式会社日立製作所ディスプレイグループ内

(72) 発明者 古橋 勉

神奈川県横浜市戸塚区吉田町2 9 2番地 株式会社日立製作所 システム開発研究所内

(72) 発明者 中村 雅志

千葉県茂原市早野3 6 8 1番地 日立デバイスエンジニアリング株式会社内

審査官 濱本 穎広

(56) 参考文献 特開2 0 0 2 - 2 2 9 0 0 4 (JP, A)

特開2 0 0 1 - 1 4 7 6 7 6 (JP, A)

特開2 0 0 1 - 0 6 0 0 7 8 (JP, A)

特開2 0 0 1 - 1 6 6 7 3 3 (JP, A)

(58) 調査した分野(Int.Cl.⁷, DB名)

G09G3/00-3/38

G02F1/133

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP3653506B2	公开(公告)日	2005-05-25
申请号	JP2002077497	申请日	2002-03-20
[标]申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
当前申请(专利权)人(译)	株式会社日立制作所 日立设备工程有限公司		
[标]发明人	新田博幸 小金沢信之 武田伸宏 古橋勉 中村雅志		
发明人	新田 博幸 小金沢 信之 武田 伸宏 古橋 勉 中村 雅志		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3648 G09G2310/0205 G09G2310/061 G09G2320/0261		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.T G09G3/20.622.Q G09G3/20.623.U G09G3/20.631.B G09G3/20.641.R G09G3/20.660.V H04N5/66.A H04N5/66.B H04N5/66.102		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA79 2H093/NB22 2H093/NC16 2H093/NC21 2H093/NC22 2H093/NC28 2H093/NC34 2H093/NC41 2H093/NC51 2H093/NC90 2H093/ND01 2H093/ND08 2H093/ND60 2H093/NH14 2H093/NH15 2H193/ZA04 2H193/ZE02 5C006/AA01 5C006/AF03 5C006/AF04 5C006/AF06 5C006/AF44 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF05 5C006/BF14 5C006/BF24 5C006/FA29 5C058/AA08 5C058/AA11 5C058/AA12 5C058/BA03 5C058/BA04 5C058/BA07 5C058/BB12 5C058/BB25 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03		
其他公开文献	JP2003280599A		
外部链接	Espacenet		

摘要(译)

一种视频模糊和由于这种情况发生在保持型显示设备的运动图像的显示操作，例如一个液晶显示装置的图像质量的劣化，抑制在不损害运动图像的显示亮度。在由线N次响应行的水平同步信号的显示装置的像素阵列输入到每行的显示装置的视频数据（N是2或更大的自然数）的像素阵列的每个写入顺序重复顺序写入消隐数据以降低亮度M次的操作（M是小于N的自然数）。（N+M）倍的数据被写入到该像素阵列包括N行的视频数据的一个水平扫描期间Ategai，在将数据写入所述像素阵列的视频数据的一个水平扫描期间的水平消隐间隔做得比这简短。还由扫描起始信号的坐标来启动像素行的N次间隔选择操作中的每个的像素行的消隐数据的像素阵列中被写入到像素行和M倍的视频数据被写入。

図 1

