

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3615130号
(P3615130)

(45) 発行日 平成17年1月26日(2005.1.26)

(24) 登録日 平成16年11月12日(2004.11.12)

(51) Int. Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20

G09G 3/36
G02F 1/133 550
G09G 3/20 611A
G09G 3/20 621B
G09G 3/20 623R

請求項の数 20 (全 25 頁)

(21) 出願番号	特願2000-236912(P2000-236912)	(73) 特許権者	500362981 エヌテクリサーチ株式会社 大韓民国ソウル市江南区驛三洞719-2 4番地 イープレースビル
(22) 出願日	平成12年8月4日(2000.8.4)	(74) 代理人	100095957 弁理士 亀谷 美明
(65) 公開番号	特開2001-100713(P2001-100713A)	(74) 代理人	100096389 弁理士 金本 哲男
(43) 公開日	平成13年4月13日(2001.4.13)	(74) 代理人	100101557 弁理士 萩原 康司
審査請求日	平成12年8月4日(2000.8.4)	(74) 代理人	100096091 弁理士 井上 誠一
(31) 優先権主張番号	1999P32152	(72) 発明者	権 五敬 大韓民国ソウル市松波区新川洞(番地なし) ジャンミアパート14-1102 最終頁に続く
(32) 優先日	平成11年8月5日(1999.8.5)		
(33) 優先権主張国	韓国(KR)		

(54) 【発明の名称】 液晶表示装置のソース駆動回路及びソース駆動方法

(57) 【特許請求の範囲】

【請求項1】

シフトレジスタ部と、サンプリングラッチ部と、ホールディングラッチ部と、デジタル/アナログ変換部と、出力バッファ部とから構成された液晶表示装置のソース駆動回路において、

上位電圧(V_H)と下位電圧(V_L)との間の電圧を均等に分割した電圧が充電され、それぞれの一端が接地されたn個の外部キャパシタ(nは2以上の整数)と、

前記n個の外部キャパシタが接続され、前記n個の外部キャパシタで奇数番目のソース線キャパシタから段階的に極性電圧を回復することによって、奇数番目のソース線の前記均等に分割した電圧を実現するための第1極性変調部と、

前記n個の外部キャパシタが接続され、n個の外部キャパシタで偶数番目のソース線キャパシタから段階的に極性電圧を回復することによって、偶数番目のソース線の前記均等に分割した電圧を実現するための第2極性変調部と、

極性変調フェーズにおいて、前記第1極性変調部または前記第2極性変調部の出力を選択し、グレースケールフェーズにおいて、出力バッファの出力を選択し、前記選択された出力を画素に出力する、複数のマルチプレクサと、から構成されることを特徴とする、液晶表示装置のソース駆動回路。

【請求項2】

前記n個の外部キャパシタはドライバチップの外部に取り付けられ、

前記第1、第2の極性変調部は、前記n個の外部キャパシタを前記液晶表示装置の電源

供給源またはソース線に連結する複数のスイッチから構成されることを特徴とする、請求項 1 に記載の液晶表示装置のソース駆動回路。

【請求項 3】

前記各スイッチは、N M O S トランジスタから構成されることを特徴とする、請求項 2 に記載の液晶表示装置のソース駆動回路。

【請求項 4】

前記 N M O S トランジスタは、各々異なる大きさを有するように構成されることを特徴とする、請求項 3 に記載の液晶表示装置のソース駆動回路。

【請求項 5】

前記各スイッチは、N M O S トランジスタと P M O S トランジスタを混用して構成されることを特徴とする、請求項 2 に記載の液晶表示装置のソース駆動回路。 10

【請求項 6】

前記 n 個のキャパシタには負の映像信号の一定のグレー値に該当する電圧 (V_L) から正の映像信号の一定のグレー値に該当する電圧 (V_H) までに及ぶ電圧を均等に分割した電圧が充電されていることを特徴とする、請求項 2 に記載の液晶表示装置のソース駆動回路。

【請求項 7】

前記各外部キャパシタのキャパシタ値が前記ソース線キャパシタのキャパシタ値よりさらに大きく構成されることを特徴とする、請求項 2 に記載の液晶表示装置のソース駆動回路。 20

【請求項 8】

前記第 1 の極性変調部は第 1 のシフトレジスタを含み、
 前記第 2 の極性変調部は第 2 のシフトレジスタを含み、
 前記第 1 のシフトレジスタが前記 n 個の外部キャパシタを前記第 1 の極性変調部の奇数番目のソース線に接続するスイッチに接続され、
 前記第 2 のシフトレジスタが前記 n 個の外部キャパシタを前記第 2 の極性変調部の偶数番目のソース線に接続するスイッチに接続され、
 前記第 1、第 2 のシフトレジスタのシフト指示は互いに逆になることを特徴とする、請求項 1 に記載の液晶表示装置のソース駆動回路。 30

【請求項 9】

前記第 1、第 2 の極性変調部はそれぞれ 1 つのシフトレジスタを含み、
 前記シフトレジスタは、
 前記 n 個の外部キャパシタを前記第 1 の極性変調部内の奇数番目のソース線に接続するスイッチと、前記 n 個の外部キャパシタを前記第 2 の極性変調部内の偶数番目のソース線に接続するスイッチと、を制御する n 個の信号を伝える n 個の出力線を持ち、
 前記シフトレジスタからの n 個の出力線のうち k 番目の出力線は、前記 n 個の外部キャパシタのうち k 番目の外部キャパシタを前記第 1 の極性変調部内の奇数番目のソース線に接続するスイッチと、前記 n 個の外部キャパシタのうち $(n - k + 1)$ 番目の外部キャパシタを前記第 2 の極性変調部内の偶数番目のソース線に接続するスイッチと、に接続され、 40

前記シフトレジスタには、互いに、逆のスイッチ接続順序であることを特徴とする、請求項 1 に記載の液晶表示装置のソース駆動回路。

【請求項 10】

シフトレジスタ部と、サンプリングラッチ部と、ホールディングラッチ部と、デジタル / アナログ変換部と、出力バッファ部とから構成された液晶表示装置のソース駆動回路において、

上位電圧 (V_H) と下位電圧 (V_L) との間の電圧を均等に分割した電圧が充電され、それぞれの一端末が接地された n 個の外部キャパシタ (n は 2 以上の整数) と、

前記 n 個の外部キャパシタが接続され、前記 n 個の外部キャパシタで奇数番目のソース線キャパシタから段階的に極性電圧を回復することによって、奇数番目のソース線の前記 50

均等に分割した電圧を実現するための第1極性変調部と、

前記n個の外部キャパシタが接続され、n個の外部キャパシタで偶数番目のソース線キャパシタから段階的に極性電圧を回復することによって、偶数番目のソース線の前記均等に分割した電圧を実現するための第2極性変調部と、

極性変調フェーズにおいて、前記第1極性変調部または前記第2極性変調部の出力を選択し、グレースケールフェーズにおいて、出力バッファの出力を選択し、前記選択された出力を画素に出力する、複数の選択スイッチと、から構成されることを特徴とする、液晶表示装置のソース駆動回路。

【請求項11】

前記n個の外部キャパシタはドライバチップの外部に取り付けられ、

前記第1、第2の極性変調部は、前記n個の外部キャパシタを前記液晶表示装置の電源供給源またはソース線に連結する複数のスイッチから構成されることを特徴とする、請求項10に記載の液晶表示装置のソース駆動回路。

【請求項12】

前記各スイッチは、NMOSトランジスタから構成されることを特徴とする、請求項11に記載の液晶表示装置のソース駆動回路。

【請求項13】

前記NMOSトランジスタは、各々異なる大きさを有するように構成されることを特徴とする、請求項12に記載の液晶表示装置のソース駆動回路。

【請求項14】

前記各スイッチは、NMOSトランジスタとPMOSトランジスタを混用して構成されることを特徴とする、請求項11に記載の液晶表示装置のソース駆動回路。

【請求項15】

前記n個のキャパシタには負の映像信号の一定のグレー値に該当する電圧(V_L)から正の映像信号の一定のグレー値に該当する電圧(V_H)までに及ぶ電圧を均等に分割した電圧が充電されていることを特徴とする、請求項11に記載の液晶表示装置のソース駆動回路。

【請求項16】

前記各外部キャパシタのキャパシタ値が前記ソース線キャパシタのキャパシタ値よりさらに大きく構成されることを特徴とする、請求項11に記載の液晶表示装置のソース駆動回路。

【請求項17】

前記第1の極性変調部は第1のシフトレジスタを含み、

前記第2の極性変調部は第2のシフトレジスタを含み、

前記第1のシフトレジスタが前記n個の外部キャパシタを前記第1の極性変調部の奇数番目のソース線に接続するスイッチに接続され、

前記第2のシフトレジスタが前記n個の外部キャパシタを前記第2の極性変調部の偶数番目のソース線に接続するスイッチに接続され、

前記第1、第2のシフトレジスタのシフト指示は互いに逆になることを特徴とする、請求項10に記載の液晶表示装置のソース駆動回路。

【請求項18】

前記第1、第2の極性変調部はそれぞれ1つのシフトレジスタを含み、

前記シフトレジスタは、

前記n個の外部キャパシタを前記第1の極性変調部内の奇数番目のソース線に接続するスイッチと、前記n個の外部キャパシタを前記第2の極性変調部内の偶数番目のソース線に接続するスイッチと、を制御するn個の信号を伝えるn個の出力線を持ち、

前記シフトレジスタからのn個の出力線のうちk番目の出力線は、前記n個の外部キャパシタのうちk番目の外部キャパシタを前記第1の極性変調部内の奇数番目のソース線に接続するスイッチと、前記n個の外部キャパシタのうち(n-k+1)番目の外部キャパシタを前記第2の極性変調部内の偶数番目のソース線に接続するスイッチと、に接続され

10

20

30

40

50

前記シフトレジスタには、互いに、逆のスイッチ接続順序であることを特徴とする、請求項 10 に記載の液晶表示装置のソース駆動回路。

【請求項 19】

キャパシタを備えた複数のソース線と、負の映像信号または正の映像信号を前記複数のソース線に適用するための出力バッファと、前記ソース線を通して供給される映像信号を表現するための液晶パネルと、 n 個の外部キャパシタ (n は 2 以上の整数) と、を含む液晶表示装置のソース駆動方法において、

(a) 前記負の映像信号の一定のグレー値に該当する電圧 (V_L) から前記正の映像信号の一定のグレー値に該当する電圧 (V_H) までに及ぶ電圧を均等に分割した電圧で、前記 n 個の外部キャパシタを充電するステップと、

(b) 奇数番目のソース線キャパシタが前記 n 個の外部キャパシタに接続されることによって、奇数番目のソース線キャパシタが、前記 n 個の外部キャパシタからの均等に分割した電圧で充電され、同時に、前記 n 個の外部キャパシタが、偶数番目のソース線キャパシタに接続されることにより、偶数番目のソース線キャパシタから段階的に極性電圧を回復し、その結果、偶数番目のソース線キャパシタが段階的に放電するステップと、

(c) 偶数番目のソース線キャパシタが前記 n 個の外部キャパシタに接続されることによって、偶数番目のソース線キャパシタが、前記 n 個の外部キャパシタからの均等に分割した電圧で充電され、同時に、前記 n 個の外部キャパシタが、奇数番目のソース線キャパシタに接続されることにより、奇数番目のソース線キャパシタから段階的に極性電圧を回復し、その結果、奇数番目のソース線キャパシタが段階的に放電するステップと、

(d) 前記 (b) ステップまたは前記 (c) ステップにより極性が変調されたソース線キャパシタに、前記出力バッファの電圧が映像信号として適用されることで、グレースケールの決定を実行するステップと、

を含むことを特徴とする、液晶表示装置のソース駆動方法。

【請求項 20】

前記 (b) ステップまたは前記 (c) ステップにおいて、

前記上位電圧 (V_H) と前記下位電圧 (V_L) との間で及ぶ電圧スイングが行われることを特徴とする、請求項 19 に記載の液晶表示装置のソース駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、消費電力を減少させることの可能な液晶表示装置のソース駆動回路及びその駆動方法に関する。

【0002】

【従来の技術】

最近、映像信号を表示する表示素子として液晶表示装置がさらに大きい関心を引き、このような液晶表示装置の駆動に関する研究が盛んに行われている。

【0003】

一般に液晶表示装置は大きく液晶パネル部と駆動部に分けられる。

液晶パネル部は、ピクセル電極及び薄膜トランジスタがマトリックス形態で配列される下側ガラス基板と、共通電極及びカラーフィルタ層が形成される上側ガラス基板と、上側、下側ガラス基板の間に満たされる液晶層から構成される。

【0004】

また、駆動部は、外部から入力される映像信号を処理して複合同期信号を出力する映像信号処理部と、映像信号処理部から出力される複合同期信号が入力されて水平同期信号及び垂直同期信号を分離して出力し、モード (NTSC, PALSECAM) 選択信号によってタイミングを制御する制御部と、制御部の出力信号によって液晶パネル部のソースラインに信号電圧を供給するソースドライバと、制御部の出力信号によって液晶パネル部の走査ラインに順次駆動電圧を印加するゲートドライバなどから構成される。

【 0 0 0 5 】

以下に、図 1 8 ~ 図 2 7 を参考しながら、従来の液晶表示装置のソース駆動回路及びその駆動方法を説明する。

【 0 0 0 6 】

図 1 8 は従来の薄膜トランジスタ液晶表示装置 (T F T - L C D) の構成図である。薄膜トランジスタ液晶表示装置 (T F T - L C D) は、図 1 8 に示したように、複数個のゲートライン G L と複数のソースライン S L などの交差点に複数の画素を有する液晶パネル 1 0 と、液晶パネル 1 0 のソースライン S L を介して各々の画素に映像信号を提供するソース駆動部 2 0 と、液晶パネルのゲートライン G L を選択して複数の画素をオンさせるゲート駆動部 3 0 から構成される。

10

【 0 0 0 7 】

画素は、ゲートがゲートライン G L と連結され、ドレインがソースライン S L と連結された複数の薄膜トランジスタ 1 と、薄膜トランジスタのソースと各々並列連結された貯蔵キャパシタ C s と、液晶キャパシタ C l c とから構成される。

【 0 0 0 8 】

図 1 9 は従来の液晶表示装置によるソース駆動回路の構成図である。従来のソース駆動回路の一例として、3 8 4 チャンネル 6 ビットドライバを示した。すなわち、R G B データが各々 6 ビットから成り、カラムライン (データ) は 3 8 4 ラインから構成されたソースドライバである。ソース駆動回路は、図 1 9 に示したように、シフトレジスタ部 2 1 と、サンプリングラッチ部 2 2 と、ホールディングラッチ部 2 3 と、デジタル / アナログ変換部 2 4 と、出力バッファ部 2 5 とから構成される。

20

【 0 0 0 9 】

シフトレジスタ部 2 1 は、水平同期信号パルス H S Y N C をソースパルスクロック H C L K によってシフトさせてラッチイネーブルクロックをサンプリングラッチ部 2 2 から出力する。

【 0 0 1 0 】

サンプリングラッチ部 2 2 は、シフトレジスタ部 2 1 から出力されるラッチイネーブルクロックによってデジタル R , G , B データをカラムライン別にサンプリングしてラッチさせる。

【 0 0 1 1 】

ホールディングラッチ部 2 3 は、サンプリングラッチ部 2 2 にラッチされた R , G , B データをロード信号 L D によって同時に伝えられてラッチされる。

30

【 0 0 1 2 】

デジタル / アナログ変換部 2 4 はホールディングラッチ部 2 3 に貯蔵されたデジタル R , G , B データをアナログ R , G , B データに変換する。

【 0 0 1 3 】

出力バッファ部 2 5 は、アナログ信号で変換された R , G , B データに該当する信号の電流を増幅してパネルのソースラインへ出力する。

【 0 0 1 4 】

上述のように構成されたソース駆動回路は、1 水平周期の間にデジタル R , G , B データをサンプリングし、ホールディングした後にアナログ R , G , B データで変換し、これを電流増幅して出力することになるが、ホールディングラッチ部 2 3 が n 番目カラムラインに該当する R , G , B データをホールディングしていたら、サンプリングラッチ部 2 2 は n + 1 番目のカラムラインに該当する R , G , B データをサンプリングすることになる。

40

【 0 0 1 5 】

図 2 0 は従来の液晶表示装置によるゲート駆動回路の構成図である。ゲート駆動回路は、図 2 0 に示したように、シフトレジスタ部 3 1 , レベルシフタ部 3 2 , また出力バッファ部 3 3 から構成される。

【 0 0 1 6 】

50

シフトレジスタ部 3 1 は垂直同期信号パルス V S Y N C をゲートパルスクロックによってシフトさせて走査ラインを順次イネーブルさせる。

【 0 0 1 7 】

レベルシフト部 3 2 は走査ラインに印加される信号を順次レベルシフトさせて出力バッファ部 3 3 へ出力する。従って、出力バッファ部 3 3 と連結された複数個の走査ラインを順次イネーブルされる。

【 0 0 1 8 】

上述のように構成された従来の薄膜トランジスタ液晶表示装置 (T F T - L C D) の駆動方法を説明すると以下の通りである。まず、ソース駆動部 2 0 のサンプリングラッチ部 2 2 は順次一つずつの画素の映像データがサンプリングされ、ホールディングラッチ部 2 3 はソースライン S L などに該当する映像データを貯蔵する。

10

【 0 0 1 9 】

また、ゲート駆動部 3 0 はゲートライン選択信号 G L S を出力して複数のゲートライン G L の中で一つのゲートライン G L を順次選択する。

【 0 0 2 0 】

従って、選択されたゲートライン G L に連結された複数の薄膜トランジスタ 1 がターンオンされてソース駆動部 2 0 のホールディングラッチ部 2 3 に貯蔵された映像データがドレインに印加されることによって映像データが液晶パネル 1 0 に表示される。その後、上述のような動作が繰り返されて映像データが液晶パネル 1 0 に表示される。

【 0 0 2 1 】

20

この時、ソース駆動部 2 0 は、V C O M、陽の映像信号 (p o s i t i v e v i d e o s i g n a l)、及び、陰の映像信号 (n e g a t i v e v i d e o s i g n a l) を液晶パネル 1 0 に提供して映像データを液晶パネル 1 0 に表示することになる。

【 0 0 2 2 】

図 2 1 は、図 1 8 の画像信号の電圧範囲を示した図である。すなわち、図 2 1 に示したように、薄膜トランジスタ液晶表示装置 (T F T - L C D) の動作の時、液晶に直接 D C 電圧が掛からないようにするためにフレームが変わるごとに、陽の映像信号と陰の映像信号と交代で画素に印加し、このために、薄膜トランジスタ液晶表示装置 (T F T - L C D) の上板の電極に陽の映像信号を陰の映像信号の中間電圧である V C O M を印加する。

【 0 0 2 3 】

30

ところが、V C O M に基づき、液晶に陽の映像信号と陰の映像信号を交代で印加する場合液晶の光伝達曲線が一致しないことになってフリッカーが発生される。

従って、前記フリッカーの発生を減らすために図 2 2 ~ 図 2 3 に示したように、フレーム反転 (F r a m e I n v e r s i o n) 方式、ライン反転方式、カラム反転方式、及び、ドット反転方式などの 4 つの反転方式 (反転駆動方式) が各々用いられる。

【 0 0 2 4 】

まず、図 2 2 はフレーム反転方式として、フレームが変わる場合だけ映像信号の極性が変化される方式であり、図 2 3 はライン反転方式として、ゲートライン G L が変わると映像信号の極性が変わる方式である。また、図 2 4 はカラム反転方式として、ソースライン S L が変わる時とフレームが変わると映像信号の極性が変わる方式であり、図 2 5 はドット反転方式として各ソースライン S L のゲートライン G L が変わる時とフレームが変わると映像信号の極性が変わる方式である。

40

【 0 0 2 5 】

このとき画質はフレーム反転方式、ライン反転方式、カラム反転方式、ドット反転方式の順で良好であり、その画質に比例して極性が変わる場合の数が増加されることによって電力消費も増加される。その一例を図 2 6 に示した従来の液晶表示装置を駆動するためのドット反転方式方式を参考して説明すると以下の通りである。

【 0 0 2 6 】

図 2 6 はドット反転方式の時、液晶パネル 1 0 へ入力される奇数のソースライン S L または偶数のソースライン S L の波形を示したもので、ゲートライン G L が変わると常に

50

ソースライン S L の映像信号が V C O M に基づき極性が変化されることを示している。

【 0 0 2 7 】

このとき、薄膜トランジスタ液晶表示装置 (T F T - L C D) のパネル全体が同じグレーを表していると仮定すると、ソースライン S L の映像信号の変化幅 V は V C O M と陽の映像信号の変化幅または V C O M と陰の映像信号の変化幅の 2 倍となる。従って、従来のドット反転方式はゲートライン G L が変わると共に映像信号の V C O M に基づき陽から陰へ、陰から陽へ変わるので多くの電力を消費することになる。

【 0 0 2 8 】

すなわち、図 2 6 はノーマリーホワイト (n o r m a l l y - w h i t e - m o d e) 液晶でブラックイメージを表示する場合の映像信号スイング幅を示したもので、毎水平周期ごと大幅の電圧変動が必要で、かかる電圧変動はもっぱら出力段増幅器の電源 V D D によって供給されたエネルギーから成され、2 水平周期 (H) ごと消費電力が発生する。

10

【 0 0 2 9 】

図 2 7 はキャパシタンス負荷を駆動するための一般の C M O S 回路を示した回路図である。図 2 7 に示したように、P M O S トランジスタ P 1 のソースを電源段 V_H に連結し、ドレインは N M O S トランジスタ N 1 のドレインに連結して出力段にし、N M O S トランジスタ N 1 のソースは他の電源段 V_L に連結し、N M O S トランジスタ N 1 と P M O S トランジスタ P 1 のゲートには出力信号 (または入力信号) の周波数 F が入力され、N M O S トランジスタ N 1 と P M O S トランジスタ P 1 のドレインと N M O S トランジスタ N 1 のソース間には負荷キャパシタ C_{L O A D} が連結される。

20

【 0 0 3 0 】

上述のように構成された従来の C M O S 駆動回路の消費電力 P_{C O N V} は、(式 1) のように与えられる。

$$(式 1) P_{C O N V} = C_{L O A D} \cdot V_H (V_H - V_L) \cdot F$$

【 0 0 3 1 】

(式 1) において C_{L O A D} は負荷キャパシタ C_{L O A D} の容量 (キャパシタンス : C a p a c i t a n c e) であり、F は出力信号 (または入力信号) の周波数である。また、電源 V_H > V_L である。

【 0 0 3 2 】

【 発明が解決しようとする課題 】

30

ところで、上述のような従来の液晶表示装置のソース駆動方法においては、ソース駆動消費電力は映像信号のスイング幅に比例するので 2 水平周期ごと電力が発生して電力消費が大きいという問題点があった。

【 0 0 3 3 】

本発明は、従来の液晶表示装置のソース駆動方法が有する上記問題点に鑑みてなされたものであり、本発明の目的は、電圧スイング幅が大きい極性変調の消費電力を減らすとともに増幅器の駆動消費電力を減らすことの可能な、新規かつ改良された液晶表示装置のソース駆動回路及びソース駆動方法を提供することである。

【 0 0 3 4 】

【 課題を解決するための手段 】

40

上記課題を解決するため、本発明の液晶表示装置のソース駆動回路は、シフトレジスタ部と、サンプリングラッチ部と、ホールディングラッチ部と、デジタル / アナログ変換部また出力バッファ部とから構成された液晶表示装置のソース駆動回路において、上位電圧 (V_H) と下位電圧 (V_L) との間の電圧を均等に分割した電圧が充電され、それぞれの一の末端が接地された n 個の外部キャパシタ (n は 2 以上の整数) と、前記 n 個の外部キャパシタが接続され、前記 n 個の外部キャパシタで奇数番目のソース線キャパシタから段階的に極性電圧を回復することによって、奇数番目のソース線の前記均等に分割した電圧を実現するための第 1 極性変調部と、前記 n 個の外部キャパシタが接続され、n 個の外部キャパシタで偶数番目のソース線キャパシタから段階的に極性電圧を回復することによって、偶数番目のソース線の前記均等に分割した電圧を実現するための第 2 極性変調部と、

50

極性変調フェーズにおいて、前記第1極性変調部または前記第2極性変調部の出力を選択し、グレースケールフェーズにおいて、出力バッファの出力を選択し、前記選択された出力を画素に出力する、複数のマルチプレクサと、から構成されることを特徴とする。

【0035】

また、上記課題を解決するため、本発明の液晶表示装置のソース駆動方法は、キャパシタを備えた複数のソース線と、負の映像信号または正の映像信号を前記複数のソース線に適用するための出力バッファと、前記ソース線を通して供給される映像信号を表現するための液晶パネルと、 n 個の外部キャパシタ(n は2以上の整数)と、を含む液晶表示装置のソース駆動方法において、(a)前記負の映像信号の一定のグレー値に該当する電圧(V_L)から前記正の映像信号の一定のグレー値に該当する電圧(V_H)までに及ぶ電圧を均等に分割した電圧で、前記 n 個の外部キャパシタを充電するステップと、(b)奇数番目のソース線キャパシタが前記 n 個の外部キャパシタに接続されることによって、奇数番目のソース線キャパシタが、前記 n 個の外部キャパシタからの均等に分割した電圧で充電され、同時に、前記 n 個の外部キャパシタが、偶数番目のソース線キャパシタに接続されることにより、偶数番目のソース線キャパシタから段階的に極性電圧を回復し、その結果、偶数番目のソース線キャパシタが段階的に放電するステップと、(c)偶数番目のソース線キャパシタが前記 n 個の外部キャパシタに接続されることによって、偶数番目のソース線キャパシタが、前記 n 個の外部キャパシタからの均等に分割した電圧で充電され、同時に、前記 n 個の外部キャパシタが、奇数番目のソース線キャパシタに接続されることにより、奇数番目のソース線キャパシタから段階的に極性電圧を回復し、その結果、奇数番目のソース線キャパシタが段階的に放電するステップと、(d)前記(b)ステップまたは前記(c)ステップにより極性が変調されたソース線キャパシタに、前記出力バッファの電圧が映像信号として適用されることで、グレースケールの決定を実行するステップと、を含むことを特徴とする。

10

20

【0036】

【発明の実施の形態】

以下に添付図面を参照しながら、本発明にかかる液晶表示装置のソース駆動回路及びソース駆動方法の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

30

【0037】

図1は、本発明によるドット反転方式(ドット反転駆動方式)による画像信号の動作範囲を示した図である。本発明による液晶表示装置のソース駆動方法である多段階ソースドライビングでは映像信号伝達を極性変調とグレースケール決定(gray scale decision)の2位相から分けて成される。

【0038】

すなわち、図1のように、陰の映像の中間グレーに当たる電圧 V_L で陽の映像の中間グレーに当たる電圧 V_H の間の電圧変動 B は極性変調によって行われ、その後グレースケール決定のための電圧変動 C 、 D はソースドライバの増幅器によって成される。なお、陰の映像信号及び陽の映像信号の中間に当たる電圧による場合に限定されず、陰の映像信号及び陽の映像信号に当たる任意の電圧範囲で用いることができる。

40

【0039】

上述のように本発明のドット反転方式による消費電力発生について、極性変調によるものと増幅器によるものに分けて説明する。

【0040】

すなわち、図1において極性変調 B に必要とする消費電力は極性変調の電圧 V_H によって供給され、グレースケール表示 C (この場合、ブラックイメージ)に必要とする消費電力は増幅器の V_{DD} によって供給される。

【0041】

また、陰の映像領域の電圧 V_L で極性変調した後、ホワイトイメージを表示するためには

50

Dのような電圧変動が必要となり，これもやはり増幅器のVDDによって供給された電力から成される。

【0042】

しかし陰の映像領域の電圧VLで極性変調した後，ブラックイメージを表示すると増幅器によって消費電力を発生させず，さらに陽の映像領域の電圧VHで極性変調するとき（電圧変動A）極性変調の電圧VLによって消費電力が発生する。以上説明したドット反転方式による消費電力発生を整理すると，表1に示した通りである。

【0043】

【表1】

電圧変動	A	B	C	D
電力供給	極性変調VL	極性変調VH	増幅器	増幅器

10

20

【0044】

なお，多段階ソース駆動回路の駆動波形をオールブラックイメージの場合の一例と，オールホワイトイメージの場合の一例とを，図2と図3に各々示した。すなわち，図2は多段階ソースドライビング方式のオールブラックイメージの駆動波形図であり，図3は多段階ソースドライビング方式のオールホワイトイメージ駆動波形図である。

【0045】

従って，図2及び図3に示したように，本発明によるドット反転方式は一つの水平周期（H）を極性変調とグレースケール決定の2位相で分けてソース駆動が成されることが分かる。

30

【0046】

このような多段階ソースドライビング方式では電圧スイング幅が大きい極性変調は多段階充電を介した電荷リカバリ方式を用いて消費電力を減少させ，増幅器はグレースケール表示に必要とする程度の消費電力だけを供給するようにして駆動消費電力を減らす。

【0047】

上述のように消費電力を減らすことができる本発明による液晶表示装置のソース駆動回路の構成を説明すると以下の通りである。すなわち，図4～図6は本発明による液晶表示装置のソース駆動回路を示した構成図である。

40

【0048】

図4に示したように複数のマルチプレクサ部80などは外部の制御信号CONによる出力バッファ部50の出力と奇数極性変調部60及び偶数極性変調部70の出力のうち一つを選択してピクセルに伝える。なお，薄膜トランジスタ液晶表示装置（TFT-LCD）のドット反転方式では隣のソースライン同士の信号極性が反対であるので多段階電荷駆動の方向も反対である。すなわち，奇数番目のソースラインのキャパシタに段階的充電を行う場合偶数番目のソースラインのキャパシタには段階的放電が行わなければならない。

【0049】

従って，極性変調部を構成するスイッチなどの動作手順も反対であるので本発明のソース

50

駆動回路では奇数番目のソースラインと偶数番目のソースラインを別に駆動できるように奇数番目のソースラインの極性変調のための奇数極性変調部 60 と偶数番目ソースラインの極性変調のための偶数極性変調部 70 を各々別に取り付ける。

【 0050 】

本発明による液晶表示装置のソース駆動回路は、図 19 のデジタル/アナログ変換部 24 でアナログ信号で変換されたデータ信号の電流を増幅してパネルのソースラインに出力する出力バッファ部 50 と、奇数番目のソースラインを駆動するための奇数極性変調部 60 と、偶数番目ソースラインを駆動するための偶数極性変調部 70 と、外部の制御信号 CON によって出力バッファ部 50 の出力と奇数極性変調部 60 及び偶数極性変調部 70 の出力のうち、一つを選択してピクセルに出力する複数のマルチプレクサ部 80 から構成される。

10

【 0051 】

すなわち、本発明による液晶表示装置のソース駆動回路は従来の液晶表示装置のソース駆動回路の出力バッファ部 50 段までは同一であり、最終出力直前に些かの変形が必要である。ここで、前記マルチプレクサ部 80 は外部の制御信号 CON によって極性変調とグレースケール決定を選択する役割を果たす。

【 0052 】

なお、図 5 に示したように、図 19 のデジタル/アナログ変換部 24 でアナログ変換されたデータに当たる信号の電流を増幅して出力する AMP__H 及び AMP__L から成される出力バッファ部 50 の信号を各々入力されて外部の制御信号によって選択してピクセルに出力する複数の第 1 マルチプレクサ (MUX__A) 部 80 a と、前記第 1 マックス部 80 a の出力信号と奇数極性変調部 60 または偶数極性変調部 70 の信号を各々入力されて外部の制御信号によって一つを選択してピクセルへ出力する複数の第 2 マルチプレクサ (MUX__B) 部 80 b から構成される。

20

【 0053 】

また、図 6 は、図 4 と図 5 の回路をより簡易に構成したものである。すなわち、図 6 に示したように、各カラムごとに、複数の第 1 マルチプレクサ (MUX__A) 部と複数の第 2 マルチプレクサ (MUX__B) 部は、3 個のスイッチに代えることができる。

【 0054 】

図 7 は、図 4 及び図 5 の MUX__B 及び MUX__A を制御する制御信号の波形図であり、図 9 及び図 10 は図 5 の出力バッファ部の増幅器の回路図である。すなわち、図 7 に示したように、CON 信号が “1” であれば極性変調を行い、CON 信号が “0” であればグレースケール決定を行う。ここで、CON は図 4 及び図 5 の MUX__B を制御するクロック信号であり、EO は図 5 の MUX__A を制御するクロック信号である。

30

【 0055 】

図 6 に示した回路は図 8 に示した制御信号によって動作する。図 8 によれば、CON = 1 の場合には極性変調を行い、CON = 0 の場合にはグレースケールを決定する。グレースケールを表示する場合には、EO1 = 0 であるかまたは EO2 = 1 であるかによって、陽の映像信号を表示するか、陽の映像信号を表示するかが決められる。

【 0056 】

なお、図 5 の出力バッファ部 50 の増幅器には AMP__H と AMP__L の 2 種類があり、この二つは回路構造は図 9 は図 10 に示したように VDD 電圧が異なる。すなわち、AMP__H (VDD 電圧が 10V) は陽の映像領域のグレースケールだけを担当し、AMP__L (VDD 電圧が 5V) は陰の映像領域のグレースケールだけを担当する。

40

【 0057 】

また、図 1 の D のように陰の映像領域の信号を伝える時停電圧増幅器を用いることによって高電圧増幅器だけを用いる場合に比べて消費電力を減少させることができる。

【 0058 】

なお、上述のように構成される奇数及び偶数極性変調部の構成をより詳細に説明すると以下の通りである。すなわち、図 11 は各極性変調部を示した回路図である。図 11 のよう

50

に、 V_H で V_L を 5 等分して（一般に N 等分）負荷キャパシタンスを駆動すると消費電力 $P_{stepwise}$ は従来の（式 1）より（式 2）のように $1/5$ （一般に $1/N$ ）で減少することになる。

$$\text{【0059】} \quad P_{stepwise} = C_{LOAD} V_H (V_H - V_L) F / 5 = P_{CONV} / 5$$

ここで、負荷キャパシタ C_{LOAD} は M 個のカラムラインのキャパシタンスの合で、ここで M は 1 個のソースドライバの出力数の $1/2$ である。

【0060】

本発明でドット反転方式のためには極性変調回路（PM）が偶数カラム奇数カラムの極性変調を反対に行わなければならないので、1 個のソース駆動回路には偶数カラムと奇数カラムを分けて担当しなければならないので 2 個の極性変調回路（PM）が必要である。例えば、300 個の出力を有する液晶表示装置のソース駆動回路にこの方式を適用する場合、 M は 150 となる。

10

【0061】

また、図 11 の外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} はソースドライバチップ外部に装着した外部のキャパシタで各々の大きさは M 個の負荷キャパシタ C_{LOAD} の 100 倍程度の大きさを有し、各外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} に電源 V_H と V_L を均等に分割した電圧を各々 $V_L + (4/5)(V_H - V_L)$ 、 $V_L + (3/5)(V_H - V_L)$ 、 $V_L + (2/5)(V_H - V_L)$ 、 $V_L + (1/5)(V_H - V_L)$ が各々充電されている。ここで電源 V_H は V_L より大きい。

20

【0062】

また、各電源 V_H 及び V_L と各外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} は各々外部の信号によってターンオンまたはターンオフされるスイッチ $SW6 - SW1$ によって負荷キャパシタと連結されるように構成される。なお、多段階ソースドライビング方式が実質的な意味を有するようにすると、消費電力低減効率とともに各ステップに所要される時間が十分に短くしなければならないし、回路の大きさが小さくなければならない。

【0063】

上述のように本発明の液晶表示装置のソース駆動回路に用いる極性変調回路を用いた多段階ソース駆動回路の消費電力が減少する理由を説明すると以下の通りである。すなわち、図 11 に示したように、外部のキャパシタ C_{EXT1} 、 C_{EXT2} 、 C_{EXT3} 、 C_{EXT4} には初期に電圧が充電されていると仮定すると、隣の外部キャパシタの間の電圧は全て均等に $1/5$ ほどの差が発する。

30

【0064】

初期に負荷キャパシタに V_L に電圧が充電されていると仮定し、 V_H まで充電しようとする場合、スイッチ $SW1$ から $SW6$ まで順次ターンオンさせる。この時、負荷キャパシタ C_{LOAD} の電圧は V_L から V_H まで段階的に上昇することになり、各段階電圧は当たる外部キャパシタで電荷を供給した結果である。

【0065】

なお、反対に V_H から V_L へ放電される場合を説明すると、充電の場合には反対にスイッチ $SW6$ から $SW1$ まで順次ターンオンされる。ここで各外部キャパシタ C_{LOAD} が V_H まで充電する過程において負荷キャパシタ C_{LOAD} に供給した電荷 $V_L + (1/5)(V_H - V_L)$ を V_L へ放電する過程で戻すことによって各外部のキャパシタが負荷キャパシタ C_{LOAD} に供給した電力は実質的に“0”となる。

40

【0066】

また、電源 V_H による電力供給はスイッチ $SW6$ がターンオンされることによって成されるが、スイッチ $SW6$ がターンオンされる直前に負荷キャパシタ C_{LOAD} には $V_L + (4/5)(V_H - V_L)$ が充電されているので電源 V_H によって実際に充電された電圧は $(1/5)(V_H - V_L)$ であり、消費電力は（式 1）に示したように $1/5$ に減少する

50

。

【 0 0 6 7 】

図 1 2 は本発明によるソース駆動回路を駆動するための極性変調回路の一実施例を示した回路図である。図 1 2 に示したように、奇数極性変調部 6 0 と偶数極性変調部 7 0 は外部キャパシタを共有している。

【 0 0 6 8 】

また、抵抗 (R) 熱は外部キャパシタの初期充電電圧を決定するためのもので、ソース駆動回路の動作初期に S T R 信号によって制御されるスイッチなどがターンオンされると抵抗熱に電流が流れて抵抗による電圧分配が成され、各外部キャパシタには分配された電圧などが貯蔵される。

10

【 0 0 6 9 】

一応、前記外部キャパシタに所望の電圧が貯蔵されると、S T R 信号によって各スイッチなどはターンオフさせることによって抵抗熱に不要とする電流が流れて消費電力が発生することを防止することができる。従って、図 1 1 のように、外部キャパシタなどがチップ外部に設けられるキャパシタが抵抗熱はチップ内部に集積できる。

【 0 0 7 0 】

なお、図に示したように第 1、第 2 シフトレジスタ 9 0 a、9 0 b は多段階ソース駆動回路のスイッチ S W 1 ~ S W 6 などを制御するための信号を発する。スイッチ S W 1 ~ S W 6 などを制御する信号を一々チップ外部から供給するより、第 1、第 2 シフトレジスタ 9 0 a、9 0 b を用いて内部から生成する方が入力信号の数を減らすことができるためである。

20

【 0 0 7 1 】

ここで前記第 1、第 2 シフトレジスタ 9 0 a、9 0 b に入力される信号のうち、C L K 2 は第 1、第 2 シフトレジスタ 9 0 a、9 0 b に用いるクロック信号で、P M S は第 1、第 2 シフトレジスタ 9 0 a、9 0 b のトリガー信号、P M D はシフト方向を決定する信号である。

【 0 0 7 2 】

第 1 シフトレジスタ 9 0 a の P M D 信号が “ 1 ” が入力されると、第 2 シフトレジスタ 9 0 b には “ 0 ” が入力される。第 1 シフトレジスタ 9 0 a または第 2 シフトレジスタ 9 0 b の先端にインバータを構成して互いに反対の信号を入力されることができる。その理由は前記のように奇数極性変調部 6 0 と偶数極性変調部 7 0 は各スイッチのターンオン及びターンオフ順序が反対であるのでスイッチに印加されるターンオン信号の順序も反対にすべきだからである。

30

【 0 0 7 3 】

なお、第 1、第 2 シフトレジスタ 9 0 a、9 0 b を用いる代わりに図 1 3 のように一つのシフトレジスタだけを用いるが、連結順序を反対にすることも可能である。

【 0 0 7 4 】

また、本発明のドット反転方式のタイミングと回路の大きさに対してシミュレーションした結果を説明すると以下の通りである。例えば、本発明による適用対象は 3 0 インチ対角の U X G A パネル及び 1 4 インチ対角 X G A パネルである。ここでは 3 0 インチ対角の U X G A パネルを中心と説明する。

40

【 0 0 7 5 】

現在開発された 3 0 インチ L C D パネルは図 1 4 のように、4 分割駆動によって動作するので、本発明においても 4 分割駆動の仮定のうへ、シミュレーションを行う。前記のように 4 分割駆動をすると、各 4 分割パネルは 1 5 インチ S V G A パネルに当たる。このときのカラムラインは $C = 1 2 8 \text{ p F}$ 、 $R = 2 . 5 \text{ k}$ であるロードで動作し、ラインタイムは $2 2 \mu \text{ s e c}$ である。

【 0 0 7 6 】

ここで、カラムラインの C 及び R 値は典型的なピクセルに対してラパエル (R a p h a e l) 3 D シミュレーションを介して抽出した値である。実際ソースラインは C と R とが分

50

散されて存在するので、図15のように10セグメントに分けたロードモデルを用いる。

【0077】

なお、図11に示したように5ステップ方式を用いると仮定する。また、極性変調に所要される時間を1水平周期(1H)の1/2以下で制限し、余分の時間を増幅器によるグレースケール表示時間に割り当てると仮定すると、XGAパネルはラインタイムが約16 μ secで、SVGAパネルはラインタイムが約22 μ secであるので、許容されたステップ時間は約1.5 μ sec, 2 μ secである。

【0078】

かかるタイミング条件を満たすための図11の各スイッチのトランジスタサイズを表2～表5に亘って整理した。ここで、各スイッチはNMOSTランジスタだけで構成したりNMOSTランジスタとPMOSTランジスタとに分けて構成でき、各トランジスタのチャンネル長さは共通して0.6 μ mである。また、極性変調は2.25～7.75Vの電圧を負荷キャパシタ C_{LOAD} に伝えるためのもので各々スイッチ(NMOSTランジスタ)をオンさせるためには10V, オフさせるためには0Vを印加する。このとき前記スイッチがPMOSTランジスタの場合は反対である。

【0079】

表2は、ステップ時間 = 1.5 μ sec, NMOSTスイッチであるトランジスタの大きさを示したものである。表2に示したように、各スイッチをNMOSTランジスタだけで構成し、SW1, SW2, SW3は400 μ m, SW4, SW5は500 μ m, また一番高い電圧を伝達するSW6は600 μ mの大きさで各々構成する。

【0080】

【表2】

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
大きさ (μ m)	400	400	400	500	500	600

【0081】

表3は、ステップ時間 = 1.5 μ sec, NMOSTとPMOSTスイッチであるトランジスタの大きさを示したものである。表3は、一番高い電圧を伝えるSW6スイッチをPMOSTにした場合である。これは伝えようとする電圧が高いので0Vをオン(ON)信号で印加するのが V_{GS} が大きくなることによって電流伝達に有利である。

【0082】

【表3】

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
タイプ	N	N	N	N	N	P
大きさ (μ m)	400	400	400	500	500	500

【0083】

すなわち、表3に示したように、SW6スイッチでPMOSTランジスタを用いるのでNMOSTランジスタを用いるのよりトランジスタ大きさ面から多少有利であることが分か

る。

【0084】

表4は、ステップ時間 = $2.0 \mu\text{sec}$ 、NMOSスイッチであるトランジスタの大きさを示したものである。

【0085】

【表4】

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
大きさ (μm)	100	100	100	200	200	250

10

【0086】

表5は、ステップ時間 = $2.0 \mu\text{sec}$ 、NMOSとPMOSスイッチの場合のトランジスタの大きさを示したものである。

【0087】

【表5】

スイッチ	SW1	SW2	SW3	SW4	SW5	SW6
タイプ	N	N	N	N	N	P
大きさ (μm)	100	100	100	200	200	250

20

【0088】

上述のように本発明による液晶表示装置のソース駆動回路による電力消費シミュレーション結果を説明すると以下の通りである。すなわち、電力消費シミュレーション条件を表6に整理した。

【0089】

【表6】

対角	解像度	フレーム周波数	ロード	その他
30インチ	UXGA	75	$C = 255 \text{ pF}$ $R = 5 \text{ k}\Omega$	4分割駆動

30

40

【0090】

ここで、表示イメージ別に提案したステップソースドライビングAC電力消費シミュレーションを行った結果と既存の高電圧駆動方式におけるAC電力消費シミュレーション結果を比較する。

50

【 0 0 9 1 】

まず、オールブラックイメージはパネル全体がブラックイメージ表示するときの駆動波形及びコントロール信号を図 1 6 に示し、オールホワイトイメージ表示のための駆動波形及びコントロール信号を図 1 7 に示した。図 1 6 及び図 1 7 は、表 6 に示した仮定の上、H S P I C E シミュレーションを行った結果である。

【 0 0 9 2 】

すなわち、制御信号 CON によって極性変調またはグレースケール決定になっている。なお、表 7、表 8、表 9 に各々電流及び消費電力を整理した。ここで表 7 の V D D H 及び V D D L は図 9 ~ 図 1 0 に示した A M P _ H 及び A M P _ L の電源電圧である。表 7 はオールブラックイメージ表示のための消費電力比較を示しており、表 8 はオールホワイトイメ 10
 ージ表示のための消費電力比較を示しており、表 9 はオール中間グレーイメージ表示のための消費電力比較を示している。

【 0 0 9 3 】

【表 7】

電 源	多段階ソースドライビング				従来の高電 圧駆動
	VDDH	VDDL	VH	VL	VDD
電圧 (V)	1 0	5	7. 7 5	2. 2 5	1 0
AC 電流の平均値 (μ A)	3. 8	0	3. 2	3. 6	2 3. 1
AC 消費電力 (mW)	9 1. 2	0	5 9. 5	1 9. 4	5 5 4. 4
4 分割パネルの AC 消 費電力 (mW)	1 7 0. 1				5 5 4. 4
全体パネルの AC 消費 電力 (mW)	6 8 0. 4				2 2 1 8

【 0 0 9 4 】

【表 8】

	多段階ソースドライビング				従来の高電圧駆動	
電 源	VDDH	VDDL	VH	VL	VDD	10
電圧 (V)	10	5	7.75	2.25	10	
AC電流の平均値 (μ A)	0	3.6	6.9	0	8.7	20
AC消費電力 (mW)	0	43.2	128.3	0	208.8	
4分割パネルのAC消費電力 (mW)	171.5				208.8	30

【0095】

【表9】

	多段階ソースドライビング				従来の高 電圧駆動
電 源	VDDH	VDDL	VH	VL	VDD
電圧 (V)	10	5	7.75	2.25	10
AC電流の平均値 (μ A)	0	0	3.2	0	16.0
AC消費電力 (mW)	0	0	59.5	0	384
4分割パネルのAC消 費電力 (mW)	59.5				384
全体パネルのAC消費 電力 (mW)	238				1536

10

20

30

40

【0096】

以上、添付図面を参照しながら本発明にかかる液晶表示装置のソース駆動回路及びソース駆動方法の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0097】

【発明の効果】

50

以上説明したように、本発明による液晶表示装置のソース駆動回路及び駆動方法には以下のような効果がある。すなわち、多段階ソース駆動方式では電圧スイング幅が大きい極性変調は多段階電荷を介した電荷リカバリ方式を用いて消費電力を減少させ、増幅器はグレースケール表示に必要とする程度の消費電力だけを供給させることによって駆動消費電力を減らすことができる。

【図面の簡単な説明】

【図 1】本発明によるドット反転方式によりソース駆動回路の出力波形図。

【図 2】多段階ソースドライビング方式のオールブラックイメージの駆動波形図。

【図 3】多段階ソースドライビング方式のオールホワイトイメージの駆動波形図。

【図 4】本発明による液晶表示装置のソース駆動回路を示す構成図。

10

【図 5】本発明による液晶表示装置のソース駆動回路を示す構成図。

【図 6】本発明による液晶表示装置のソース駆動回路を示す構成図。

【図 7】図 4、図 5 の M U X _ _ A 及び M U X _ _ B を制御する制御信号の波形図。

【図 8】図 4、図 5 の M U X _ _ A 及び M U X _ _ B を制御する制御信号の波形図。

【図 9】図 5 の出力バッファ部の増幅器の回路図。

【図 10】図 5 の出力バッファ部の増幅器の回路図。

【図 11】各極性変調部を示した回路図。

【図 12】本発明によるソース駆動回路を駆動するための極性変調回路の一実施例を示す回路図。

【図 13】本発明によるソース駆動回路を駆動するための極性変調回路の他の実施例を示す回路図。

20

【図 14】30 インチ対角の U X G A パネル。

【図 15】10 セグメントに分けたロードモデル。

【図 16】オールブラックイメージの表示のための駆動波形及びコントロール信号の波形図。

【図 17】オールホワイトイメージの表示のための駆動波形及びコントロール信号の波形図。

【図 18】従来の薄膜トランジスタ液晶表示装置 (T F T - L C D) を示した構成図。

【図 19】従来の液晶表示装置によるソース駆動回路の構成図。

【図 20】従来の液晶表示装置によるゲート駆動回路の構成図。

30

【図 21】図 18 の画像信号の電圧範囲を示した図。

【図 22】薄膜トランジスタ液晶表示装置 (T F T - L C D) のフレーム反転駆動方式を示した図。

【図 23】薄膜トランジスタ液晶表示装置 (T F T - L C D) のライン反転駆動方式を示した図。

【図 24】薄膜トランジスタ液晶表示装置 (T F T - L C D) のカラム反転駆動方式を示した図。

【図 25】薄膜トランジスタ液晶表示装置 (T F T - L C D) のドット反転駆動方式を示した図。

【図 26】従来のドット反転方式によるソース駆動回路の出力波形図。

40

【図 27】キャパシタンス負荷を駆動するための一般の C M O S 回路を示した回路図。

【符号の説明】

50 : 出力バッファ部

60 : 奇数極性変調部

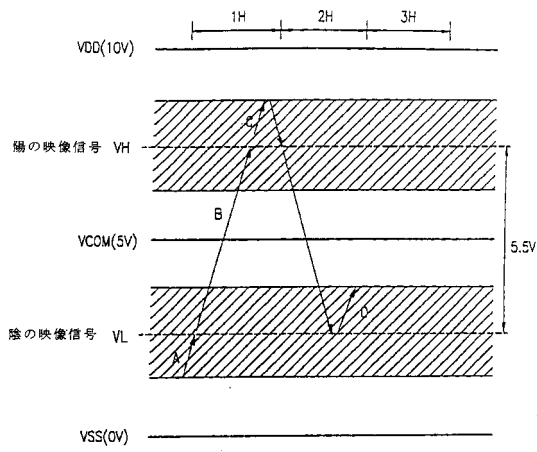
70 : 偶数極性変調部

80 : マルチプレクサ部

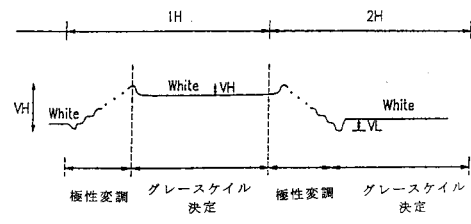
90 a , 90 b : 第 1 , 第 2 シフトレジスタ

100 : インバータ

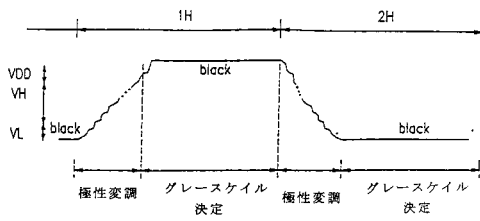
【 図 1 】



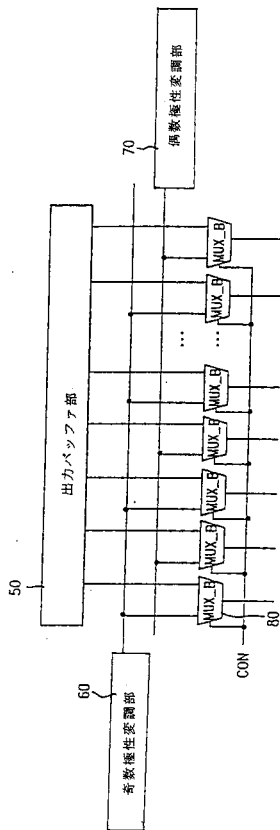
【 図 3 】



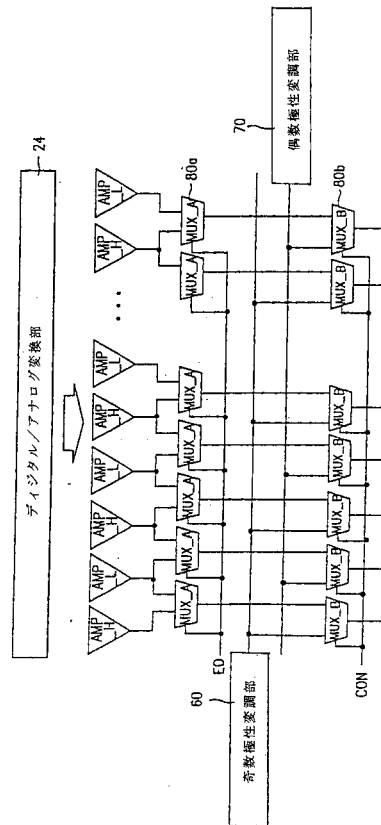
【 図 2 】



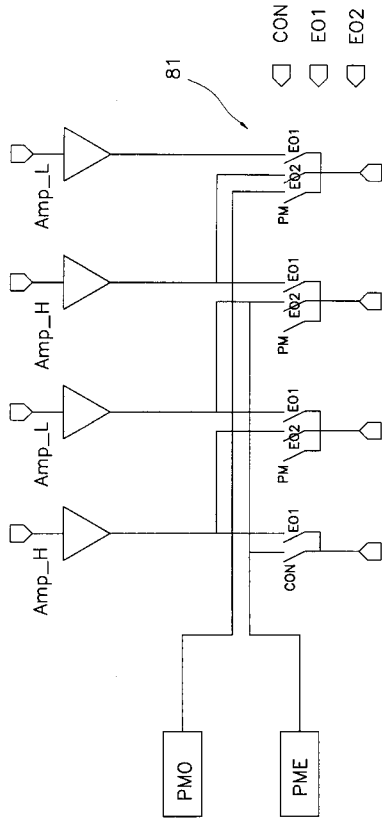
【 図 4 】



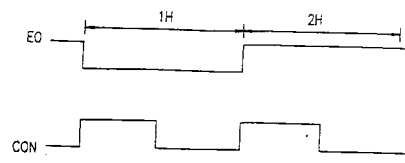
【 図 5 】



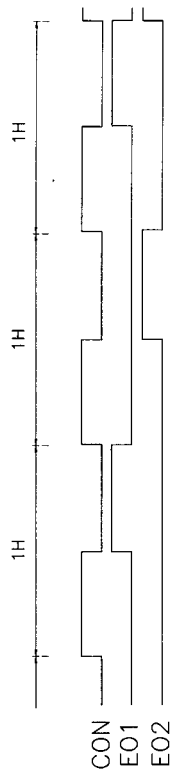
【 図 6 】



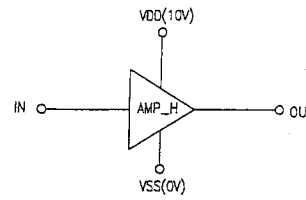
【 図 7 】



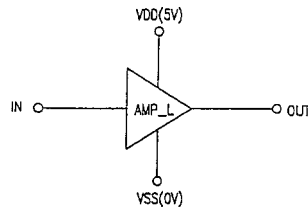
【 図 8 】



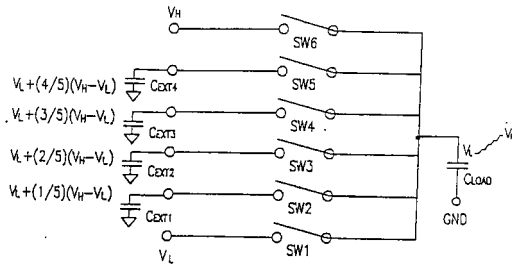
【 図 9 】



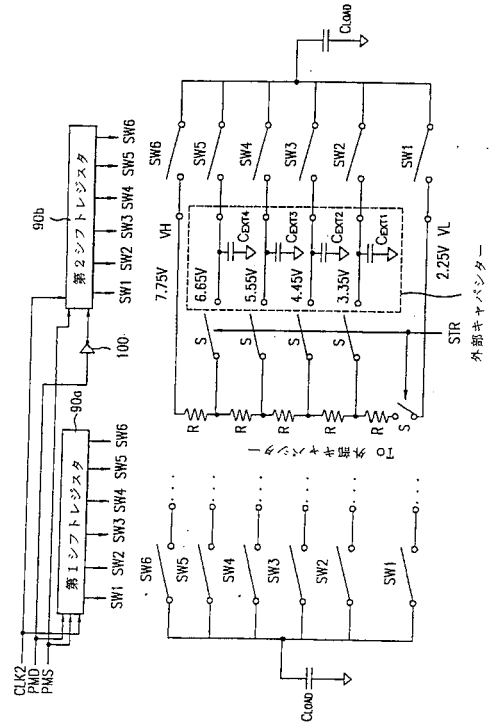
【 図 10 】



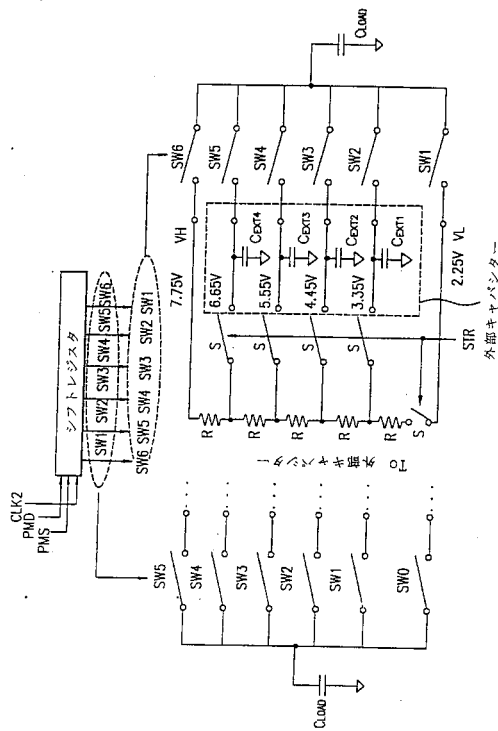
【 図 1 1 】



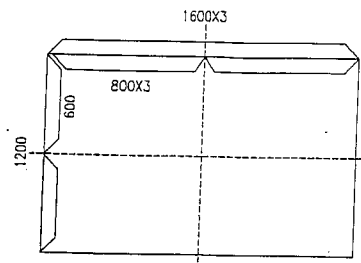
【 図 1 2 】



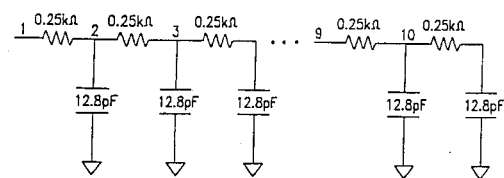
【 図 1 3 】



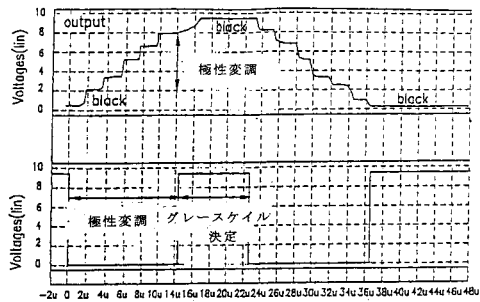
【 図 1 4 】



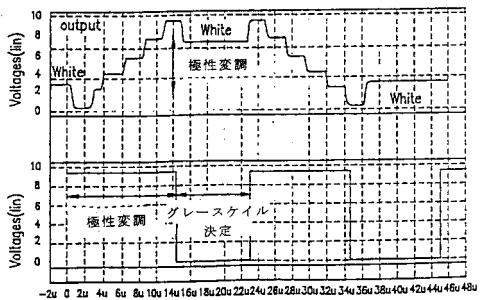
【 図 1 5 】



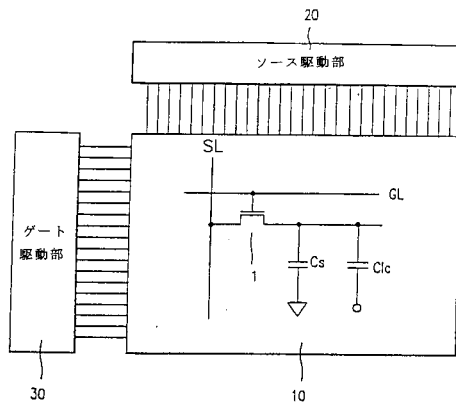
【 図 16 】



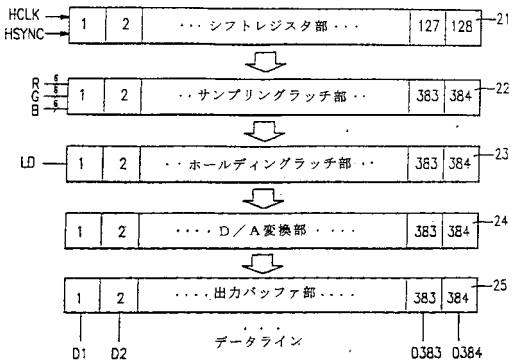
【 図 17 】



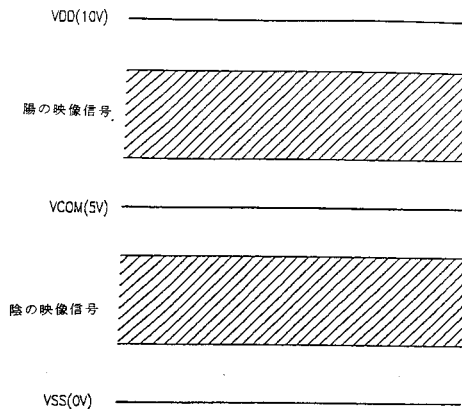
【 図 18 】



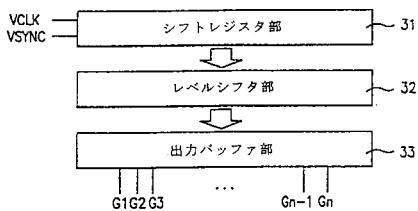
【 図 19 】



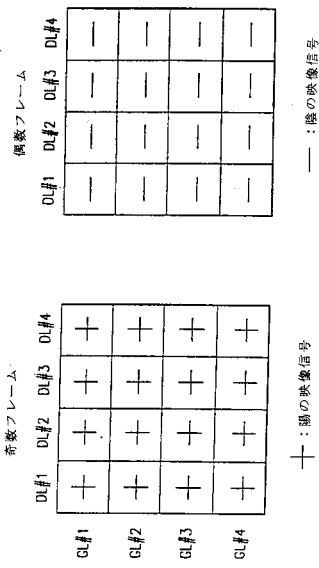
【 図 21 】



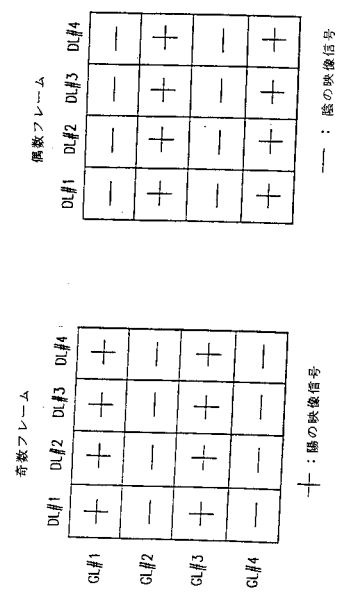
【 図 20 】



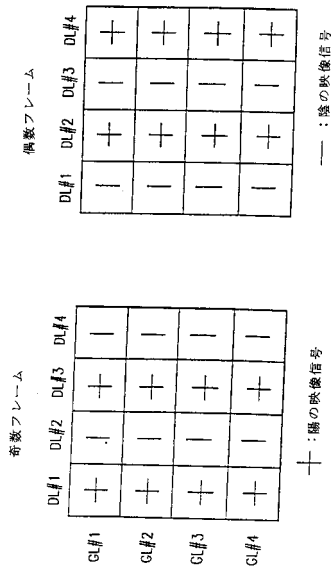
【 図 2 2 】



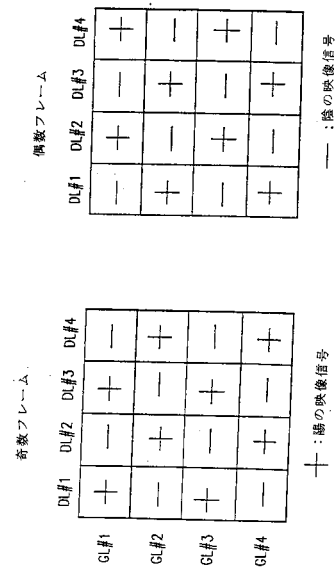
【 図 2 3 】



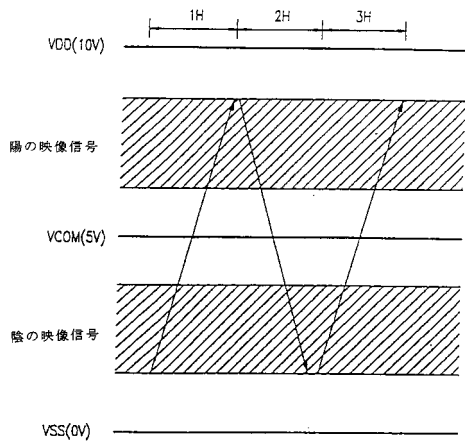
【 図 2 4 】



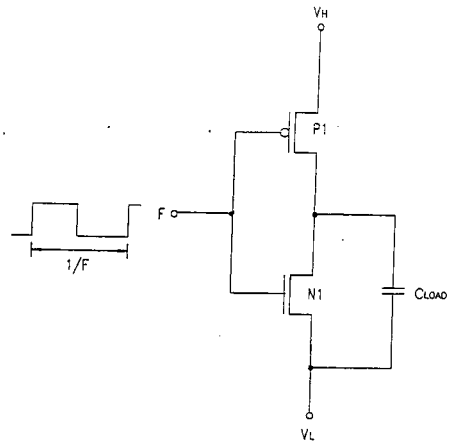
【 図 2 5 】



【 図 2 6 】



【 図 2 7 】



フロントページの続き

審査官 西島 篤宏

- (56)参考文献 特開平10 - 222130 (JP, A)
特表平09 - 504389 (JP, A)
国際公開第99 / 012072 (WO, A1)
特開平09 - 033891 (JP, A)
特開2001 - 022329 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G09G 3/00- 3/38
G02F 1/133 505-580

专利名称(译)	液晶显示装置的源极驱动电路和源极驱动方法		
公开(公告)号	JP3615130B2	公开(公告)日	2005-01-26
申请号	JP2000236912	申请日	2000-08-04
[标]申请(专利权)人(译)	NTT高科技研究		
申请(专利权)人(译)	NTT技术研究公司		
当前申请(专利权)人(译)	NTT技术研究公司		
[标]发明人	權五敬		
发明人	權五敬		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/2011 G09G3/3614 G09G3/3677 G09G3/3688 G09G2310/0248 G09G2310/0297 G09G2320/0247 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.B G09G3/20.623.R H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA51 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/ND39 2H093/ND49 2H193/ZA04 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC16 2H193/ZD21 5C006/AA01 5C006/AA16 5C006/AC26 5C006/AF41 5C006/AF81 5C006/AF82 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF11 5C006/BF24 5C006/BF25 5C006/FA47 5C006/FA56 5C058/AA06 5C058/BA02 5C058/BA04 5C058/BA07 5C058/BA09 5C058/BA26 5C058/BB06 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	井上清一		
优先权	1999P32152 1999-08-05 KR		
其他公开文献	JP2001100713A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够降低电力消耗的液晶显示装置的源极驱动电路及其驱动方法。解决方案：源驱动电路包括极化调制部分60和70，它们进行源极线的极性调制，以及多个多路复用器部分80，它们选择输出缓冲部分50的一个输出和外部调制部分的输出。控制信号CON并将所选输出输出到像素。视频信号的电压分为极性调制和灰度确定两个阶段并应用。通过逐步充电和放电来执行极性调制。

電圧変動	A	B	C	D
電力供給	極性変調VL	極性変調VH	増幅器	増幅器