

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-107590

(P2010-107590A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	2H193
G02F 1/133 (2006.01)	G09G 3/20 624B	5C006
	G09G 3/20 641C	5C080
	G09G 3/20 623F	
審査請求 有 請求項の数 8 O L (全 9 頁) 最終頁に続く		

(21) 出願番号	特願2008-277228 (P2008-277228)	(71) 出願人	506290958
(22) 出願日	平成20年10月28日 (2008.10.28)		ティーピーオー ディスプレイズ コーポ レーション 台湾, ミアオ リ カウンティ, チュナン 350, サイエンスーベースト インダ ストリアル パーク, コォ ジュン ロー ド 12番
		(74) 代理人	100070150 弁理士 伊東 忠彦
		(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橘谷 英俊
		(74) 代理人	100107582 弁理士 関根 毅
			最終頁に続く

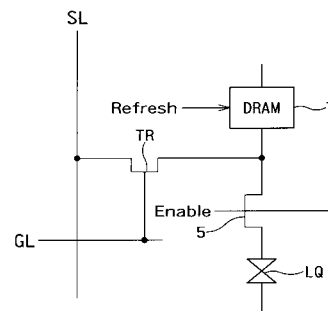
(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】消費電力を低下させ、画質を向上させたダイナミックメモリ内蔵の液晶表示装置を提供する。

【解決手段】複数のソース線と複数のゲート線の交点に設けられた、周期的にリフレッシュが行われて出力状態が反転する少なくとも一つのダイナミックメモリセル(DRAM)と、このダイナミックメモリセルのデジタル出力により透過率が制御される液晶素子(LQ)とを画素単位として、該画素単位がマトリクス状に配設されたアクティブマトリクス型液晶表示装置において、前記ダイナミックメモリセルの出力と前記液晶素子との間に、これらの接続を制御信号(ENABLE)により制御可能なスイッチ素子(5)を備えたことを特徴とするアクティブマトリクス型液晶表示装置が提供される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数のソース線と複数のゲート線の交点に設けられた、周期的にリフレッシュが行われて出力状態が反転する少なくとも一つのダイナミックメモリセルと、このダイナミックメモリセルのデジタル出力により透過率が制御される液晶素子とを画素単位として、該画素単位がマトリクス状に配設されたアクティブマトリクス型液晶表示装置において、

前記ダイナミックメモリセルの出力と前記液晶素子との間に、これらの接続を制御信号により制御可能なスイッチ素子を備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

前記スイッチ素子には、前記リフレッシュが周期的に 1 回または短期間で 2 回行われる時点の直前にディスエーブル状態となり、リフレッシュ直後にイネーブル状態となるように制御信号が与えられ、

前記短期間で 2 回行われるリフレッシュのリフレッシュ周波数は、前記 1 回のリフレッシュにより液晶素子に印加される電圧極性を反転させる交番周波数よりも高いことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】

前記 2 回のリフレッシュが行われる期間はリフレッシュが行われない期間の 50 パーセント未満であることを特徴とする請求項 2 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】

前記ダイナミックメモリセルとスイッチ素子との間に、前記ダイナミックメモリセルのデジタル出力を制御信号としてアナログ電圧を出力する D/A 変換器をさらに備えたことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】

前記画素単位には、複数のダイナミックメモリセルと、この複数のダイナミックメモリセルに対して多ビットデータを前記ソース線より供給するデマルチプレクサをさらに備えたことを特徴とする請求項 4 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】

前記 D/A 変換器は前記多ビットにより複数の階調電圧を前記液晶素子に送出するものであることを特徴とする請求項 5 に記載のアクティブマトリクス型液晶表示装置。

【請求項 7】

デジタルデータを転送するソース線と、

前記ソース線に接続され、記憶されたデジタルデータをある周波数でリフレッシュし、その出力状態はデータリフレッシュごとに反転されるダイナミックメモリセルと、液晶素子に接続される画素電極と

前記ダイナミックメモリセル前記画素電極との間に設けられ、前記リフレッシュのタイミングで遮断されるイネーブルスイッチとを備え、

前記ダイナミックメモリセルのリフレッシュは通常時は短期間で 2 回行われ、液晶素子に印加される前記アナログ電圧の極性交番時には 1 回のみ行われ、ダイナミックメモリセルのリフレッシュ周波数より前記アナログ電圧の極性交番の周波数は低いことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 8】

前記ダイナミックメモリセルと前記イネーブルスイッチとの間に設けられ、前記ダイナミックメモリの出力をアナログ電圧に変換して、前記画素電極に対して出力する D/A 変換器をさらに備えたことを特徴とする請求項 7 に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明はアクティブマトリクス型表示装置にかかり、特にメモリを画素内に有する表示装置に関する。

【従来の技術】

【0002】

アクティブマトリクス型表示装置には、ソース線とゲート線の交点にマトリクス状に配設された画素内に表示素子と、この表示素子に供給されるデータを保持するメモリを有するものがある。

【0003】

このメモリとしてはスタティック型もダイナミック型のものも使用することができるが、メモリ部の占有面積が少なくすむことから、ダイナミック型が多く使用されている。

10

【0004】

また、画素内のメモリは従来1ビットであったものが、多階調に対応してグレースケールを美しく表示するため多ビット化、例えば4ビット化が進んでおり、4ビット化するには後述するようにメモリが4つ必要であるが、以下の説明では、まず、メモリが1ビットの単純な形態のものから説明する。

【0005】

図1は、従来のダイナミックメモリを備えた液晶表示装置の単純な例の1画素分を示す回路図であり、特許文献1に記載された構成を簡略化したものである。

【0006】

ゲート線GLにより制御される制御トランジスタTRを介してソース線SLからデータが液晶素子LQに供給され、液晶素子LQの他端は共通電極Commonに接続されている。制御トランジスタTRと液晶素子との接続点にはDRAMセル1が接続されており、このDRAMセルは液晶素子に与えられるデータを記憶する。このため、画像が変化しないような場合にはこの記憶データを用いて液晶の透過率を同じ状態に維持することができる。

20

【0007】

DRAMについては、良く知られているように、記憶データを維持するために、リフレッシュを定期的に行う必要があるが、占有面積が少なく開口部を十分に確保することができ、全体的な消費電力も少ないという利点があるため、液晶等のアクティブマトリクス表示装置に使用するのには最適である。

30

【0008】

ところで、液晶の場合には、液晶の電気化学的な理由により、同じ電圧が印加された状態が続くと液晶分子の動きが悪くなり、いわゆる画像の焼き付き現象が生じることから、液晶に印加される電圧の周期的な極性反転が必要である。

【0009】

図2はリフレッシュによるDRAM出力を利用して液晶の極性を交番させることを可能にした従来の構成を示す概略回路図である。

【0010】

この構成では、図1と同様にソース線SLから制御トランジスタを介してDRAMセル1にデータが供給され、DRAMセル1の出力点2に現れた信号は、2つのnチャネルTFTおよびpチャネルTFTのゲートに与えられ、それぞれドレインが共通接続されて液晶表示素子に接続され、それぞれのソースには参照電圧VrefAおよびその反転電圧である参照電圧VrefBが印加されるようになっている。これらの2つのトランジスタはD/A変換器3を構成する。

40

【0011】

このような構成では、DRAMセル1へのリフレッシュ信号の入力によりDRAM出力電圧が変化するとnチャネル型トランジスタnTFTおよびpチャネル型トランジスタpTFTが参照電圧VrefAと参照電圧VrefBとの関係で決まる電圧が画素電極4に現れ、液晶表示素子はその電圧に応じた透過率を示すとともに、リフレッシュ毎に反転するDRAM出力により、液晶に印加される電圧極性も反転される。

50

【 0 0 1 2 】

すなわち、D R A M出力がハイであり、n T F Tがオンとなっているときには、画素電極電圧はVrefAとなるが、D R A Mのリフレッシュが行われると、D R A Mセルの出力状態はロウレベルに変化するが、同時にn T F Tはオフとなり、p T F Tはオンとなるため、画素電極の電圧はVrefBとなる。

【特許文献 1】国際公開W O 0 4 0 9 0 8 5 4 号公報（特表 2 0 0 6 - 5 2 3 3 2 3 号公報）

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 1 3 】

しかしながら、D R A Mのリフレッシュ周波数は記憶内容を維持するためのものであるのに対し、画素が必要とするリフレッシュ、すなわち極性反転は、焼き付きを防止するためのものであるから、D R A Mのリフレッシュほど頻繁に行う必要はなく、両者に必要な周波数とは一致しない。

このため、D R A Mのリフレッシュと同じタイミングで液晶の極性反転を行えば画素回路は不必要な電力を消費し、D R A Mを用いて低消費電力化を図ったメリットが生かせないという問題がある。

【 0 0 1 4 】

そこで、本発明は、リフレッシュの必要なメモリ素子を回路内に有した場合に、全体としての消費電力を低減させることのできるアクティブマトリクス型表示装置を提供することを目的とする。

【 課 題 を 解 決 す る た め の 手 段 】

【 0 0 1 5 】

本発明によれば、

複数のソース線と複数のゲート線の交点に設けられた、周期的にリフレッシュが行われて出力状態が反転する少なくとも一つのダイナミックメモリセルと、このダイナミックメモリセルのデジタル出力により透過率が制御される液晶素子とを画素単位として、該画素単位がマトリクス状に配設されたアクティブマトリクス型液晶表示装置において、

前記ダイナミックメモリセルの出力と前記液晶素子との間に、これらの接続を制御信号により制御可能なスイッチ素子を備えたことを特徴とするアクティブマトリクス型液晶表示装置が提供される。

【 0 0 1 6 】

前記スイッチ素子には、前記リフレッシュが周期的に 1 回または短期間で 2 回行われる時点の直前にディスエーブル状態となり、直後にイネーブル状態となるように制御信号が与えられ、前記短期間で 2 回行われるリフレッシュのリフレッシュ周波数は、前記 1 回のリフレッシュにより液晶素子に印加される電圧極性を反転させる交番周波数よりも高いことが好ましい。

【 0 0 1 7 】

また、ダイナミックメモリセルとスイッチ素子との間に、ダイナミックメモリセルのデジタル出力を制御信号としてアナログ電圧を出力する D / A 変換器をさらに備えることが好ましい。

【 発 明 の 効 果 】

【 0 0 1 8 】

本発明にかかるアクティブマトリクス型表示装置では、内蔵 D R A M出力と液晶表示素子との間にスイッチを設け、D R A Mのリフレッシュを利用して、それより低い周波数で液晶表示素子への印加電圧極性の交番を行っているので、消費電力を削減できる。

【 発 明 の 実 施 の 形 態 】

【 0 0 1 9 】

以下、図面を参照して本発明の実施例を説明するが、本発明はこれらに限定されるものではない。

10

20

30

40

50

【 0 0 2 0 】

図 3 は本発明の一実施例にかかるアクティブマトリクス型液晶表示装置の 1 画素分の構成を示すブロック図であり、図 1 に対応する。

【 0 0 2 1 】

この実施例では、D R A M 1 の出力と液晶素子 L Q の間に制御信号 E N A B L E で開閉制御されるスイッチ 5 が設けられている。

【 0 0 2 2 】

E N A B L E 信号はハイレベルではイネーブル状態でトランジスタスイッチ 5 は導通し、ロウレベルではディスエーブル状態でトランジスタスイッチ 5 は非導通である。

【 0 0 2 3 】

このため、ディスエーブル状態では D R A M 出力が液晶素子に印加されることを阻止できる。

【 0 0 2 4 】

また、リフレッシュタイミングに同期させて D R A M 1 の出力自体の極性を変化させることにより、液晶表示素子への印加電圧極性の交番を行うことができる。

【 0 0 2 5 】

図 4 は本発明の他の実施例にかかるアクティブマトリクス型液晶表示装置の 1 画素分の構成を示すブロック図であり、対応する図 2 と同じ部分には同じ参照番号を付している。

【 0 0 2 6 】

図 2 の場合と同様に、D R A M セル 1 の出力点 2 に現れた信号が、ソースに参照電圧 V_{refA} およびその反転電圧である参照電圧 V_{refB} がそれぞれ印加されるようになっている 2 つの n チャネル T F T および p チャネル T F T のゲートに与えられ、ドレイン共通接続点である D A C 出力点 6 と液晶表示素子 L Q 間には E N A B L E 信号がゲートに接続されたトランジスタスイッチ 5 が接続されている。n チャネル T F T および p チャネル T F T は D / A 変換器を構成する。

【 0 0 2 7 】

E N A B L E 信号はハイレベルではイネーブル状態でトランジスタスイッチ 5 は導通し、ロウレベルではディスエーブル状態でトランジスタスイッチ 5 は非導通である。したがって、E N A B L E 信号をロウレベルとしておけば、D R A M セル 1 へのリフレッシュ信号の入力により D R A M 出力電圧が変化し、n チャネル型トランジスタ n T F T および p チャネル型トランジスタ p T F T が参照電圧 V_{refA} と参照電圧 V_{refB} との関係で決まる電圧が D A C 出力点 6 に現れても、液晶表示素子 L Q には印加されない。

【 0 0 2 8 】

一方、E N A B L E 信号をハイレベルにすると、イネーブル状態であり、トランジスタスイッチ 5 は導通してドレイン共通接続点 6 における電位が画素電極 4 を通じて液晶表示素子 L Q に印加され、液晶表示素子 L Q はその電圧に応じた透過率を示す。

【 0 0 2 9 】

以上のような構成で、D R A M のリフレッシュとイネーブルとの関係について、まず比較例を示す。

【 0 0 3 0 】

図 5 はこのような比較例を示すタイミングチャートであり、図 2 の従来例の動作を示している。この例では D R A M のリフレッシュによる D R A M 出力の変化が D A 変換器の出力変化となり、これにより画素電極のレベル変化は大きく、最終的な画素電極レベルと共通電極レベルの差にもレベル変化が現れてしまう。

【 0 0 3 1 】

図 6 は、このような従来の問題を解決した、図 3 の構成を用いて液晶表示素子へ印加される電圧極性の反転を可能にした動作を説明するタイミングチャートである。

【 0 0 3 2 】

最上段に示す D R A M のリフレッシュは非常に短い間隔、例えば $10 \mu s$ で 2 回行われてもとの電位に戻るようにしたものが周期的、例えば $100 ms$ の周期で繰り返されるが

10

20

30

40

50

、液晶の極性反転を行うときだけ 1 回のみリフレッシュが行われる。

【0033】

2 段目の D A C 出力はほぼ D R A M 出力信号の反転信号である。

【0034】

3 段目の E N A B L E 信号は D R A M リフレッシュに連動しているが、1 回目のリフレッシュに先だってロウレベル、すなわちディスエーブルとなり、2 回目のリフレッシュの後にハイレベル、すなわちイネーブルの状態に戻るように変化する。

【0035】

4 段目の画素電極の電位を見ると、本来 / E N A B L E 信号がロウレベルのときに D A C 出力に変化があれば、画素電極に伝達され、電位の変化が生ずるのであるが、上述したように 2 回のリフレッシュが非常に短い間隔、例えば $10\mu s$ で行われているので、ごくわずかな変動が見られるだけで全体としては変化がない。液晶の極性反転を行うためにリフレッシュが 1 回のみ行われたタイミングでは、D A C 出力が変化して持続するため、画素電極での電位は大きく変化する。

【0036】

5 段目の共通電極電位もリフレッシュが 1 回のみときに同期させて交番される。

【0037】

この結果、6 段目の（画素電極電位 - 共通電極電位）は接地電位（G N D）に対して極性が反転する電位変化が得られている。

【0038】

また、従来は、D R A M のリフレッシュは一般にほぼデューティ比 50 パーセントのパルスにより行われるが、本願発明においては、通常のリフレッシュは非常に短い間隔で 2 回行い、極性反転のためにはリフレッシュパルスを 1 つだけ与えるようにしている。

【0039】

そして、イネーブルスイッチはリフレッシュのためのパルスがハイレベルに変化する前後にディスエーブル状態となり、短い時間の間に 2 回の D R A M リフレッシュを行ってリフレッシュパルスがロウレベルに戻った後にイネーブル状態になるようにしており、液晶の極性反転を行うときにはリフレッシュパルスがロウレベルになる前にディスエーブル状態としている。

【0040】

したがって、リフレッシュの後すぐに D R A M 出力の出力極性は同じ状態に戻るので、リフレッシュ信号はほとんどの期間の間、同じレベルに保持され、この期間内ではスイッチはディスエーブル状態であるので、画素電極のレベル変動をほとんど招かない。また、わずかな変動があったとしても、グレースケールの中央部の場合はほとんど視認できない程度であり、画質が向上する。

【0041】

このように、本実施例によれば、イネーブルスイッチを設けることにより、リフレッシュと液晶の電位制御とを切り離し、イネーブル時にのみリフレッシュのための信号を液晶の極性反転にも用いている。すなわち、リフレッシュタイミング時に画素電極電位の変動を招かない程度にリフレッシュを短期間で 2 回行い、液晶極性を変化させるときにはリフレッシュを 1 回のみ行うようして、リフレッシュ信号を液晶極性の反転にも用いている。

【0042】

液晶の極性反転は例えば 1 秒ごとに行えば十分であるので、この例の場合、極性反転はリフレッシュの 10 回に 1 回のみ行われることになる。したがって、液晶のリフレッシュである極性反転を D R A M のリフレッシュよりもりはるかに低い周波数で行うことが可能となり、電力消費を大きく減少させることが可能となる。

【0043】

なお、D / A 変換器を備えない図 3 に示した実施例でもリフレッシュパルスとエネーブル信号との関係は同じである。ただし、D / A 変換器によって画素電極のレベル変化を出力することができないため、D R A M 出力自体のレベル変化（図 6 の 1 段目）を利用して

10

20

30

40

50

極性反転を行うことになる。

【 0 0 4 4 】

図 7 は D R A M を用いた多階調に対応できるアクティブマトリクス型液晶表示装置の一実施例の概略構成を示すブロック図である。

【 0 0 4 5 】

ソース線 S L にはデマルチプレクサが接続されている。ソース線に送出されるデータが 4 ビット情報である場合、デマルチプレクサは 1 : 4 型のものであるので、4 つのデータを取り出し、それぞれ対応する D R A M 1 2 に記憶される。すなわち、この D R A M 1 2 は 4 ビットのものである。

【 0 0 4 6 】

この 4 ビットを L S B 2 ビットと M S B 2 ビットずつに分けて処理を行うことになる。

【 0 0 4 7 】

図 8 は 2 ビットのデータで 4 つの階調電圧 V 1 - V 4 を取り出すための D A C の構成を説明する回路図である。各階調電圧に対してそれぞれ 2 つずつのトランジスタが直列接続され、上側のトランジスタのゲートはデータ D 1 により、下側トランジスタのゲートはデータ D 2 により組み合わせによって一つのみが選択されるようになっている。そしてこのようにして選択された階調電圧が液晶素子に印加されることになる。実際にはこのような電圧の階調と面積階調の組み合わせにより所望の階調を得ることができる。

【 0 0 4 8 】

以上の説明は一例であって、当業者が通常行う変形、置換などは本発明の範囲である。

【図面の簡単な説明】

【 0 0 4 9 】

【図 1】従来のダイナミックメモリを備えた液晶表示装置の 1 画素分の構成を示す概略回路図である。

【図 2】リフレッシュによる D R A M 出力を利用して液晶の極性を交番させることを可能にした従来の構成を示す概略回路図である。

【図 3】本発明にかかるアクティブマトリクス型液晶表示装置の一実施例の 1 画素分の構成を示すブロック図である。

【図 4】本発明にかかるアクティブマトリクス型液晶表示装置の他の実施例の 1 画素分の構成を示すブロック図である。

【図 5】D R A M のリフレッシュとイネーブルスイッチとの関係について、図 2 にかかる比較例を示す動作波形図である。

【図 6】図 4 の構成を用いて液晶表示素子へ印加される電圧極性の反転を可能にした動作を説明する動作波形図である。

【図 7】D R A M を用いた多階調に対応できるアクティブマトリクス型液晶表示装置の一実施例の概略構成を示すブロック図である。

【図 8】2 ビットのデータで 4 つの階調電圧 V 1 - V 4 を取り出すための D A C の構成を説明する回路図である。

【符号の説明】

【 0 0 5 0 】

- 1 D R A M
- 2 D R A M 出力点
- 3 D / A 変換器
- 4 画素電極
- 5 イネーブルスイッチ
- 1 1 デマルチプレクサ
- 1 2 D R A M
- L Q 液晶素子
- S L ソース線

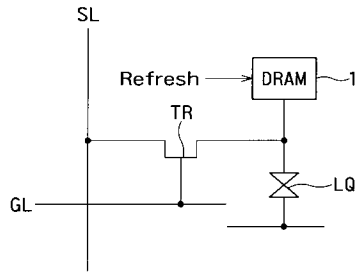
10

20

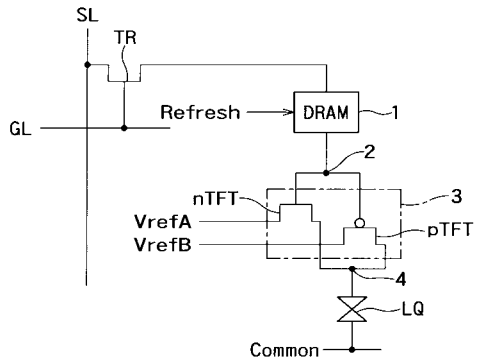
30

40

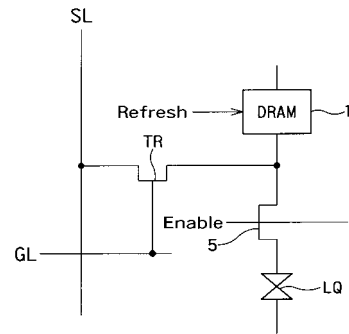
【図 1】



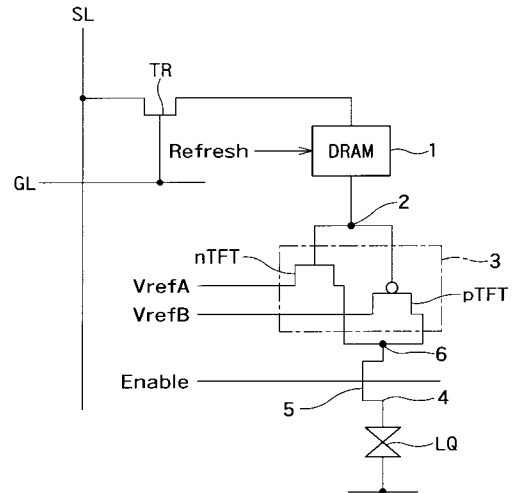
【図 2】



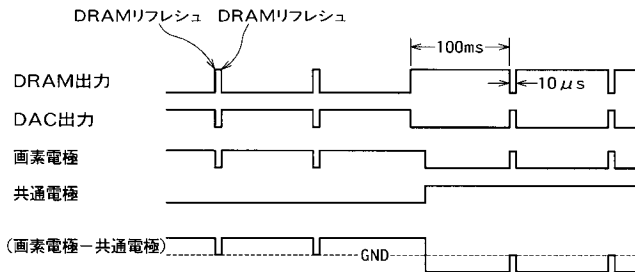
【図 3】



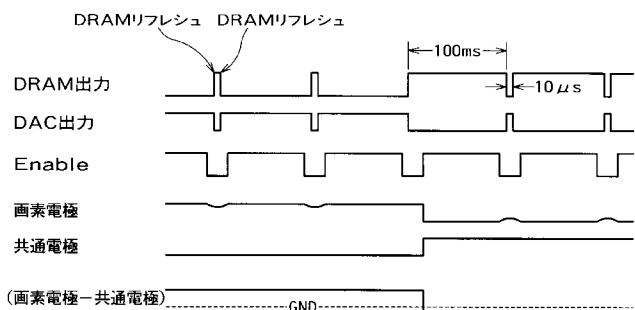
【図 4】



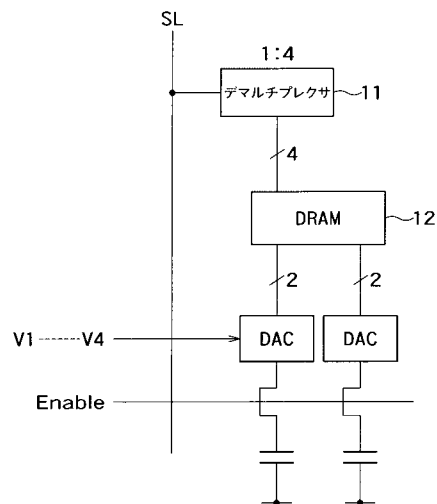
【図 5】



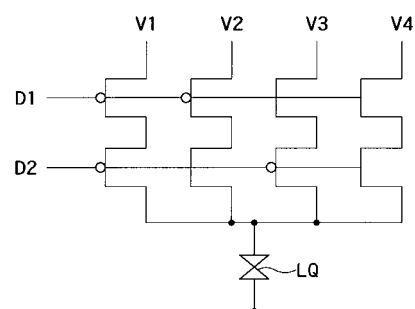
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 4 C
	G 0 9 G 3/20	6 3 1 Z
	G 0 2 F 1/133	5 5 0

(74)代理人 100112793

弁理士 高橋 佳大

(72)発明者 山 下 佳大朗

兵庫県神戸市西区高塚台4丁目3番地の1 TPOディスプレイズジャパン株式会社内

Fターム(参考) 2H093 NA16 NA53 NC03 NC18 NC21 NC28 NC34 NC40 ND06 ND39

NH16

2H193 ZA04 ZD23 ZF03 ZF59

5C006 AA16 AC25 AF01 AF82 BF02 FA47

5C080 AA10 BB05 DD26 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2010107590A	公开(公告)日	2010-05-13
申请号	JP2008277228	申请日	2008-10-28
[标]申请(专利权)人(译)	三通小便O显示的公司		
申请(专利权)人(译)	ティーピーオーdisupureizuコーポレイション		
[标]发明人	山下佳大朗		
发明人	山 下 佳大朗		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3614 G09G2300/0828 G09G2300/0842 G09G2300/0861 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.B G09G3/20.641.C G09G3/20.623.F G09G3/20.621.B G09G3/20.624.C G09G3/20.631.Z G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC18 2H093/NC21 2H093/NC28 2H093/NC34 2H093/NC40 2H093/ND06 2H093/ND39 2H093/NH16 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF59 5C006/AA16 5C006/AC25 5C006/AF01 5C006/AF82 5C006/BF02 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA19 2H193/ZA20 2H193/ZB07 2H193/ZC20 2H193/ZD24 2H193/ZD27 2H193/ZD30 2H193/ZE21 2H193/ZF05 2H193/ZF33 2H193/ZF34 2H193/ZF36 2H193/ZH40 2H193/ZH54		
代理人(译)	伊藤忠彦 耀希达凯贤治		
其他公开文献	JP4687770B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为液晶显示器件提供动态存储器，降低功耗并提高图像质量。 解决方案：半导体存储器件包括至少一个动态存储单元（DRAM），其设置在多个源极线和多个栅极线的交叉点处并且周期性地刷新以反转输出状态，以及至少一个动态存储单元并且，透射率由输出控制的液晶元件（LQ）以像素为单位排列，像素单元以矩阵形式排列，其中动态存储单元和液晶元件的输出并且，在开关元件（5）和开关元件（5）之间提供能够通过控制信号（ENABLE）控制这些连接的开关元件（5）。点域

