

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-47839

(P2009-47839A)

(43) 公開日 平成21年3月5日(2009.3.5)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 有 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2007-212815 (P2007-212815)
 (22) 出願日 平成19年8月17日 (2007.8.17)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 櫻井 徹
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 (72) 発明者 森藤 東吾
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 最終頁に続く

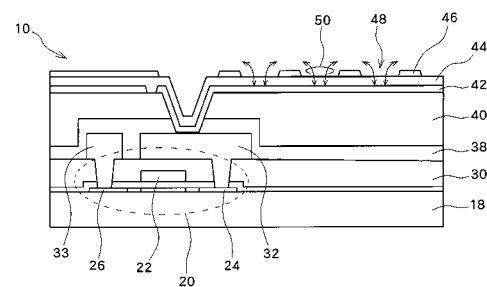
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示装置において、一对の電極の間に設けられる絶縁膜の密着性の向上によって表示品質の向上を図ることである。

【解決手段】液晶表示装置は、対向する一对の基板に液晶が挟持され、一对の基板の一方の基板上に F F S 絶縁膜を介して液晶を駆動する一对の電極が設けられる。一对の基板の一方の基板である素子基板 10 は、透光性基板 18 と、その上に形成される画素 T F T 20 と、パッシベーション膜 38 と、平坦化膜 40 と、画素電極 42 と、F F S 絶縁膜 44 と、共通電極 46 とを含んで構成される。画素電極 42 と共通電極 46 との間に形成される F F S 絶縁膜 44 は、圧縮応力が 0 以上 $5 \times 10^4 \text{ N/cm}^2$ 以下の膜である。

【選択図】 図 2



【特許請求の範囲】

【請求項 1】

対向する一对の基板に液晶が挟持され、前記一对の基板の一方の基板上に絶縁膜を介して前記液晶を駆動する一对の電極が設けられる液晶表示装置であって、

前記絶縁膜は、圧縮応力が 0 以上 $5 \times 10^4 \text{ N/cm}^2$ 以下の膜であることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記絶縁膜と前記一对の基板とで保持容量を形成することを特徴とする液晶表示装置。

【請求項 3】

請求項 1 に記載の液晶表示装置において、

前記絶縁膜は、無機絶縁膜であることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置において、

前記絶縁膜は、窒化シリコン膜または酸化シリコン膜または窒化酸化シリコン膜の中の少なくとも 1 つを含んで構成されることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置において、

前記一对の電極は、

前記一对の基板の前記一方の基板上にトランジスタを形成し、その上に成膜された平坦化膜の上に前記絶縁層を介して形成されることを特徴とする液晶表示装置。

【請求項 6】

請求項 1 に記載の液晶表示装置において、

前記一对の電極は、一方側の電極が画素電極で、他方側の電極が共通電極であることを特徴とする液晶表示装置。

【請求項 7】

請求項 6 に記載の液晶表示装置において、

前記一对の電極の少なくとも一方は、透明導電膜で形成されることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 に記載の液晶表示装置において、

前記一对の電極のうち前記液晶側に配置される電極には、開口部が設けられていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、対向する一对の基板に液晶が挟持され、前記一对の基板に絶縁層を介して前記液晶を駆動する一对の電極が設けられる液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置の表示方式としては従来 TN (Twisted Nematic) 方式が広く用いられてきているが、この方式は表示原理上、視野角に制限がある。これを解決する方法として、同一基板上に画素電極と共通電極とを形成し、この画素電極と共通電極との間に電圧を印加し、基板にほぼ平行な電界を発生させ、液晶分子を基板面に主に平行な面内で駆動する横電界方式が知られている。

【0003】

横電界方式には、IPS (In Plane Switching) 方式と、FFS (Fringe Field Switch) 方式が知られている。IPS 方式では、橢円状の画素電極と橢円状の共通電極とを組み合わせ配置される。FFS 方式では、絶縁層

10

20

30

40

50

を介して形成された上部電極と下部電極について、いずれか一方を共通電極に割り当て、他方を画素電極に割り当て、上部電極に電界を通す開口として例えばスリット等が形成される。

【0004】

上部電極と下部電極との間の絶縁層としては、特許文献1において、画素電極と共通信号電極とを絶縁膜を挟む上下2層のITOで構成する場合について上下ITOの間の絶縁層としてTFTの表面保護絶縁層の一層で構成される例、TFTのゲート絶縁膜で構成される例が開示されている。

【0005】

【特許文献1】特開2001-183685号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

液晶表示装置においては、液晶を駆動する際の画素電位変化を抑制するために保持容量が設けられる。FFS方式の場合には、上部電極と下部電極との間の絶縁膜を利用し、上部電極と下部電極との間の重なり部分に形成される容量を保持容量として用いることができる。保持容量を小型で大きな容量値とするには、上部電極と下部電極との間の絶縁膜の膜特性を向上させる必要がある。

【0007】

FFS方式の場合、素子側ガラス基板にトランジスタが形成された後に平坦化膜を形成し、その上に下部電極、絶縁膜、上部電極が順次積層されて形成される。このように、多数の膜形成工程のなかで絶縁膜が形成されるため、絶縁膜がその前後の膜との関係で密着性が変動し、場合によっては膜間で剥離することがある。絶縁膜に剥離が生じると、上部電極と下部電極との間の絶縁性が損なわれる、液晶を駆動する電界が乱れる、保持容量としての特性が大幅に低下する等の問題が発生し、液晶表示装置の表示品質が低下する。

【0008】

本発明の目的は、上部電極と下部電極との間に形成される絶縁膜の密着性の向上によって表示品質の向上を図ることを可能とする液晶表示装置を提供することである。

【課題を解決するための手段】

【0009】

本発明は、FFS方式の液晶表示装置について、上部電極と下部電極の間の絶縁膜を形成したときに、成膜された絶縁膜の残留応力の大きさと、絶縁膜と他の膜との間の密着性との間に一定の関係があることを見出したことに基づく。すなわち、絶縁膜の残留応力がある範囲であれば、密着性がほぼ一定の値に維持できるが、ある範囲を超えると、他の膜との間で絶縁膜の剥離が生じる。以下の手段は、この結果に基づくものである。

【0010】

本発明に係る液晶表示装置は、対向する一对の基板に液晶が挟持され、前記一对の基板の一方の基板に絶縁膜を介して前記液晶を駆動する一对の電極が設けられる液晶表示装置であって、前記絶縁膜は、圧縮応力が0以上 $5 \times 10^4 \text{ N/cm}^2$ 以下の膜であることを特徴とする。実験によれば、この範囲の圧縮応力であれば、絶縁膜の剥離が生じることがなく、この絶縁膜を用いて、良好な表示品質の液晶表示装置とできる。

【0011】

また、本発明に係る液晶表示装置において、前記絶縁膜と前記一对の電極とで保持容量を形成することが好ましい。例えば、画素TFTのゲート膜を用いて保持容量を形成する場合に比べ、保持容量の設計性が向上する。

【0012】

また、本発明に係る液晶表示装置において、前記絶縁膜は、無機絶縁膜であることが好ましい。また、本発明に係る液晶表示装置において、前記絶縁膜は、窒化シリコン膜または酸化シリコン膜または窒化酸化シリコン膜の中の少なくとも1つを含んで構成されることが好ましい。一般的に無機絶縁膜のほうが有機絶縁膜よりも誘電率が高いので、良好な

10

20

30

40

50

容量特性を得ることができる。

【0013】

また、本発明に係る液晶表示装置において、前記一对の電極は、前記一对の基板の一方の基板上にトランジスタを形成し、その上に成膜された平坦化膜の上に前記絶縁層を介して形成されることが好ましい。平坦化膜の上に絶縁膜を形成しても、上記圧縮応力の範囲であれば、絶縁膜の剥離が生じることがなく、良好な表示特性の液晶表示装置とできる。

【0014】

また、本発明に係る液晶表示装置において、前記一对の電極は、一方側の電極が画素電極で、他方側の電極が共通電極であることが好ましい。また、本発明に係る液晶表示装置において、前記一对の電極の少なくとも一方は、それぞれ透明導電膜で形成されることが好ましい。また、本発明に係る液晶表示装置において、前記一对の電極のうち前記液晶側に配置される電極には、開口部が設けられていることが好ましい。

【発明を実施するための最良の形態】

【0015】

以下に、図面を用いて本発明に係る実施の形態につき、詳細に説明する。以下では、F F S方式の液晶表示装置で、赤（R）、緑（G）、青（B）の3色で構成される表示を行うものについて説明するが、もちろん、R、G、Bの他に例えばC（シアン）等を含む多色構成であってもよく、端的に白黒表示を行うものであってもよい。また、以下に述べる形状、構造、材質等は、説明のための1例であり、液晶表示装置の用途にあわせ、適宜変更が可能である。また、以下では、横電界駆動方式として、電界を通す開口として上部電極にスリットを有するF F S方式を説明するが、電界を通す開口として上部電極に櫛歯状あるいは柵状の開口を有するF F S方式でもよい。また、F F S方式でなくてもI P S方式であってもよい。ここで、スリットとは、両端が閉じた開口をいい、それぞれのスリットは相互に接続されず離散的に配置されるものをいい、櫛歯状あるいは柵状の開口とは、複数の開口が相互に一方端で接続する形状のものをいう。

【0016】

図1は、液晶表示装置を構成する素子基板10における画素の平面図である。液晶表示装置は、対向する一对の基板に液晶が挟持され、一对の電極によって液晶を駆動することで表示を行う装置であり、複数の画素を駆動するために画素ごとにトランジスタが配置される。そのトランジスタが配置される方の基板と、これに対向する基板を区別するとき、トランジスタが配置される基板の方を素子基板10と呼ぶことができ、素子基板10に対向するもう1つの基板を対向基板と呼ぶことができる。また、カラー表示を行うときは、1つの画素をR（赤）、G（緑）、B（青）の3つのサブ画素で構成し、それぞれのサブ画素ごとにトランジスタが配置される。

【0017】

図1は、特に、F F S方式によるアクティブマトリクス型の液晶表示装置の素子基板10において、R、G、Bの3色構成で表示を行う場合の表示領域の1画素分、すなわち、3色に対応する3つのサブ画素についての平面構成を示す図である。図2は、図1に示すA-A線に沿って、厚さ方向を誇張して示す断面図である。

【0018】

図1に示されるように、液晶表示装置の素子基板10において、複数のドレイン配線34は、それぞれが直線状に延在し（図1の例では縦方向に延在）、その延在方向に交差する方向（ここでは直交する方向であり、図1の例では横方向）に複数のゲート配線36がそれぞれ配列される。ドレイン配線34は、図示されていない液晶表示装置の制御回路から映像データ信号が伝送される信号線であり、その意味からデータ線、あるいは単に信号線と呼ばれることがある。ゲート配線は、各画素ごとに配置されたトランジスタを選択する走査信号が伝送される信号線であり、その意味から走査線と呼ばれることがある。

【0019】

複数のドレイン配線34と、複数のゲート配線36とによって区画される個々の領域が、画素配置領域であり、図1では、R、G、Bの3色構成に対応して3つのサブ画素配置

10

20

30

40

50

領域が示される。3つのサブ画素の構成は同様であるので、以下において画素の語は、特に断らない限りサブ画素単位として説明し、上記のサブ画素領域を単に画素領域として説明するものとする。なお、共通電極46は、素子基板10の全面または、複数の画素にまたがって配置されているので、図1においては、後述するスリット48の形状線を除いて、その輪郭線が示されていない。

【0020】

ドレイン配線34とゲート配線36とで区画される各画素配置領域には、画素TF T 20がそれぞれ配置される。図1の例では、各画素TF T 20について、半導体層が略U字型に延在しており（図面では略U字型が上下反転して示されている）、その略U字型の2本の腕部を横切ってゲート配線36がドレイン配線34の配列方向に直交して延在している。この構成では、画素TF T 20のソース電極32は、ドレイン配線34に接続されるドレイン電極33とともにゲート配線36に対して同じ側に位置している。これにより、画素TF T 20では、ゲート配線36がソースとドレインとの間で半導体層に2回交差する構成、換言すれば半導体層のソースとドレインとの間にゲート電極が2個設けられた構成を有している。

【0021】

このように、画素TF T 20のドレインはドレイン電極33を介して直近のドレイン配線34に接続され、一方、ソースは、ソース電極32を介して、画素電極42に接続される。画素電極42は、各画素ごとに設けられ、その画素の画素TF T 20のソースに接続される平板状の電極である。図1では、矩形形状の画素電極42が示されている。

【0022】

共通電極46は、上記のように、素子基板10の上に配置される。もっとも、場合によっては、共通電極46を各画素ごとに設けられるものとしてもよい。その構造の場合は、各画素の共通電極46を接続する共通電極配線が配置される。共通電極46は、透明電極膜層に、開口部であるスリット48が設けられたものである。このスリット48は、画素電極42と共通電極46との間に電圧を印加したときに、電界50（図2参照）を通し、基板面に対し主に平行な横電界を発生させる機能を有する。

【0023】

共通電極46の上には、配向膜が配置され、配向処理としてラビング処理が行われる。ラビング方向は、例えば、図1において、ゲート配線36に平行な方向に行うことができる。共通電極46のスリット48は、その長辺の延びる方向が、このラビング方向に対し僅かに傾いて形成される。例えば、角度で5°程度、ラビング方向に対し傾くように形成することができる。共通電極46の上に配向膜を形成し、ラビング処理を行うことで、素子基板10が出来上がる。

【0024】

次に、図2の断面図を用いて、FFS方式の液晶表示装置における素子基板10の構造を説明する。図2は、上記のように、図1のA-A線に沿った断面図で、1つの画素についての各要素が示されている。

【0025】

素子基板10は、透光性基板18と、その上に適当なバッファ層を介して形成された画素TF T 20と、層間絶縁膜30と、ソース電極32と、ドレイン電極33と、パッシベーション膜（PV膜）38と、平坦化膜40と、画素電極42と、FFS絶縁膜44と、共通電極46とを含んで構成される。

【0026】

図3は、素子基板10の詳細な製造手順を含む液晶表示装置の製造方法の手順を示すフローチャートである。以下では、図1、図2の符号を用いて説明する。最初に透光性基板18を準備し、その上にトランジスタである画素TF T 20を形成する（S10）。

【0027】

透光性基板18は、例えばガラス板によって構成される。画素TF T 20は、透光性基板18の上に適当なバッファ層を介して配置され、ここでは、低温で形成されたポリシリ

コンを半導体層として用い、その上にゲート絶縁膜、ゲート電極 22 が順次配置されて形成される。ゲート絶縁膜は、例えば酸化シリコン (SiO_x)、窒化シリコン (SiN_x) 等で構成され、半導体層を覆って透光性基板 18 上に配置されている。ゲート電極 22 は、例えば Mo、Al 等の金属で構成され、半導体層に対向してゲート絶縁膜上に配置される。このように、ゲート電極 22 は、素子基板 10 において、半導体層の上層の側に配置される。

【0028】

トランジスタである画素 TFT 20 の形成の後、層間絶縁膜 30 が形成される。層間絶縁膜 30 は、例えば酸化シリコン、窒化シリコン等で構成され、ゲート電極 22 等を覆って配置される。

10

【0029】

次に、層間絶縁膜にソース用とドレイン用とのコンタクトホールを形成し、ソース電極 32 とドレイン電極 33 とが引き出される。ドレイン電極 33 は、例えば Mo、Al、Ti 等の金属で構成され、層間絶縁膜 30 上に配置されているとともに、上記コンタクトホールの一方であるドレイン用のコンタクトホールを介して画素 TFT 20 のドレインに接続している。なお、ドレイン電極 33 はそのまま延伸してドレイン配線 34 となる。ソース電極 32 は、例えばドレイン電極 33 と同じ材料で構成され、層間絶縁膜 30 上に配置されているとともに、上記コンタクトホールの他方であるソース用のコンタクトホールを介して画素 TFT 20 のソースに接続している。ソース電極 32 は、後述するように、透明電極膜である画素電極 42 と接続される。

20

【0030】

なお、ここでは、画素 TFT 20 において、ドレイン電極 33 およびデータ線であるドレイン配線 34 が接続する部分を画素 TFT 20 のドレインとし、ソース電極 32 および画素電極 42 が接続する部分を画素 TFT 20 のソースとするが、画素 TFT 20 のドレインとソースとは互換性があるので、上記とは逆に、データ線側に接続される方をソース、画素電極 42 の側に接続される方をドレインと呼ぶことも可能である。

【0031】

ソース電極 32、ドレイン電極 33 が引き出されるまでをまとめて画素 TFT の形成工程として、その後、パッシベーション (PV) 膜 38 が形成される (S12)。PV 膜 38 は、ソース電極 32、ドレイン電極 33 を含んで画素 TFT 20 全体を外部環境から保護する機能を有する絶縁膜である。PV 膜 38 は、上記の層間絶縁膜 30 と同様に、例えば酸化シリコン、窒化シリコン等で構成することができる。PV 膜 38 と層間絶縁膜 30 とを互いに異なる膜質とすることもできる。

30

【0032】

次に、平坦化膜 40 が形成される (S14)。平坦化膜 40 は、ドレイン電極 33 及びドレイン配線 34、ソース電極 32 を覆って PV 膜 38 上に配置される膜で、これまでの膜形成工程、コンタクトホール工程等で凹凸が生じている表面を平坦化するために設けられる。

【0033】

平坦化膜 40 として、例えば、アクリル樹脂等の有機透明絶縁膜、窒化シリコン (SiN_x) 膜、酸化シリコン (SiO_x) 膜、窒化酸化シリコン (SiO_xN_y) 膜等の無機絶縁膜を用いることができる。平坦化膜 40 は、その上に FFS 絶縁膜 44 が形成されることを考慮し、耐熱性、耐反応性の高い絶縁膜が好ましい。その観点からは、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜を用いることが好ましい。アクリル樹脂等の有機透明絶縁膜を用いる場合には、平坦化膜形成工程の後の工程を低温化し、平坦化膜 40 の膜質の変化を抑制することが好ましい。例えば、平坦化膜形成工程の後の工程の処理温度を、約 150℃ から約 300℃ の範囲とすることが好ましい。

40

【0034】

平坦化膜形成の後、下部電極である画素電極 42 が形成される (S16)。具体的には、PV 膜 38 と平坦化膜 40 にコンタクトホールが形成され、次に透明導電膜としてイン

50

ジウム錫オキサイド（ITO）またはインジウム亜鉛オキサイド（IZO）が全面に成膜され、この透明導電膜が画素電極４２のパターンに形成される。これによって、コンタクトホールを介し、ソース電極３２と画素電極４２とが電氣的に接続される。

【００３５】

画素電極４２の形成の後、全面にFFS絶縁膜４４が形成される（S18）。FFS絶縁膜４４は、下部電極である画素電極４２と、次に形成される上部電極である共通電極４６との間を離隔するために配置される絶縁膜であり、また、FFS方式の液晶表示装置を構成する各画素において保持容量を形成するためにも用いられる絶縁膜である。

【００３６】

FFS絶縁膜４４は、保持容量のために用いられる観点から、誘電率の高い材料の膜が好ましい。したがって、有機絶縁膜よりも無機絶縁膜の方が好ましく、例えば、窒化シリコン膜または酸化シリコン膜または窒化酸化シリコン膜の中の少なくとも１つを含んで構成することがよい。

【００３７】

また、FFS絶縁膜４４の形成前には、既に平坦化膜４０と、画素電極４２が形成されているので、これらの膜との密着性を考慮してFFS絶縁膜４４の成膜条件が設定される。具体的には、平坦化膜形成後からFFS絶縁膜成膜前までの平坦化膜４０及び画素電極４２の表面状態やそれを変化させる処理の条件、FFS絶縁膜４４自体の成膜条件によって、FFS絶縁膜４４と、他の膜との間の密着性が変化するので、密着性の安定した範囲の条件の下で、FFS絶縁膜４４が形成される。

【００３８】

図４は、FFS絶縁膜の残留応力と剥離頻度との関係を実験によって求めた結果を示す図である。以下では、図１から図３の符号を用いて説明する。

【００３９】

FFS絶縁膜４４の残留応力の大きさは、FFS絶縁膜４４が形成されたガラス板の反り量の大きさから求めることができる。例えば、図２と同様な構成で、図３のS16までの工程を進めたときの中間的工程の素子基板１０の反り量を計測し、次にS18においてFFS絶縁膜４４を形成し、その中間的工程における素子基板１０の反り量を計測する。これらの計測から、FFS絶縁膜４４を成膜したことによる反り量の変化を求め、この反り量の変化を、FFS絶縁膜４４の成膜中の残留応力によるものとして、残留応力の大きさを求めることができる。

【００４０】

また、FFS絶縁膜４４の剥離頻度は、このようにしてFFS絶縁膜４４を形成した中間的工程の素子基板１０において、FFS絶縁膜４４と他の膜との間の剥離の程度を剥離箇所数、あるいは剥離面積の広さ等と観察することで定量的に求めることができる。例えば、１枚の中間的工程の素子基板１０において、FFS絶縁膜４４の剥離箇所数を計数し、これを相対的な剥離頻度とすることができる。剥離頻度の観察は、FFS絶縁膜４４を形成した状態で行うことがよいが、評価を加速するために、一定の試験条件を加えてもよい。例えば、液晶表示装置を製造するために用いられる洗浄工程等を試験条件に加えて、その加速条件の下での剥離頻度を計数することで、剥離頻度の評価を容易化することができ、また、以後の製造工程におけるFFS絶縁膜４４の剥離耐性を評価できる。例えば、一定の条件の下で超音波洗浄を行って、そのときの剥離頻度を評価してもよい。

【００４１】

図４は、横軸にFFS絶縁膜４４の残留応力の大きさをとり、縦軸に剥離頻度をとって両者の間の関係を示した図である。ここで示されるように、残留応力が圧縮応力であって、その大きさが０以上 $5 \times 10^4 \text{ N/cm}^2$ 以下の範囲では、FFS絶縁膜４４はほとんど剥離しない。残留応力が引張応力となると、引張応力の大きさに応じて、剥離頻度が増大する。

【００４２】

観察によれば、FFS絶縁膜４４の剥離は、下部電極である画素電極４２との間よりも

10

20

30

40

50

、平坦化膜 40 との界面において、より多く発生する。F F S 絶縁膜 44 が接触する膜は、複数の膜があり、残留応力と剥離頻度との関係の評価には、F F S 絶縁膜 44 と他の膜との密着性を総合的に行うことが必要である。

【0043】

図 4 の結果から、F F S 絶縁膜 44 の残留応力は、圧縮応力において 0 以上 5×10^4 N / c m² 以下の範囲とすることで、F F S 絶縁膜 44 と他の膜との密着性を向上して、液晶表示装置の表示品質の向上を図ることができることが分かる。F F S 絶縁膜 44 の残留応力の制御は、F F S 絶縁膜 44 の成膜条件を変更することで行うことができる。例えば、成膜速度を制御することで残留応力を所定範囲に入れることができる。また、成膜温度の上昇速度、冷却速度を制御することでも残留応力を所定範囲に入れることができる。また、F F S 絶縁膜 44 を形成する前の中間的工程の素子基板 10 の残留応力の状態を考慮して、F F S 絶縁膜 44 の成膜条件を設定し、F F S 絶縁膜 44 の残留応力を所定範囲に入れることができる。

【0044】

再び図 3 に戻り、F F S 絶縁膜 44 を形成した後、上部電極である共通電極 46 が形成される (S 20)。具体的には、F F S 絶縁膜 44 の上に、透明導電膜としてインジウム錫オキシド (I T O) またはインジウム亜鉛オキシド (I Z O) が全面に成膜され、この透明導電膜が共通電極 46 として、複数のスリット 48 を有するようにパターンニングによって開口される。共通電極 46 は、図示されていない共通電極配線によって共通電極電位が供給される。

【0045】

スリット 48 は、下部電極である画素電極 42 と上部電極である共通電極 46 との間に液晶を駆動するための電界 50 を通すための開口である。スリット 48 は、図 1 に示すように、ゲート配線 36 の延在する方向よりやや傾いた方向に長軸を有する細長く閉じた形状の開口である。この傾き角度は、次の工程における配向処理のラビング角度を考慮して設定される。

【0046】

上部電極である共通電極 46 が形成されると、配向膜がその上に配置される (S 22)。配向膜は、液晶分子を初期配向させる機能を有する膜で、例えばポリイミド等の有機膜に、ラビング処理を施して用いられる。このようにして、素子基板 10 が出来上がる (S 24)。そしてここでは説明しないが、カラーフィルタ、配向膜等が配置された対向基板が別途製作され、この対向基板と素子基板 10 とが組み合わされ、液晶をその間に挟持し (S 26)、液晶表示装置が出来上がる (S 28)。

【0047】

このように、同一基板である透光性基板 18 上に、平坦化膜 40 の上層部に、絶縁層である F F S 絶縁膜 44 を介して上部電極である共通電極 46 と下部電極である画素電極 42 とが形成される。なお、この構造をオーバーレイ構造と呼ぶことができる。そして、上部電極である共通電極 46 にスリット 48 を形成して、下部電極である画素電極 42 との間に電圧を印加し、スリット 48 に電界 50 を通し、基板面に対し主に平行な横電界を発生させ、配向膜を介して液晶を駆動することができる。このときに、共通電極 46 と画素電極 42 とその間の F F S 絶縁膜 44 で形成される容量を、液晶表示の保持容量として用いることができる。このようにして、F F S 方式によるアクティブマトリクス型の液晶表示装置が構成される。

【0048】

このように、共通電極 46 と画素電極 42 とその間の F F S 絶縁膜 44 で形成される容量を、液晶表示の保持容量として用いることで、液晶表示装置の仕様に合わせた保持容量を得ることが容易となる。すなわち、F F S 絶縁膜 44 の誘電率、膜厚等は、画素 T F T 20 の特性等と独立に設定でき、設定の自由度が大きいためである。また、上記のように、上部電極である共通電極 46 と下部電極である画素電極 42 との間の F F S 絶縁膜 44 は、その残留応力を所定の範囲に入れることで、他の膜との間の密着性を向上させること

ができる。これにより、液晶表示装置の表示品質を向上させることができる。

【0049】

上記では、FFS絶縁膜を介し、下部電極を画素電極とし、上部電極を共通電極として、共通電極にスリットが設けられるが、下部電極を共通電極とし、上部電極を画素電極とすることもできる。以下では、図1、図2と共通の要素には同一の符号を付し、詳細な説明を省略する。

【0050】

図5は、下部電極を共通電極46とし、上部電極を画素電極42とし、画素電極42にスリット49を設ける素子基板12の構成を示す図である。上部電極を画素電極42とする場合には、図5に示されるように、ソース電極32に接続される画素電極42が、FFS絶縁膜44の上部に配置される。そして、素子基板12の最表面側の電極である画素電極42に、スリット49が設けられる。スリット49は、図1、図2に関連して説明したように、ゲート配線36の延在する方向よりやや傾いた方向に長軸を有する細長く閉じた形状の開口である。また、下部電極である共通電極46は、素子基板12の全面、あるいは複数の画素にまたがって配置される。

10

【0051】

この素子基板12においても、上記の構成に対応する製造工程の変更を行うことで、図3で説明したのと同様の製造手順で、液晶表示装置を得ることができる。そして、図3のS18で説明したように、FFS絶縁膜44の形成に当り、残留応力の大きさを所定の範囲に入れることで、他の膜との間の密着性を向上させることができる。これにより、液晶表示装置の表示品質を向上させることができる。

20

【0052】

上記では、画素TFEの構造を透光性基板の側から配向膜の方向に向かって、半導体層、ゲート絶縁膜、ゲート電極の順に配置されるものとして説明した。この配置に代えて、いわゆる逆スタガ型と呼ばれる配置構造の画素TFEを用いることができる。ここで、逆スタガ型とは、透光性基板の側から配向膜の方向に向かって、ゲート電極、ゲート絶縁膜、半導体層の順に配置される構造である。以下では、図1、図2と共通の要素には同一の符号を付し、詳細な説明を省略する。

【0053】

図6は、画素TFE21の構造を逆スタガ型とした素子基板14の構成を示す図である。ここでは、透光性基板18の上にゲート電極23がまず配置され、その上にゲート絶縁膜が形成され、そのさらに上に半導体層が積層される。半導体層は、例えばアモルファスシリコン等を用いることができる。半導体層は、チャンネルを形成する層と、ソース・ドレインコンタクト層を形成する高ドープ層が積層される。そして、この高ドープ層の両端側に、それぞれソース電極32とドレイン電極33が接続される。画素TFE21の形成工程を除けば、その他の製造工程の内容は、図3で説明したのと同様である。

30

【0054】

したがって、この素子基板14においても、上記の画素TFE形成工程に対応する製造工程の変更を行うことで、図3で説明したのと同様の製造手順で、液晶表示装置を得ることができる。そして、図3のS18で説明したように、FFS絶縁膜44の形成に当り、平坦化膜形成後からFFS絶縁膜成膜前までの平坦化膜40及び画素電極42の表面状態やそれを変化させる処理の条件、残留応力の大きさを所定の範囲に入れることで、他の膜との間の密着性を向上させることができる。これにより、液晶表示装置の表示品質を向上させることができる。

40

【図面の簡単な説明】

【0055】

【図1】本発明に係る実施の形態において、液晶表示装置を構成する素子基板における画素の平面図である。

【図2】図1におけるA-A線に沿った断面図である。

【図3】本発明に係る実施の形態において、液晶表示装置を製造する手順を示すフローチ

50

ャートである。

【図 4】本発明に係る実施の形態において、FFS 絶縁膜の残留応力と、FFS 絶縁膜の剥離頻度との関係を説明する図である。

【図 5】本発明に係る実施の形態において、他の構成の例を示す図である。

【図 6】本発明に係る実施の形態において、別の構成の例を示す図である。

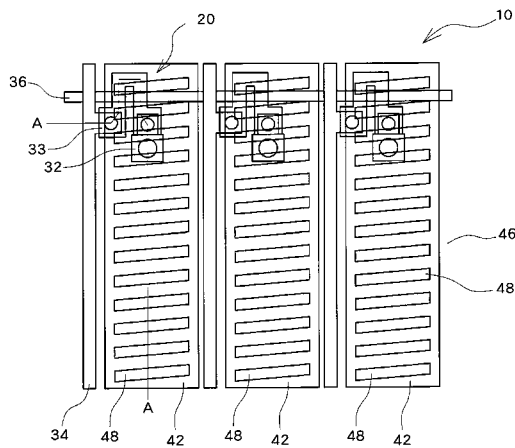
【符号の説明】

【0056】

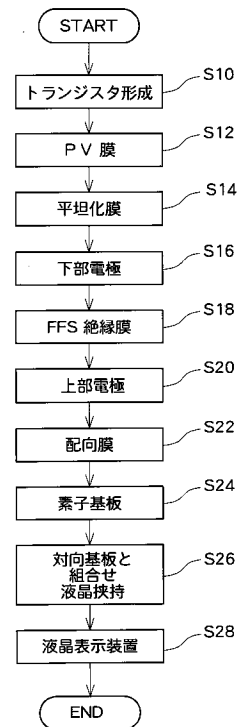
10, 12, 14 素子基板、18 透光性基板、20 画素 TFT、22, 23 ゲート電極、30 層間絶縁膜、32 ソース電極、33 ドレイン電極、34 ドレイン配線、36 ゲート配線、38 パッシベーション膜 (PV 膜)、40 平坦化膜、42 画素電極、44 FFS 絶縁膜、46 共通電極、48, 49 スリット、50 電界。

10

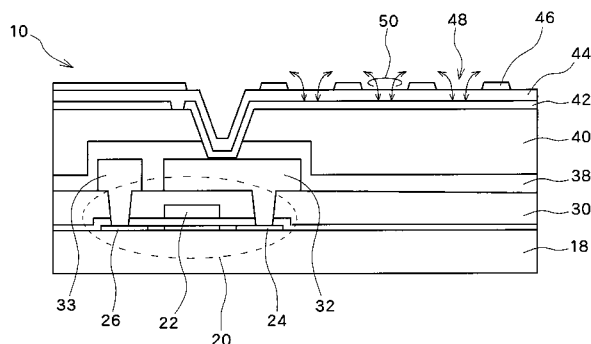
【図 1】



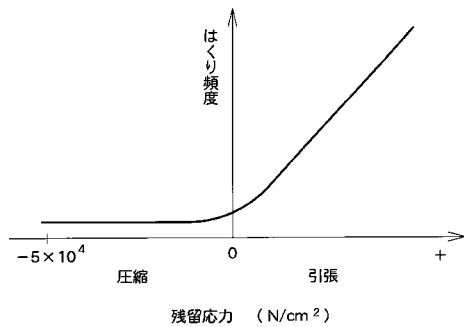
【図 3】



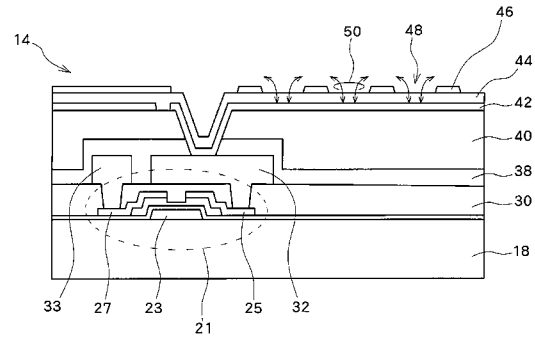
【図 2】



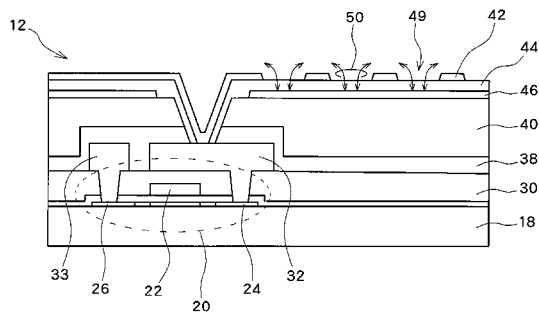
【図 4】



【図 6】



【図 5】



【手続補正書】

【提出日】平成20年5月27日(2008.5.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

対向する一对の基板に液晶が挟持され、前記一对の基板の一方の基板上に絶縁膜を介して前記液晶を駆動する一对の電極が設けられる液晶表示装置であって、

前記絶縁膜は、圧縮応力が 0 以上 $5 \times 10^4 \text{ N/cm}^2$ 以下の膜であることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、
前記絶縁膜と前記一对の電極とで保持容量を形成することを特徴とする液晶表示装置。

【請求項 3】

請求項 1 に記載の液晶表示装置において、
前記絶縁膜は、無機絶縁膜であることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置において、
前記絶縁膜は、窒化シリコン膜または酸化シリコン膜または窒化酸化シリコン膜の中の少なくとも 1 つを含んで構成されることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置において、

前記一対の電極は、

前記一対の基板の前記一方の基板上にトランジスタを形成し、その上に成膜された平坦化膜の上に前記絶縁膜を介して形成されることを特徴とする液晶表示装置。

【請求項 6】

請求項 1 に記載の液晶表示装置において、

前記一対の電極は、一方側の電極が画素電極で、他方側の電極が共通電極であることを特徴とする液晶表示装置。

【請求項 7】

請求項 6 に記載の液晶表示装置において、

前記一対の電極の少なくとも一方は、透明導電膜で形成されることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 に記載の液晶表示装置において、

前記一対の電極のうち前記液晶側に配置される電極には、開口部が設けられていることを特徴とする液晶表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

また、本発明に係る液晶表示装置において、前記一対の電極は、前記一対の基板の一方の基板上にトランジスタを形成し、その上に成膜された平坦化膜の上に前記絶縁膜を介して形成されることが好ましい。平坦化膜の上に絶縁膜を形成しても、上記圧縮応力の範囲であれば、絶縁膜の剥離が生じることがなく、良好な表示特性の液晶表示装置とできる。

フロントページの続き

(72)発明者 山本 宥司

長野県安曇野市豊科田沢6 9 2 5 エプソンイメージングデバイス株式会社内

Fターム(参考) 2H092 GA13 GA14 GA17 GA29 JA25 JA26 JA46 JB56 JB58 JB63

KA04 KA05 KA12 KA18 KB22 KB24 KB25 NA18

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009047839A	公开(公告)日	2009-03-05
申请号	JP2007212815	申请日	2007-08-17
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	櫻井 徹 森藤 東吾 山本 宥司		
发明人	櫻井 徹 森藤 東吾 山本 宥司		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA17 2H092/GA29 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB56 2H092/JB58 2H092/JB63 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KB22 2H092/KB24 2H092/KB25 2H092/NA18		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP4631883B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过提高在液晶显示器中的一对电极之间提供的绝缘膜的粘附性来提高显示质量。解决方案：在液晶显示器中，液晶插入在彼此相对的一对基板之间，并且驱动液晶的一对电极通过FFS绝缘膜设置在一对基板的一个基板上。作为一对基板的一个基板的元件基板10包括透光基板18，形成在其上的像素TFT20，钝化膜38，平坦化膜40，像素电极42，FFS绝缘膜44和共用的形成在像素电极42和公共电极46之间的FFS绝缘膜44是具有0到5×10⁴ SP / N / cm² SP 压缩应力的膜。 Ž

