

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-14918

(P2009-14918A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G09G 3/20 (2006.01)	G09G 3/20 624A	5C080
	G09G 3/20 611B	

審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2007-175208 (P2007-175208)
 (22) 出願日 平成19年7月3日(2007.7.3)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 田尻 憲一
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 Fターム(参考) 2H092 GA11 JA24 JB22 JB31 NA26
 PA06

最終頁に続く

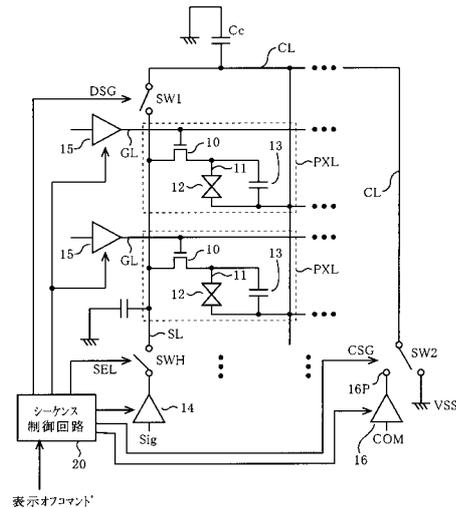
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示オフ時において、消費電力を低減した液晶表示装置を提供する。

【解決手段】 液晶表示装置の表示をオフするための信号として、表示オフコマンドが検出されると、その後の垂直同期信号 V_{sync} に同期して、制御信号 DSG が高レベルになり、第1のスイッチング素子 $SW1$ がオンされることでソース線 SL と共通電極 CL が短絡される。また、制御信号 SEL が低レベルになることにより、水平スイッチング素子 SWH はオフされ、ソース線 SL とソースドライバ14とは切断される。また、制御信号 $C SG$ に応じて、第2のスイッチング素子 $SW2$ が切り換えられ、共通電極 CL に接地電位 V_{SS} が供給される。これにより、ソース線 SL と共通電極 CL とは、共に接地電位 V_{SS} に設定される。さらに、同じフレーム期間において、ソースドライバ14と共通電極ドライバ16の動作を停止させる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート線と、このゲート線にゲート信号を供給するゲートドライバと、ソース線と、このソース線にソース信号を供給するソースドライバと、前記ソース線に接続された画素スイッチング素子を通してソース信号が印加される画素電極と、この画素電極と共通電極との間に配置された液晶と、前記共通電極に共通電極信号を供給する共通電極ドライバと、を備えた液晶表示装置において、

該液晶表示装置の表示をオフするための信号を検出すると、前記共通電極と前記ソース線を短絡させてそれらを同電位に設定し、前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を前記同電位に設定し、前記ソースドライバ及び前記共通電極ドライバの動作を停止させ、

その後、前記ゲートドライバの出力を固定電位に設定するように制御を行うシーケンス制御回路を設けたことを特徴とする液晶表示装置。

【請求項 2】

前記シーケンス制御回路は、1フレーム期間に前記共通電極と前記ソース線を短絡させてそれらを同電位に設定し、前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を前記同電位に設定し、前記ソースドライバ及び前記共通電極ドライバの動作を停止させ、

その次の1フレーム期間に前記ゲートドライバの出力を固定電位に設定するように制御を行うことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記同電位は接地電位であることを特徴とする請求項 1 又は請求項 2 に記載の液晶表示装置。

【請求項 4】

前記ソース線と前記共通電極の間に接続された第 1 のスイッチング素子を備え、前記シーケンス制御回路は前記第 1 のスイッチング素子をオンさせることにより、前記ソース線を前記共通電極と短絡させることを特徴とする請求項 1、2、3 のいずれかに記載の液晶表示装置。

【請求項 5】

前記共通電極を前記共通電極ドライバの出力端子に接続するか、前記共通電極を接地電位に接続するかを切り換える第 2 のスイッチング素子を備え、前記シーケンス制御回路は、前記第 2 のスイッチング素子の切り換えにより、前記共通電極に接地電位を供給することを特徴とする請求項 1、2、3、4 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、表示オフ時のシーケンス制御を行うシーケンス制御機能を備えた液晶表示装置に関する。

【背景技術】

【0002】

図 4 に従来 of 液晶表示装置の一画素の回路図を示す。ソース線 S L とゲート線 G L の交差点に対応して画素 P X L が設けられている。画素 P X L には N チャネル型の薄膜トランジスタ (以下、T F T という) からなる画素トランジスタ 1 0、画素トランジスタ 1 0 のドレインに接続された画素電極 1 1、画素電極 1 1 と共通電極 C L の間に配置された液晶 1 2、画素電極 1 1 と共通電極 C L の間に接続された保持容量 1 3 が設けられている。

【0003】

画素トランジスタ 1 0 のソースはソース線 S L に接続され、画素トランジスタ 1 0 のゲートはゲート線 G L に接続されている。また、ソース線 S L にソース信号 S i g (映像信号) を供給するソースドライバ 1 1 4 と、ゲート線 G L にゲート信号を供給するゲートドライバ 1 1 5、共通電極 C L に共通電位信号 C O M を供給する共通電極ドライバ 1 1 6 が

10

20

30

40

50

設けられている。共通電極 C L とソース線 S L の間には、スイッチング素子 S W が設けられている。

【 0 0 0 4 】

上述の液晶表示装置の書き込み動作は以下の通りである。まず、ゲートドライバ 1 1 5 から高レベルのゲート信号がゲート線 G L に出力されると、画素トランジスタ 1 0 がオンする。次に、スイッチング素子 S W がオンし、ソース線 S L と共通電極 C L が短絡される。すると、ソース線 S L の配線容量 C s と共通電極 C L の配線容量 C c にそれぞれ蓄積されていた電荷が両者に共有される結果、ソース線 S L と共通電極 C L とは同電位になる。この同電位は、短絡前のソース線 S L の電位と共通電極 C L の電位の間電位であって、両者の有する配線容量比によって定まる。このとき、ソースドライバ 1 1 4 と共通電極ドライバ 1 1 6 の出力はハイインピーダンス状態になっている。

10

【 0 0 0 5 】

このようなスイッチング素子 S W を用いた動作は、書き込み前にソース線 S L 、共通電極 C L の電位を中間電位（高レベルと低レベルの中間の電位）に設定するための、一種のプリチャージ動作であり、以下、この動作をチャージシェア動作と呼ぶことにする。

【 0 0 0 6 】

その後、スイッチング素子 S W がオフされ、ソース線 S L と共通電極 C L とは切断される。そして、ソースドライバ 1 1 4 からソース線 S L にソース信号 S i g が出力されると、ソース信号 S i g は画素トランジスタ 1 0 を通して画素 P X L に書き込まれる（画素書き込み）。即ち、ソース信号 S i g は画素トランジスタ 1 0 を通して画素電極 1 1 に印加され保持容量 1 3 によって保持される。そして、画素電極 1 1 に保持された電位に応じて液晶 1 2 の光学的制御が行われ、液晶表示が行われる。

20

【 0 0 0 7 】

このとき、ソースドライバ 1 1 4 と共通電極ドライバ 1 1 6 は前述のチャージシェア動作後の電位を起点として、充電又は放電動作を開始すればよいので、ソースドライバ 1 1 4 と共通電極ドライバ 1 1 6 の負担を軽減し、それらの消費電力を低減することができる。

【 0 0 0 8 】

また、従来の液晶表示をオフにするシーケンスでは、オフ状態の表示に対応したオフ電位、例えば黒表示に対応した電位を、一定周期でその極性を反転させながら画素 P X L に書き込んでいた（オフ書き込み）。

30

【 0 0 0 9 】

なお、チャージシェア動作のためのスイッチング素子 S W を備えた液晶表示装置は、例えば、特許文献 1 に記載されている。

【特許文献 1】特開 2 0 0 3 - 1 9 5 3 3 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

しかしながら、従来の液晶表示をオフにするシーケンスにおいては、オフ電位を印加し続けるため、表示オフ状態であるにもかかわらず、ソースドライバ 1 1 4 、ゲートドライバ 1 1 5 、共通電極ドライバ 1 1 6 を動作させ続けなければならなかった。そのため、液晶表示装置の低消費電力化が阻害されていた。

40

【課題を解決するための手段】

【 0 0 1 1 】

本発明の液晶表示装置は、ゲート線と、このゲート線にゲート信号を供給するゲートドライバと、ソース線と、このソース線にソース信号を供給するソースドライバと、前記ソース線に接続された画素スイッチング素子を通してソース信号が印加される画素電極とこの画素電極と共通電極との間に配置された液晶と、前記共通電極に共通電極信号を供給する共通電極ドライバと、を備えた液晶表示装置において、該液晶表示装置の表示をオフするための信号を検出すると、前記共通電極と前記ソース線を短絡させてそれらを同電位に

50

設定し、前記ゲートドライバのゲート信号に応じて前記画素スイッチング素子をオンさせることにより、前記画素電極の電位を前記同電位に設定し、前記ソースドライバ及び前記共通電極ドライバの動作を停止させ、その後、前記ゲートドライバの出力を固定電位に設定するように制御を行うシーケンス制御回路を設けたことを特徴とする。

【発明の効果】

【0012】

本発明の液晶表示装置によれば、表示オフ時において、共通電極とソース線を短絡させているので、画素電位と共通電極とは同電位となり、画素スイッチング素子のリークによる表示不良が生じるおそれがない。また、ソースドライバ、ゲートドライバ、共通電極ドライバの動作を停止させるので、液晶表示装置の消費電力化を図ることができる。

10

【発明を実施するための最良の形態】

【0013】

本発明の実施形態による液晶表示装置について図面を参照しながら説明する。図1に示すように、ソース線SLとゲート線GLの交差点に対応して画素PXLが設けられている。画素PXLは図4のものと同様なので、その構成の説明は省略する。図1では2つの画素PXLだけを示したが、実際には図2のように、複数の画素PXLがマトリクス状に配置されている。

【0014】

画素トランジスタ10（本発明の画素スイッチング素子の一例）のソースはソース線SLに接続され、画素トランジスタ10のゲートはゲート線GLに接続されている。また、一定周期で極性が反転するソース信号Sig（映像信号）をソース線SLに供給するソースドライバ14と、ゲート信号をゲート線GLに供給するゲートドライバ15が設けられている。

20

【0015】

ゲートドライバ15には、高レベルV_{VDD}（例えば8V）のゲート信号を発生するためのV_{VDD}発生回路（不図示）と、低レベルV_{VEE}（例えば-4V）のゲート信号を発生するためのV_{VEE}発生回路（不図示）が接続されている。ソースドライバ14とソース線SLとの間には、Nチャンネル型TFTからなる水平スイッチング素子SWHが接続されている。

【0016】

ソース線SLと共通電極CLの間には、TFTからなる第1のスイッチング素子SW1が接続されている。この第1のスイッチング素子SW1は、図4に示したスイッチング素子SWと同様のものであり、通常動作時では前述のチャージシェア動作に用いられるが、表示オフ時には常にオンし、ソース線SLを共通電極CLと短絡するために用いられる。

30

【0017】

また、共通電極CLには、TFTからなる第2のスイッチング素子SW2が接続されている。第2のスイッチング素子SW2は、制御信号CSGに応じて、通常動作時では共通電極CLを共通電極ドライバ16の出力端子16Pに接続し、表示オフ時には共通電極CLを接地電位V_{SS}に接続するように切り換える。ここで、共通電極ドライバ16は通常動作時は共通電極CLに共通電極信号COMを供給する。共通電極信号COMはクロック信号であり、その高レベルV_{comh}と低レベルV_{coml}の電位が交互に反転している。

40

【0018】

さらに、上記構成に加えて、表示オフ時に、ソースドライバ14、ゲートドライバ15、共通電極ドライバ16、第1のスイッチング素子SW1、第2のスイッチング素子SW2、水平スイッチング素子SWHの動作をシーケンス制御するシーケンス制御回路20が設けられている。シーケンス制御回路20は、この液晶表示装置の表示をオフするための信号、例えば、表示オフコマンドや電源オフコマンドを検出すると、シーケンス制御を開始するように構成されている。また、これらの各回路に電源電位を供給する電源（不図示）が設けられている。

50

【 0 0 1 9 】

なお、通常動作時は、第 1 のスイッチング素子 S W 1 を用いて、前述のチャージシェア動作が行われるが、この時に第 1 のスイッチング素子 S W 1 は制御信号 D S G に応じてオンし、水平スイッチング素子 S W H は制御信号 S E L に応じてオフする。共通電極ドライバ 1 6 の出力端子 1 6 P は第 2 のスイッチング素子 S W 2 を介して共通電極 C L に接続されるが、共通電極ドライバ 1 6 の出力はハイインピーダンス状態になっている。その後、画素書き込みが行われる。その時は、水平スイッチング素子 S W H は制御信号 S E L に応じてオンし、第 1 のスイッチング素子 S W 1 は制御信号 D S G に応じてオフする。

【 0 0 2 0 】

本発明の特徴は、シーケンス制御回路 2 0 による表示オフ時のシーケンス制御にあり、以下、これについて図 3 を参照して説明する。液晶表示装置の表示をオフするための信号として、例えば、表示オフコマンドが検出されると、その後の垂直同期信号 V s y n c に同期して、制御信号 D S G が高レベルになり、第 1 のスイッチング素子 S W 1 がオンされることでソース線 S L と共通電極 C L が短絡される。また、制御信号 S E L が低レベルになることにより、水平スイッチング素子 S W H はオフし、ソース線 S L とソースドライバ 1 4 とは切断される。また、制御信号 C S G に応じて、第 2 のスイッチング素子 S W 2 が切り換えられ、共通電極 C L に接地電位 V S S が供給される。これにより、ソース線 S L と共通電極 C L とは、共に接地電位 V S S に設定される。さらに、同じフレーム期間において、ソースドライバ 1 4 と共通電極ドライバ 1 6 の動作を停止させる。

【 0 0 2 1 】

また、同じフレーム期間において、ゲートドライバ 1 5 から高レベル V V D D のゲート信号が出力されることで、画素トランジスタ 1 0 がオンされる。これにより、ソース線 S L の接地電位 V S S が画素 P X L に書き込まれ、画素電極 1 1 の電位は接地電位 V S S に設定される（即ち、オフ書き込みされる）。なお、他の複数の画素 P X L についても同様にして、各画素電極 1 1 の電位が接地電位 V S S に設定される。こうして、全ての画素 P X L について、オフ書き込みが行われる。

【 0 0 2 2 】

そして、次に到来する垂直同期信号 V s y n c に同期して、つまり、次のフレーム期間において、ゲートドライバ 1 5 の動作を停止させ、ゲート信号を低レベル V V E E に固定する。このフレーム期間以降は表示の停止状態となる。

【 0 0 2 3 】

このように、上述の液晶表示装置によれば、表示オフ時に、共通電極 C L とソース線 S L を短絡させているので、画素電極 1 1 と共通電極 C L とは同電位となり、画素トランジスタ 1 0 のリークによる表示不良が生じるおそれがない。また、ソース線 S L 、画素電位 1 1 、共通電極 C L はいずれも接地電位になるので、電荷が抜ける状態がなくなる。また、ソースドライバ 1 4 、共通電極ドライバ 1 6 の動作を停止させ、ゲートドライバ 1 5 の出力を固定しているため、液晶表示装置の消費電力化を図ることができる。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】本発明の実施形態による液晶表示装置を示す回路図である。

【 図 2 】本発明の実施形態による液晶表示装置の画素の配置図である。

【 図 3 】本発明の実施形態による液晶表示装置の電源オフ・シーケンスを説明するタイミング図である。

【 図 4 】従来例の液晶表示装置の一画素を示す回路図である。

【 符号の説明 】

【 0 0 2 5 】

1 0	画素トランジスタ	1 1	画素電極	1 2	液晶
1 3	保持容量	1 4	ソースドライバ	1 5	ゲートドライバ
1 6	共通電極ドライバ	2 0	シーケンス制御回路		
P X L	画素	S L	ソース線	C L	共通電極

10

20

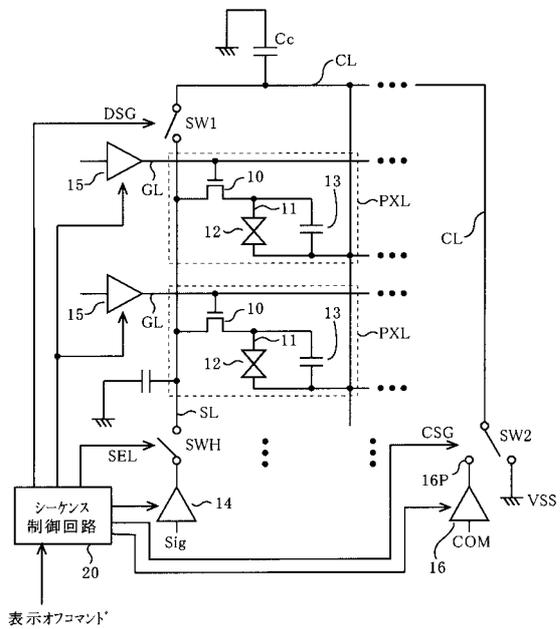
30

40

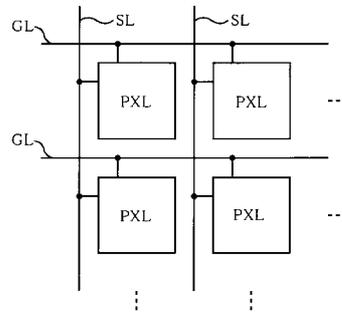
50

GL ゲート線 SW スイッチング素子
SWH 水平スイッチング素子
SW1 第1のスイッチング素子
SW2 第2のスイッチング素子

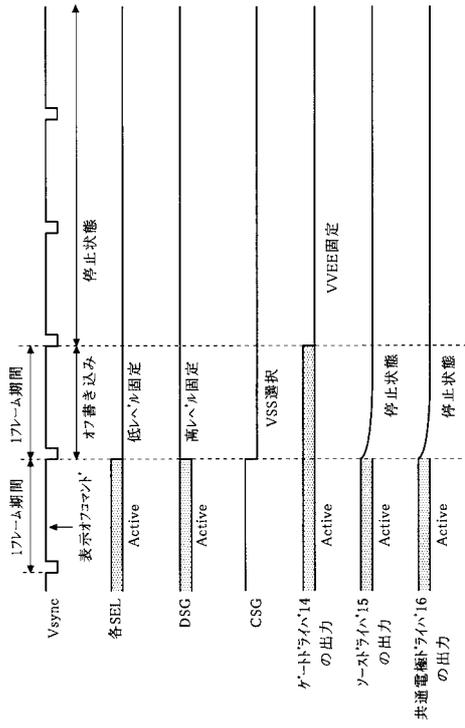
【 図 1 】



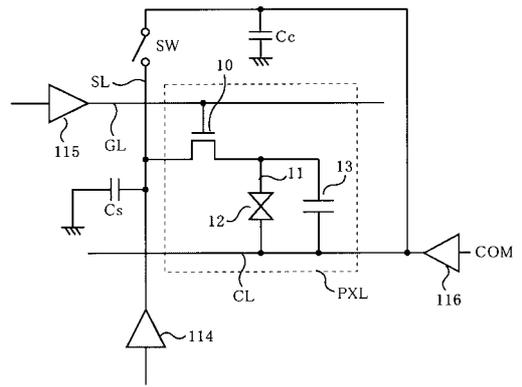
【 図 2 】



【 図 3 】



【 図 4 】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 1 1 A

F ターム(参考) 2H093 NA31 NC01 NC02 NC10 NC12 NC34 NC41 ND39 ND60 NE03
 5C006 AC11 AC21 AC22 AC24 AC25 AC26 AF44 AF51 AF64 AF67
 AF68 AF69 AF71 BB16 BC03 BC11 BF24 BF25 BF34 BF42
 FA16 FA34 FA36 FA38 FA47
 5C080 AA10 BB05 DD26 FF03 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009014918A	公开(公告)日	2009-01-22
申请号	JP2007175208	申请日	2007-07-03
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	田尻憲一		
发明人	田尻 憲一		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.624.A G09G3/20.611.B G09G3/20.623.C G09G3/20.622.D G09G3/20.623.D G09G3/20.623.R G09G3/20.624.D G09G3/20.624.E G09G3/20.623.B G09G3/20.624.C G09G3/20.611.A		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JB22 2H092/JB31 2H092/NA26 2H092/PA06 2H093/NA31 2H093/NC01 2H093/NC02 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC41 2H093/ND39 2H093/ND60 2H093/NE03 5C006/AC11 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AC25 5C006/AC26 5C006/AF44 5C006/AF51 5C006/AF64 5C006/AF67 5C006/AF68 5C006/AF69 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF24 5C006/BF25 5C006/BF34 5C006/BF42 5C006/FA16 5C006/FA34 5C006/FA36 5C006/FA38 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H192/AA24 2H192/DA12 2H192/FB09 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB07 2H193/ZE38 2H193/ZF01 2H193/ZF02 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZP03		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中当显示器关闭时功耗降低。
 ŽSOLUTION：当检测到作为用于关闭液晶显示装置的显示的信号
 的显示器关闭命令时，控制信号DSG与随后的垂直同步信号Vsync，第
 一开关元件同步地成为高电平。SW1导通，由此源极线SL与公共电极
 CL短路。此外，使控制信号SEL为低电平，从而关闭水平开关元件SWH
 并从源极驱动器14切断源极线SL。此外，根据控制信号CSG，第二次切
 换切换元件SW2，并将地电位VSS提供给公共电极CL。由此，源极线SL
 和公共电极CL都被设定为地电位VSS。此外，在相同的帧周期期间，停
 止源极驱动器14和公共电极驱动器16的操作。Ž

