

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-276250

(P2008-276250A)

(43) 公開日 平成20年11月13日(2008.11.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 612L	5C006
G02F 1/133 (2006.01)	G09G 3/20 623D	5C080
	G09G 3/20 633E	
	G02F 1/133 550	
審査請求 有 請求項の数 6 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2008-167797 (P2008-167797)	(71) 出願人	501426046
(22) 出願日	平成20年6月26日 (2008. 6. 26)		エルジー ディスプレイ カンパニー リ
(62) 分割の表示	特願2004-183022 (P2004-183022)		ミテッド
原出願日	平成16年6月21日 (2004. 6. 21)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(31) 優先権主張番号	2003-040487	(74) 代理人	100110423
(32) 優先日	平成15年6月21日 (2003. 6. 21)		弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
		(74) 代理人	100147566
			弁理士 上田 俊一
		最終頁に続く	

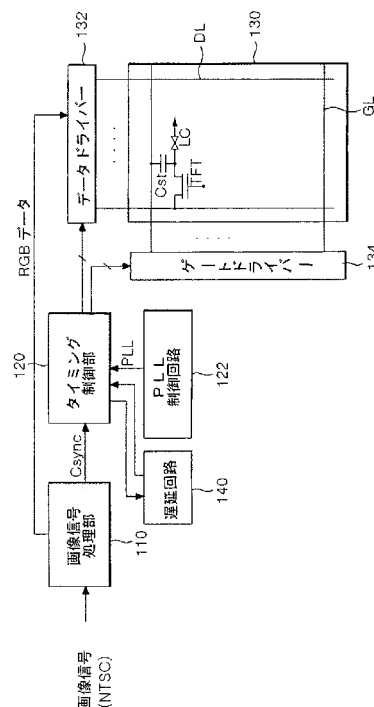
(54) 【発明の名称】 液晶表示装置の駆動装置

(57) 【要約】

【課題】液晶パネルに表示される画像領域を外部から調整することができるようにした液晶表示装置の駆動装置を提供する。

【解決手段】複合画像信号からテレビ画像信号と複合同期信号とを分離する画像信号処理部と、前記テレビ画像信号を表示する液晶パネルと、内部クロック信号と前記画像信号処理部からの前記複合同期信号を用いて前記液晶パネルに表示される前記テレビ画像信号の表示開始時点を決めるソーススタートパルス生成するタイミング制御部と、前記内部クロック信号を遅延させて前記タイミング制御部に供給する遅延回路を具備する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

複合画像信号からテレビ画像信号と複合同期信号とを分離する画像信号処理部と、
前記テレビ画像信号を表示する液晶パネルと、
前記液晶パネルに表示される前記テレビ画像信号の表示開始時点を決めるソーススタートパルス生成するタイミング制御部と、
前記タイミング制御部から供給される内部クロック信号を遅延させて前記タイミング制御部に再供給する遅延回路と
を具備し、
前記タイミング制御部は、前記遅延回路により遅延された内部クロック信号と前記画像信号処理部からの前記複合同期信号を用いてソーススタートパルス生成し、前記ソーススタートパルスは、前記遅延回路により遅延された内部クロック信号から生成されることを特徴とする液晶表示装置の駆動装置。

10

【請求項 2】

前記タイミング制御部からの前記ソーススタートパルスを含む制御信号に応答して前記テレビ画像信号を前記液晶パネルのデータラインに供給するデータドライバーと、
前記タイミング制御部からの制御信号に応答して前記液晶パネルのゲートラインを駆動させるためのゲートドライバーと
をさらに具備する
ことを特徴とする請求項 1 記載の液晶表示装置の駆動装置。

20

【請求項 3】

前記遅延回路は、前記内部クロック信号として、前記複合同期信号と同一周期を有する分周クロック信号または前記複合同期信号と同一周期を有し、前記複合同期信号に対し反転した水平同期信号とのいずれかを遅延させる
ことを特徴とする請求項 1 記載の液晶表示装置の駆動装置。

【請求項 4】

前記分周クロック信号の立ち上がりを前記複合同期信号の幅の中心部分に同期させるための PLL 制御信号を前記タイミング制御部に供給する PLL 制御回路をさらに具備することを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

30

【請求項 5】

前記遅延回路は、前記分周クロック信号を出力する前記タイミング制御部の出力端子に接続された可変抵抗と、前記可変抵抗とグランドとの間に接続されたキャパシターを具備し、前記可変抵抗と前記キャパシターとの間のノードは前記ソーススタートパルス生成部のクロック入力端子に接続される
ことを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

【請求項 6】

前記遅延回路は、前記水平同期信号を出力する前記タイミング制御部の出力端子に接続された可変抵抗と、前記可変抵抗とグランドとの間に接続されたキャパシターを具備して、前記可変抵抗と前記キャパシターとの間のノードは前記ソーススタートパルス生成部のクロック入力端子に接続される
ことを特徴とする請求項 3 記載の液晶表示装置の駆動装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置の駆動装置に関し、特に液晶パネルに表示される画像領域を外から調整することができるようにした液晶表示装置の駆動装置に関するものである。

【背景技術】**【0002】**

アクティブマトリックス (Active Matrix) 駆動方式の液晶表示装置は、スイッチング素子として薄膜トランジスタ (Thin Film Transistor) を用いて自然な動画像を表示し

50

ている。このような液晶表示装置は、ブラウン管に比べて小型化が可能で、デスクトップ型コンピュータやノートブック型コンピュータは勿論のこと、コピー機などのオフィスオートメーション機器、携帯電話機やポケットベルなどの携帯機器まで手広く利用されている。

【 0 0 0 3 】

アクティブマトリックスタイプの液晶表示装置は、液晶セルがゲートラインとデータラインの交差部のそれぞれに配列された画素マトリックス (Picture Element Matrix) にテレビ信号のようなビデオ信号にあたる画像を表示するようになる。薄膜トランジスタは、ゲートラインとデータラインの交差部に設置されてゲートラインからのスキャン信号 (ゲートパルス) に応答して液晶セルに送信されるデータ信号をスイッチングする。

10

【 0 0 0 4 】

このような、液晶表示装置は、テレビ信号方式により N T S C 信号方式用と P A L 信号方式用に分けられる。

【 0 0 0 5 】

一般的に、N T S C 信号 (5 2 5 垂直ライン) が入力されれば、液晶表示装置の水平解像度はサンプリングされるデータの数により表現され、垂直解像度は 2 3 4 ラインデインタレース (de-interlace) 方式により表現される。一方、P A L 信号 (6 2 5 垂直ライン) が入力されれば、液晶表示装置の水平解像度はサンプリングされるデータの数によって表現され、垂直解像度は 6 垂直ライン毎に 1 ラインをとり除いて 5 2 1 ラインとなり N T S C 信号のような処理方式により表現される。

20

【 0 0 0 6 】

図 1 及び図 2 を参照すれば、従来の液晶表示装置の駆動装置は、液晶セルがマトリックス状に配列された液晶パネル 3 0 と、液晶パネル 3 0 のゲートライン G L を駆動するためのゲートドライバー 3 4 と、液晶パネル 3 0 のデータライン D L を駆動するためのデータドライバー 3 2 と、N T S C 画像信号を受信してそのテレビ複合信号から分離した R G B データ信号 R、G、B をデータドライバー 3 2 に供給すると共に複合同期信号 C s y n c をタイミング制御部 2 0 に出力する画像信号処理部 1 0 と、P L L 制御回路 2 2 と、画像信号処理部 1 0 からの複合同期信号 C s y n c を受信して水平同期信号 H s y n c 及び垂直同期信号 V s y n c に分離すると共に水平同期信号 H s y n c 及び垂直同期信号 V s y n c と P L L 制御回路 2 2 からの P L L 制御信号に応答してデータドライバー 3 2 及びゲートドライバー 3 4 に制御信号を供給して駆動タイミングを制御するタイミング制御部 2 0 を具備する。

30

【 0 0 0 7 】

液晶パネル 3 0 は、マトリックス状に配列された液晶セルと、ゲートライン G L とデータライン D L の交差部毎に形成されて液晶セルそれぞれに接続された薄膜トランジスタ T F T を具備する。

【 0 0 0 8 】

薄膜トランジスタ T F T は、ゲートライン G L からのスキャン信号、すなわちゲートハイ電圧 V G H が供給される場合ターンオンされてデータライン D L からの画素信号を液晶セルに供給する。また、薄膜トランジスタ T F T は、ゲートライン G L からゲートロー電圧 V G L が供給される場合ターンオフされて液晶セルに充電された画素信号が維持されるようにする。

40

【 0 0 0 9 】

液晶セルは、等価的に液晶容量キャパシター L C として表現され、液晶を間に置いて対向する共通電極と薄膜トランジスタ T F T に接続された画素電極を含む。また、液晶セルは、充電された画素信号が次の画素信号が充電されるまで安定的に維持されるようにするためにストレージキャパシター C s t をさらに具備する。このストレージキャパシター C s t は、前段のゲートラインと画素電極との間に形成される。このような液晶セルは、薄膜トランジスタ T F T を通じて充電される画素信号により誘電異方性を有する液晶の配列状態が可変して光透過率を調節することでグレースケールレベルを表現するようになる。

50

【 0 0 1 0 】

ゲートドライバ 3 4 は、タイミング制御部 2 0 からのゲート制御信号 G S P、G S C、G O E に応答してゲートライン G L に順次ゲートハイ電圧 V G H を供給する。これにより、ゲートドライバ 3 4 は、ゲートライン G L に接続された薄膜トランジスタ T F T をゲートライン G L 単位に駆動する。

【 0 0 1 1 】

具体的には、ゲートドライバ 3 4 は、ゲートスタートパルス G S P をゲートシフトパルス G S C によってシフトさせてシフトパルスを発生する。また、ゲートドライバ 3 4 は、シフトパルスに応答して水平期間 H 1、H 2、・・・毎に該当するゲートライン G L にゲートハイ電圧 V G H を供給するようになる。この場合、ゲートドライバ 3 4 はゲート出力のイネーブル信号 G O E に応答してイネーブル期間にのみゲートハイ電圧 V G H を供給するようになる。また、ゲートドライバ 3 4 は、ゲートライン G L にゲートハイ電圧 V G H が供給されない他の期間ではゲートロー電圧 V G L を供給するようになる。

10

【 0 0 1 2 】

データドライバ 3 2 は、タイミング制御部 2 0 からのデータ制御信号 S S P、S S C、S O E に応答して水平期間 H 1、H 2、・・・毎に 1 ライン分ずつの画素データ信号をデータライン D L に供給する。特に、データドライバ 3 2 は、画像信号処理部 1 0 からの R G B データを液晶パネル 3 0 に供給する。

【 0 0 1 3 】

具体的には、データドライバ 3 2 は、ソーススタートパルス S S P をソースシフトクロック S S C によってシフトさせてサンプリング信号を発生する。引き続いて、データドライバ 3 2 は、サンプリング信号に応答してアナログ R G B データを一定単位ずつ順次入力してラッチする。また、データドライバ 3 2 は、ラッチされた 1 ライン分のアナログデータをデータライン D L に供給するようになる。

20

【 0 0 1 4 】

画像信号処理部 1 0 は、外部から供給される画像信号 N T S C を液晶パネル 3 0 の特性によって駆動に適当な電圧 R、G、B に変換してデータドライバ 3 2 に供給すると共に、複合同期信号 C s y n c をタイミング制御部 2 0 に供給する。この時、複合同期信号 C s y n c は画像信号 N T S C から分離して発生する。

【 0 0 1 5 】

P L L 制御回路 2 2 は、所定の発振周波数である P L L 制御信号を発生してタイミング制御部 2 0 に供給する。

30

【 0 0 1 6 】

タイミング制御部 2 0 は、複合同期信号 C s y n c と同一周期を有する分周信号 D I V 及び複数のクロックを出力する図示しない P L L を有する分周器を内蔵し、P L L を用いて複合同期信号 C s y n c と分周信号 D I V を互いに同期させるようになる。この時、分周信号 D I V は複合同期信号 C s y n c の幅の中心部分に同期される。

【 0 0 1 7 】

タイミング制御部 2 0 は、分周器の複数のクロックを用いて複合同期信号 C s y n c に対し反転した水平同期信号 H s y n c を発生するようになる。なお、タイミング制御部 2 0 は、図 3 に示されるように、液晶パネル 3 0 に表示される画像信号 N T S C の水平方向表示開始時点 S T を決めるソーススタートパルス S S P を発生するためのソーススタートパルス生成部 2 4 を具備する。

40

【 0 0 1 8 】

ソーススタートパルス生成部 2 4 は、画像信号処理部 1 0 から複合同期信号 C s y n c を受けると共に、タイミング制御部 2 0 の内部で発生される分周信号 D I V 及び水平同期信号 H s y n c を受けるようになる。これによって、ソーススタートパルス生成部 2 4 は、複合同期信号 C s y n c 及び分周信号 D I V を用いてソーススタートパルス S S P を生成し、または複合同期信号 C s y n c 及び水平同期信号 H s y n c を用いてソーススタートパルス S S P を生成するようになる。このような、ソーススタートパルス生成部 2 4 で

50

生成されたソーススタートパルス S S P はデータドライバー 3 2 に供給される。

【 0 0 1 9 】

このような従来の液晶表示装置の駆動装置は、ソーススタートパルス S S P を用いて液晶パネル 3 0 の 1 水平ラインに画像信号 N T S C の映像区間の中からソーススタートパルス S S P の開始時点 S T からの映像を表示するようになる。例えば、図 4 に示されるように、液晶パネル 3 0 の 1 水平ラインに 1 乃至 1 3 を表示する画像信号 A を前記ソーススタートパルス S S P を用いて表示すれば、斜線部分の画像信号 B、すなわち 3 乃至 1 2 が表示されるようになる。

【 発明の開示 】

【 発明が解決しようとする課題 】

10

【 0 0 2 0 】

本発明の目的は液晶パネルに表示される画像領域を外部から調整することができるようにした液晶表示装置の駆動装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 2 1 】

前記目的を達成するために、本発明に係る液晶表示装置の駆動装置は、複合画像信号からテレビ画像信号と複合同期信号とを分離する画像信号処理部と、前記テレビ画像信号を表示する液晶パネルと、前記液晶パネルに表示される前記テレビ画像信号の表示開始時点を決めるソーススタートパルスを生成するタイミング制御部と、前記タイミング制御部から供給される内部クロック信号を遅延させて前記タイミング制御部に再供給する遅延回路とを具備し、前記タイミング制御部は、前記遅延回路により遅延された内部クロック信号と前記画像信号処理部からの前記複合同期信号を用いてソーススタートパルスを生成し、前記ソーススタートパルスは、前記遅延回路により遅延された内部クロック信号から生成されることを特徴とする。

20

【 発明の効果 】

【 0 0 2 2 】

上述したように、本発明に係る液晶表示装置の駆動装置は、ソーススタートパルスを可変させるために可変抵抗及びキャパシターを有する遅延回路を具備する。これによって、本発明は、可変抵抗の抵抗値を可変して液晶パネルの 1 水平ラインに表示される画像信号の表示開始時点を決めるソーススタートパルスを可変させることで、使用者が願う映像を表示することができるようになる。したがって、本発明は、液晶パネルに表示される画像の領域を使用者により外部から調整することができるようになる。

30

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

以下、本発明の実施の形態を添付した図 5 乃至図 1 0 を参照して詳細に説明する事にする。

【 0 0 2 4 】

図 5 及び図 6 を参照すれば、本発明の実施の形態に係る液晶表示装置の駆動装置は、液晶セルがマトリックス状に配列された液晶パネル 1 3 0 と、液晶パネル 1 3 0 のゲートライン G L を駆動するためのゲートドライバー 1 3 4 と、液晶パネル 1 3 0 のデータライン D L を駆動するためのデータドライバー 1 3 2 と、複合画像信号として N T S C 画像信号を受けて R G B データ信号 R、G、B に分離してデータドライバー 1 3 2 に供給すると共に複合同期信号 C s y n c を画像信号処理部 1 1 0 に出力する画像信号処理部 1 1 0 と、P L L 制御回路 1 2 2 と、画像信号処理部 1 1 0 からの複合同期信号 C s y n c を受けて水平同期信号 H s y n c 及び垂直同期信号 V s y n c を分離して出力すると共に水平同期信号 H s y n c 及び垂直同期信号 V s y n c と P L L 制御回路 1 2 2 からの P L L 制御信号に応答してデータドライバー 1 3 2 及びゲートドライバー 1 3 4 に制御信号を供給して駆動タイミングを制御するタイミング制御部 1 2 0 と、前記タイミング制御部 1 2 0 から供給されるクロック信号を遅延させてタイミング制御部 1 2 0 に再供給する遅延回路 1 4 0 とを具備する。

40

50

【 0 0 2 5 】

液晶パネル 1 3 0 は、マトリックス状に配列された液晶セルと、ゲートライン G L とデータライン D L の交差部毎に形成されて液晶セルそれぞれに接続された薄膜トランジスタ T F T とを具備する。

【 0 0 2 6 】

薄膜トランジスタ T F T は、ゲートライン G L からのスキャン信号、すなわちゲートハイ電圧 V G H が供給される場合、ターンオンされて、データライン D L からの画素信号を液晶セルに供給する。また、薄膜トランジスタ T F T は、ゲートライン G L からゲートロー電圧 V G L が供給される場合、ターンオフされて、液晶セルに充電された画素信号が維持されるようにする。

10

【 0 0 2 7 】

液晶セルは、等価的に液晶容量キャパシター L C に表現されて、液晶を間に置いて対向する共通電極と薄膜トランジスタ T F T に接続された画素電極を含む。また、液晶セルは、充電された画素信号が次の画素信号が充電されるまで安定的に維持されるようにするために、ストレージキャパシター C s t をさらに具備する。このストレージキャパシター C s t は前段のゲートラインと画素電極の間に形成される。このような液晶セルは、薄膜トランジスタ T F T を通じて充電される画素信号によって誘電異方性を有する液晶の配列状態が可変して光透過率を調節することで、グレースケールレベルを表現するようになる。

【 0 0 2 8 】

ゲートドライバー 1 3 4 は、タイミング制御部 1 2 0 からのゲート制御信号 G S P、G S C、G O E に応答してゲートライン G L に順次ゲートハイ電圧 V G H を供給する。これによって、ゲートドライバー 1 3 4 はゲートライン G L に接続された薄膜トランジスタ T F T がゲートライン G L 単位に駆動されるようにする。

20

【 0 0 2 9 】

具体的には、ゲートドライバー 1 3 4 はゲートスタートパルス G S P をゲートシフトパルス G S C によりシフトさせてシフトパルスを発生する。また、ゲートドライバー 1 3 4 はシフトパルスに応答して水平期間 H 1、H 2、・・・毎に該当のゲートライン G L にゲートハイ電圧 V G H を供給するようになる。この場合、ゲートドライバー 1 3 4 はゲート出力イネーブル信号 G O E に応答してイネーブル期間でばかりゲートハイ電圧 V G H を供給するようになる。また、ゲートドライバー 1 3 4 はゲートライン G L にゲートハイ電圧 V G H が供給されない他の期間ではゲートロー電圧 V G L を供給するようになる。

30

【 0 0 3 0 】

データドライバー 1 3 2 はタイミング制御部 1 2 0 からのデータ制御信号 S S P、S S C、S O E に応答して水平期間 H 1、H 2、・・・毎に 1 ライン分ずつの画素データ信号をデータライン D L に供給する。特に、データドライバー 1 3 2 は画像信号処理部 1 1 0 からの R G B データを液晶パネル 1 3 0 に供給する。

【 0 0 3 1 】

具体的には、データドライバー 1 3 2 は、ソーススタートパルス S S P をソースシフトクロック S S C に沿ってシフトさせてサンプリング信号を発生する。引き続いて、データドライバー 1 3 2 はサンプリング信号に応答してアナログ R G B データを一定単位ずつ順次入力してラッチする。また、データドライバー 1 3 2 はラッチされた 1 ライン分のアナログデータをデータライン D L に供給するようになる。

40

【 0 0 3 2 】

画像信号処理部 1 1 0 は、外部から供給される画像信号 N T S C を液晶パネル 1 3 0 の特性により駆動に適当な電圧 R、G、B に変換してデータドライバー 1 3 2 に供給すると共に、複合同期信号 C s y n c をタイミング制御部 1 2 0 に供給する。この時、複合同期信号 C s y n c は画像信号 N T S C から分離して発生する。

【 0 0 3 3 】

P L L 制御回路 1 2 2 は、所定の発振周波数である P L L 制御信号を発生してタイミング制御部 1 2 0 に供給する。

50

【0034】

タイミング制御部120は、複合同期信号Csyncと同一周期を有する分周信号DIV及び複数のクロックを出力する図示しないPLLを有する分周器を内蔵して、PLLを用いて複合同期信号Csyncと分周信号DIVを互いに同期させるようになる。この時、分周信号DIVは複合同期信号Csyncの幅の中心部分に同期される。タイミング制御部120は、分周器の多くのクロックを用いて複合同期信号Csyncに対し反転した水平同期信号Hsyncを発生するようになる。なお、タイミング制御部20は、図7に示されるように、液晶パネル130に表示される画像信号NTSCの水平方向表示開始時点F1、F2、F3を決めるソーススタートパルスSSPを発生するためのソーススタートパルス生成部124を具備する。

10

【0035】

ソーススタートパルス生成部124は、画像信号処理部110から複合同期信号Csyncを受けると共に、遅延回路140からのクロック信号を受ける。この時、遅延回路140は、タイミング制御部120の内部で発生する水平同期信号HsyncをRC時定数により遅延させてソーススタートパルス生成部124に供給する。

【0036】

このために、遅延回路140は、タイミング制御部120の水平同期信号Hsyncの出力ラインに接続された可変抵抗RBと、可変抵抗RBとグランドGNDとの間に接続されたキャパシタCを具備する。この時、可変抵抗RBとキャパシタCとの間のノードはソーススタートパルス生成部124のクロック入力端子に接続される。

20

【0037】

このような遅延回路140は、可変抵抗RBの抵抗値を可変して水平同期信号Hsyncを遅延させて、遅延したクロック信号をソーススタートパルス生成部124に供給する。これによって、ソーススタートパルス生成部124は、複合同期信号Csync及び遅延回路140から供給されるクロック信号を用いてソーススタートパルスSSPを生成するようになる。したがって、タイミング制御部120からデータドライバー132に供給されるソーススタートパルスSSPは遅延回路140のRC時定数によって可変される。

【0038】

一方、遅延回路140は、図8に示されるように、タイミング制御部120の分周信号DIVの出力ラインに接続された可変抵抗RBと、可変抵抗RBとグランドGNDとの間に接続されたキャパシタCを備えて構成することもできる。この時、可変抵抗RBとキャパシタCとの間のノードはソーススタートパルス生成部124のクロック入力端子に接続される。このような、遅延回路140は、可変抵抗RBの抵抗値を可変して分周信号DIVを遅延させて、遅延されたクロック信号をソーススタートパルス生成部124に供給する。これによって、ソーススタートパルス生成部124は、複合同期信号Csync及び遅延回路140から供給されるクロック信号を用いてソーススタートパルスSSPを生成するようになる。したがって、タイミング制御部120からデータドライバー132に供給されるソーススタートパルスSSPは遅延回路140のRC時定数により可変される。

30

【0039】

このような、本発明の実施の形態に係る液晶表示装置の駆動装置は、ソーススタートパルスSSPを用いて液晶パネル130の1水平ラインに画像信号NTSCの画像領域の中の、ソーススタートパルスSSPの開始時点F1、F2、F3からの画像を表示するようになる。例えば、図9に示されるように、開始時点F3を有するソーススタートパルスSSPを用いて液晶パネル130の1水平ラインに1乃至13を表示する画像信号Aを液晶パネル130上に表示すれば、斜線部分の画像信号B、すなわち4乃至13が表示されるようになる。言い換えて、使用者が遅延回路140の可変抵抗RBの抵抗値を可変してソーススタートパルスSSPの開始時点F1、F2、F3を可変させることで、画像信号NTSCの表示開始時点F1、F2、F3を変更することができるようになる。

40

【0040】

50

具体的には、テレビ画像信号NTSCが図9に図示されたA画像である時、使用者は可変抵抗RBを可変させて斜線部分の数字4乃至13を表示する画像Bを液晶パネル130に表示することができ、図10に示されるように、数字1乃至10を表示する画像Bを液晶パネル130に表示することができる。これによって、本発明の実施の形態に係る液晶表示装置の駆動装置は、液晶パネル130の1水平方向に図4に図示された従来の画像Bとしては見られなかった他の画像1、2、13を見られるようになる。ここで、図10に図示された数字1及び2の画像はテレビ画像信号NTSCに0画像が含まれた場合、これを1遅延させることで、液晶パネル130上に表示することができるようになる。

【0041】

このように、本発明の実施の形態に係る液晶表示装置の駆動装置は、液晶パネル130の1水平ラインに表示される画像信号の表示開始時点F1、F2、F3を決めるソーススタートパルスSSPをRC時定数で可変させることで、使用者が願う画像を表示することができるようになる。

【0042】

以上説明した内容を通じて当業者であれば本発明の技術思想を逸脱しない範囲内で多様な変更及び修正ができる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲により決められなければならない。

【図面の簡単な説明】

【0043】

【図1】一般的な液晶表示装置の駆動装置を概略的に示すブロック図である。

【図2】図1に図示された液晶パネルの駆動に使われるクロック信号を示す波形図である。

【図3】図2に図示されたソーススタートパルス生成するためのタイミング制御部を示すブロック図である。

【図4】図2に図示された画像信号とソーススタートパルスにより液晶パネルに表示される映像を示す図面である。

【図5】本発明の実施の形態に係る液晶表示装置の駆動装置を概略的に示すブロック図である。

【図6】図5に図示された液晶パネルの駆動に使われるクロック信号を示す波形図である。

【図7】図6に図示されたソーススタートパルス生成するためのタイミング制御部を示すブロック図である。

【図8】図6に図示されたソーススタートパルス生成するためのタイミング制御部を示すブロック図である。

【図9】図6に図示された画像信号とソーススタートパルスにより液晶パネルに表示される映像を示す図面である。

【図10】図6に図示された画像信号とソーススタートパルスにより液晶パネルに表示される他の映像を示す図面である。

【符号の説明】

【0044】

10、110 画像信号処理部、20、120 タイミング制御部、22、122 位相固定ループ制御回路、30、130 液晶パネル、24、124 ソーススタートパルス生成部、32、132 データドライバー、34、134 ゲートドライバー、140 遅延回路。

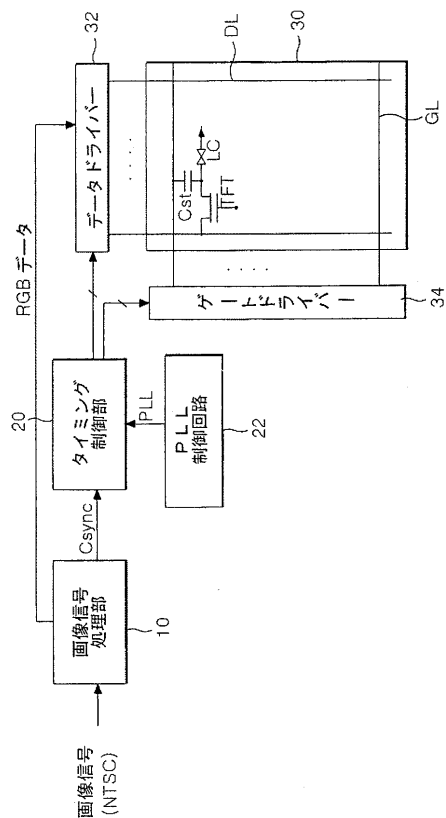
10

20

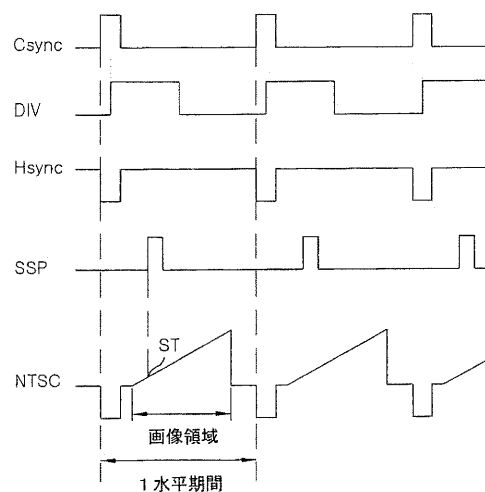
30

40

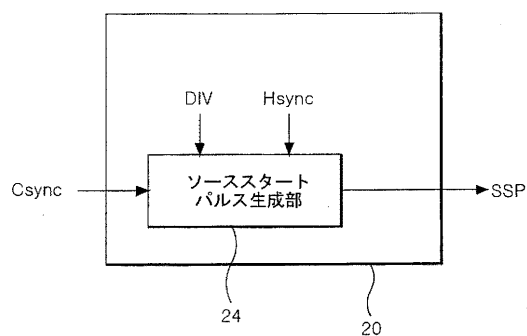
【図 1】



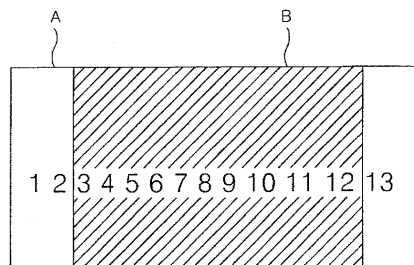
【図 2】



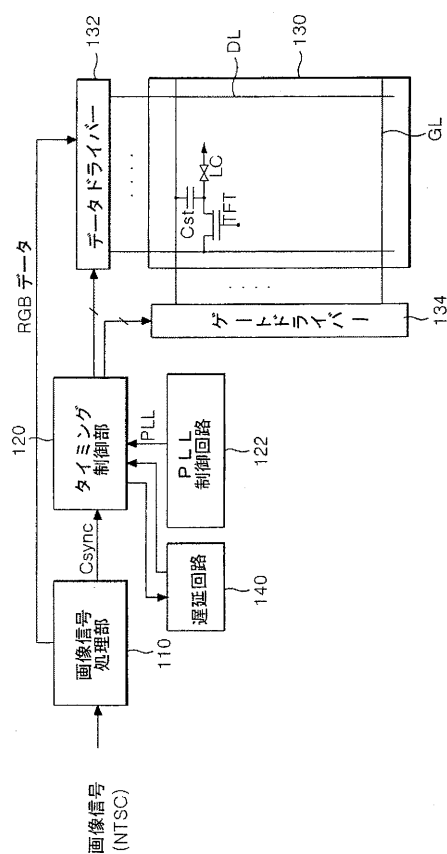
【図 3】



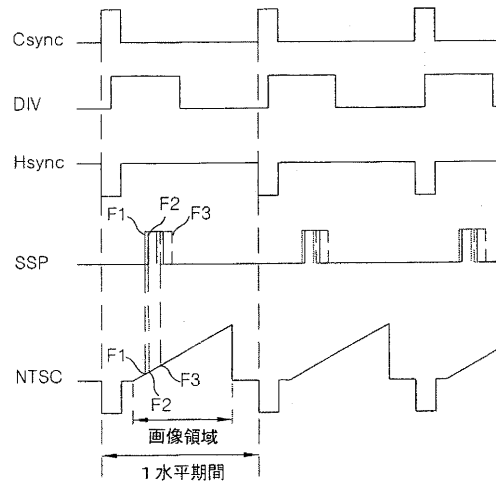
【図 4】



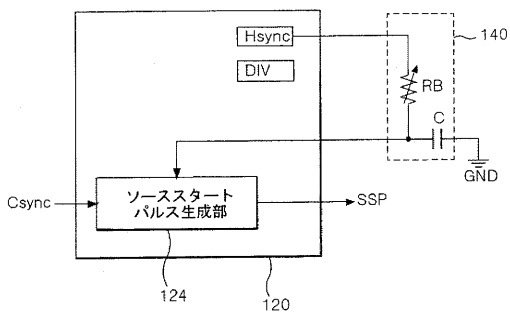
【図 5】



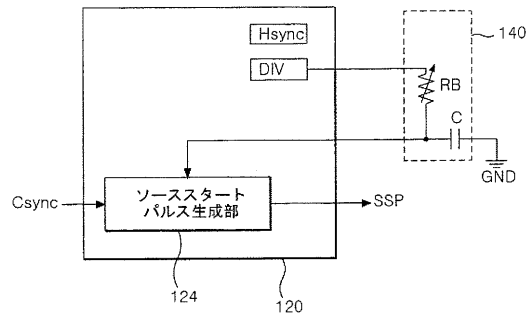
【図 6】



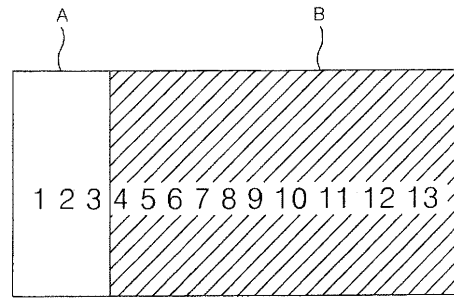
【図 7】



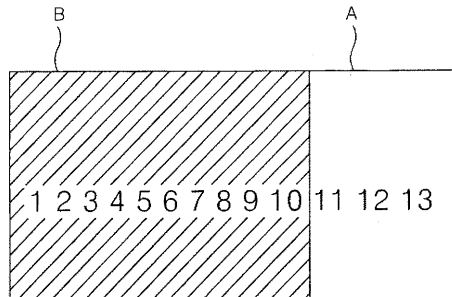
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 2 F 1/133 5 0 5
G 0 9 G 3/20 6 6 0 E

(72)発明者 チョン、サン・ペク
大韓民国、キョンサンプク - ド、クミ - シ、ヒョンゴク - ドン 1 6 9、チュゴン・アパートメン
ト 4 0 4 - 5 0 6

(72)発明者 ソン、ヨン・クォン
大韓民国、キョンサンプク - ド、クミ - シ、チンピョン - ドン、チュゴン・ミレ・アパートメント
1 0 4 - 3 0 5

F ターム(参考) 2H093 NA16 NA53 NC10 NC12 NC21 NC34 NC35 ND06 ND60
5C006 AA22 AF52 AF71 BB16 BC06 BF07 BF37 FA16
5C080 AA10 BB05 CC03 DD01 DD30 EE30 JJ01 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	JP2008276250A	公开(公告)日	2008-11-13
申请号	JP2008167797	申请日	2008-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	チョンサンベク ソンヨンクォン		
发明人	チョン、サン・ベク ソン、ヨン・クォン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G5/18 H04N5/08 H04N5/66		
CPC分类号	G09G5/18 G09G2340/0478		
FI分类号	G09G3/36 G09G3/20.612.L G09G3/20.623.D G09G3/20.633.E G02F1/133.550 G02F1/133.505 G09G3/20.660.E		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC21 2H093/NC34 2H093/NC35 2H093/ND06 2H093/ND60 5C006/AA22 5C006/AF52 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BF07 5C006/BF37 5C006/FA16 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD30 5C080/EE30 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZF22 2H193/ZF36		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020030040487 2003-06-21 KR		
其他公开文献	JP5336117B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了提供液晶显示装置的驱动装置，可以从外部调节液晶面板上显示的图像区域。ŽSOLUTION：驱动装置包括：图像信号处理部分，用于从合成图像信号中分离出电视图像信号和合成同步信号；显示电视图像信号的液晶面板；定时控制部分，通过使用内部时钟信号和来自图像信号处理部分的合成同步信号，产生确定电视图像信号开始在液晶面板上显示的时间点的源起始脉冲；延迟电路延迟内部时钟信号并将其提供给定时控制部分。Ž

