

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-226180

(P2007-226180A)

(43) 公開日 平成19年9月6日(2007.9.6)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 575	2H093
G09G 3/36 (2006.01)	G02F 1/133 570	5C006
G09G 3/20 (2006.01)	G02F 1/133 550	5C080
	G09G 3/36	
	G09G 3/20 621F	
審査請求 未請求 請求項の数 17 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2006-228532 (P2006-228532)
 (22) 出願日 平成18年8月25日 (2006.8.25)
 (31) 優先権主張番号 10-2006-0016804
 (32) 優先日 平成18年2月21日 (2006.2.21)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市八達区梅灘洞416
 番地
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子
 (72) 発明者 趙 賢 相
 大韓民国忠清南道天安市佛堂洞ドンイル
 ハイビル, 206-1801

最終頁に続く

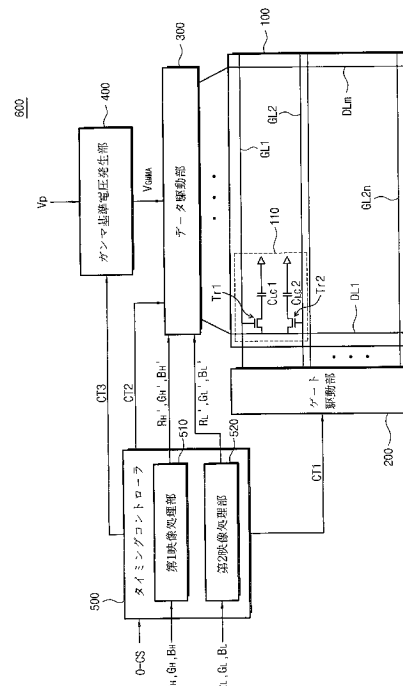
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 表示装置を提供する。

【解決手段】 表示装置において、第1映像処理部は第1外部映像信号にตอบสนองして第1プレチルト区間の間第1プレチルト階調を出力し、第2映像処理部は第2外部映像信号にตอบสนองして第2プレチルト区間の間第1プレチルト階調より高い第2プレチルト階調を出力する。ガンマ基準電圧発生部はガンマ基準電圧を出力する。データ駆動部はガンマ基準電圧に基づいて第1プレチルト階調を第1プレチルト電圧に変換して出力し、第2プレチルト階調を第1プレチルト電圧と同一の第2プレチルト電圧に変換して出力する。したがって、ハイ及びロー画素の間で液晶に印加される充電量の差によって発生する応答速度の低下を防止することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 外部映像信号に応答して第 1 プレチルト区間の間第 1 階調に対応する第 1 プレチルト信号を出力する第 1 映像処理部と、

第 2 外部映像信号に応答して第 2 プレチルト区間の間前記第 1 階調より高い第 2 階調に対応する第 2 プレチルト信号を出力する第 2 映像処理部と、

外部から電源電圧が入力されてガンマ基準電圧を出力するガンマ電圧発生部と、

前記ガンマ基準電圧に基づいて前記第 1 プレチルト区間の間前記第 1 プレチルト信号を第 1 プレチルト電圧に変換して出力し、前記第 2 プレチルト区間の間前記第 2 プレチルト信号を前記第 1 プレチルト電圧と同一の第 2 プレチルト電圧に変換して出力するデータ駆動部と、

前記第 1 プレチルト区間の間第 1 ゲート信号を出力し、前記第 2 プレチルト区間の間第 2 ゲート信号を出力するゲート駆動部と、

前記第 1 プレチルト区間の間前記第 1 ゲート信号に응答して前記第 1 プレチルト電圧が入力される第 1 画素及び前記第 2 プレチルト区間の間前記第 2 ゲート信号に응答して前記第 2 プレチルト電圧が入力される第 2 画素を含む多数の画素からなる映像を表示する表示部とを含むことを特徴とする表示装置。

【請求項 2】

前記第 1 映像処理部に次のフレームの第 1 ハイ映像信号が入力され、あらかじめ貯蔵された現在フレームの第 2 ハイ映像信号とあらかじめ貯蔵された前段フレームの第 3 ハイ映像信号に基づいて第 1 ハイ補正信号を生成し、前記第 1 ハイ映像信号と前記第 1 ハイ補正信号に基づいて第 2 ハイ補正信号を生成し、

前記第 2 映像処理部に次のフレームの第 1 ロー映像信号が入力され、あらかじめ貯蔵された現在フレームの第 2 ロー映像信号とあらかじめ貯蔵された前段フレームの第 3 ロー映像信号に基づいて第 1 ロー補正信号を生成し、前記第 1 ロー映像信号と前記第 1 ロー補正信号に基づいて第 2 ロー補正信号を生成することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 映像処理部は前記第 3 ハイ映像信号があらかじめ設定された第 1 基準値より小さく、前記第 1 ハイ補正信号があらかじめ設定された第 2 基準値より小さく、前記第 1 ハイ映像信号があらかじめ設定された第 3 基準値より大きければ、前記第 3 ハイ映像信号と同一の前記第 1 ハイ補正信号及び前記第 1 ハイ補正信号に第 1 ハイ補正值が加えられた前記第 2 ハイ補正信号を生成し、

前記ロー映像処理部は前記第 3 ロー映像信号があらかじめ設定された第 4 基準値より小さく、前記第 1 ロー補正信号があらかじめ設定された第 5 基準値より小さく、前記第 1 ロー映像信号があらかじめ設定された第 6 基準値より大きければ、前記第 3 ロー映像信号と同一の第 1 ロー補正信号及び前記第 1 ロー補正信号に第 1 ロー補正值が加えられた前記第 2 ロー補正信号を生成することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記第 2 ハイ補正信号は前記第 1 プレチルト信号に対応する信号であり、

前記第 2 ロー補正信号は前記第 2 プレチルト信号に対応する信号であることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記第 1 ハイ補正值は前記第 1 ロー補正值より小さいことを特徴とする請求項 4 に記載の表示装置。

【請求項 6】

前記第 1 映像処理部は前記第 3 ハイ映像信号があらかじめ設定された第 1 基準値以上であるか、前記第 1 ハイ補正信号があらかじめ設定された第 2 基準値以上であるか、前記第 1 ハイ映像信号があらかじめ設定された第 3 基準値以下であれば、前記第 2 ハイ補正信号より第 2 ハイ補正值だけオーバーシュートされた前記第 1 ハイ補正信号及び前記第 1 ハイ

10

20

30

40

50

補正信号と同一の値を有する前記第 2 ハイ補正信号を生成し、

前記第 2 映像処理部は前記第 3 ロー映像信号があらかじめ設定された第 4 基準値以上であるか、前記第 1 ロー補正信号があらかじめ設定された第 5 基準値以上であるか、前記第 1 ロー映像信号があらかじめ設定された第 6 基準値以下であれば、前記第 2 ロー補正信号より第 2 ロー補正值だけオーバーシュートされた前記第 1 ロー補正信号及び前記第 2 ロー補正信号と同一の値を有する前記第 2 ロー補正信号を生成することを特徴とする請求項 2 に記載の表示装置。

【請求項 7】

前記データ駆動部は、

第 1 オーバーシュート期間の間前記ガンマ基準電圧に基づいて前記第 1 映像処理部から出力される前記第 2 ハイ補正信号をハイガンマ電圧に変換して出力し、 10

第 2 オーバーシュート期間の間前記ガンマ基準電圧に基づいて前記第 1 映像処理部から出力される前記第 2 ハイ補正信号を前記ハイガンマ電圧より低い電圧レベルを有するローガンマ電圧に変換して出力することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 1 映像処理部は、

次のフレームの第 1 ハイ映像信号が入力されて貯蔵され、あらかじめ貯蔵された現在フレームの第 2 ハイ映像信号を出力する第 1 フレームメモリと、

あらかじめ貯蔵された前段フレームの前記第 3 ハイ映像信号を出力し、前記現在フレームの前記第 2 ハイ映像信号が入力される第 2 フレームメモリと、 20

前記第 2 及び第 3 ハイ映像信号に基づいて第 1 ハイ補正信号を生成する第 1 補正部と、

前記第 1 ハイ映像信号と前記第 1 ハイ補正信号に基づいて前記第 1 プレチルト信号に対応する第 2 ハイ補正信号を生成する第 2 補正部とを含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

前記第 2 映像処理部は、

次のフレームの第 1 ロー映像信号が入力されて貯蔵され、あらかじめ貯蔵された現在フレームの第 2 ロー映像信号を出力する第 3 フレームメモリと、

あらかじめ貯蔵された前段フレームの第 3 ロー映像信号を出力し、前記現在フレームの前記第 2 ロー映像信号が入力される第 4 フレームメモリと、 30

前記第 2 及び第 3 ロー映像信号に基づいて第 1 ハイ補正信号を生成する第 3 補正部と、

前記第 1 ロー映像信号と前記第 1 ハイ補正信号に基づいて前記第 2 プレチルト信号に対応する第 2 ハイ補正信号を生成する第 4 補正部とを含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 10】

前記表示部は、

前記画素が駆動される 1 H 時間のうち前記ハイ画素が駆動される初期 H / 2 期間の間前記第 1 ゲート信号が入力受ける第 1 ゲートラインと、

前記画素が駆動される 1 H 時間のうち前記ロー画素が駆動される後期 H / 2 期間の間前記第 2 ゲート信号が入力される第 1 ゲートラインと、 40

前記初期 H / 2 期間の間前記第 1 プレチルト電圧が入力され、前記後期 H / 2 期間の間前記第 2 プレチルト電圧が入力されるデータラインとをさらに含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 11】

前記第 1 画素は、

前記第 1 ゲートライン及びデータラインに電氣的に連結され、前記第 1 ゲート信号にตอบสนองして前記第 1 プレチルト電圧を出力する第 1 スwitchング素子と、

前記第 1 プレチルト電圧が充電される第 1 液晶キャパシタとを含み、

前記第 2 画素は、

前記第 2 ゲートライン及びデータラインに電氣的に連結され、前記第 2 ゲート信号に応 50

答して前記第 2 プレチルト電圧を出力する第 2 スイッチング素子と、

前記第 2 プレチルト電圧が充電される第 2 液晶キャパシタとを含むことを特徴とする請求項 10 に記載の表示装置。

【請求項 12】

外部から外部制御信号が入力されて前記ゲート駆動部、データ駆動部及びガンマ電圧発生部に第 1、第 2 及び第 3 制御信号を提供して前記ゲート駆動部、データ駆動部及びガンマ電圧発生部の駆動を制御するタイミングコントローラをさらに含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 13】

前記第 1 及び第 2 映像処理部は前記タイミングコントローラに内蔵することを特徴とする請求項 12 に記載の表示装置。 10

【請求項 14】

外部映像信号に応答して第 1 プレチルト区間の間第 1 階調に対応する第 1 プレチルト信号を出力し、第 2 プレチルト区間の間前記第 1 階調より高い第 2 階調に対応する第 2 プレチルト信号を出力する映像処理部と、

外部から電源電圧が入力されて第 1 及び第 2 ガンマ基準電圧を出力するガンマ基準電圧発生部と、

前記第 1 ガンマ基準電圧に基づいて前記第 1 プレチルト区間の間前記第 1 プレチルト信号を第 1 プレチルト電圧に変換して出力し、前記第 2 ガンマ基準電圧に基づいて前記第 2 プレチルト区間の間前記第 2 プレチルト信号を前記第 1 プレチルト電圧と同一の第 2 プレチルト電圧に変換して出力するデータ駆動部と、 20

前記第 1 プレチルト区間の間第 1 ゲート信号を出力し、前記第 2 プレチルト区間の間第 2 ゲート信号を出力するゲート駆動部と、

前記第 1 プレチルト区間の間前記第 1 ゲート信号に応答して前記第 1 プレチルト電圧が入力される第 1 画素及び前記第 2 プレチルト区間の間前記第 2 ゲート信号に応答して前記第 2 プレチルト電圧が入力される第 2 画素を含む多数の画素からなって映像を表示する表示部とを含むことを特徴とする表示装置。

【請求項 15】

前記映像処理部は、

次のフレームの第 1 映像信号が入力されて貯蔵され、あらかじめ貯蔵された現在フレームの第 2 映像信号を出力する第 1 フレームメモリと、 30

あらかじめ貯蔵された前段フレームの第 3 映像信号を出力し、前記現在フレームの前記第 2 映像信号が入力される第 2 フレームメモリと、

前記第 2 及び第 3 映像信号に基づいて第 1 補正信号を生成する第 1 補正部と、

前記第 1 映像信号と前記第 1 補正信号に基づいて前記第 1 プレチルト信号に対応する第 2 補正信号または前記第 2 プレチルト信号に対応する第 3 補正信号を生成する第 2 補正部とを含むことを特徴とする請求項 14 に記載の表示装置。

【請求項 16】

前記表示部は、

前記画素が駆動される 1 H 時間のうち前記ハイ画素が駆動される初期 H / 2 期間の間前記第 1 ゲート信号が入力される第 1 ゲートラインと、 40

前記画素が駆動される 1 H 時間のうち前記ロー画素が駆動される後期 H / 2 期間の間前記第 2 ゲート信号が入力される第 1 ゲートラインと、

前記初期 H / 2 期間の間前記第 1 プレチルト電圧が入力され、前記後期 H / 2 期間の間前記第 2 プレチルト電圧が入力されるデータラインとをさらに含むことを特徴とする請求項 14 に記載の表示装置。

【請求項 17】

前記第 1 画素は、

前記第 1 ゲートライン及びデータラインに電氣的に連結され、前記第 1 ゲート信号に応答して前記第 1 プレチルト電圧を出力する第 1 スイッチング素子と、 50

前記第 1 プレチルト電圧が充電される第 1 液晶キャパシタとを含み、
前記第 2 画素は、
前記第 2 ゲートライン及びデータラインに電氣的に連結され、前記第 2 ゲート信号に
応答して前記第 2 プレチルト電圧を出力する第 2 スwitchング素子と、
前記第 2 プレチルト電圧が充電される第 2 液晶キャパシタとを含むことを特徴とする請求
項 16 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は表示装置に係り、さらに詳細には表示品質を改善することができる表示装置に
関する。

【背景技術】

【0002】

一般的に液晶表示装置は二つの表示基板とその間に介在された液晶層とからなる。液晶
表示装置は液晶層に電界を印加して、電界の強さを調節して液晶層を通過する光の透過率
を調節することによって所望の映像を表示する。

このような液晶表示装置は最近、コンピュータの表示装置だけでなく、テレビの表示画
面として広く用いられていることによって、動画を実現する必要性が高くなっている。し
かし、従来の液晶表示装置は液晶の応答速度が遅くて動画を実現しにくい。

20

【0003】

具体的に、液晶分子の応答速度が遅くて液晶キャパシタに充電される電圧が目標電圧（
すなわち、所望の輝度を得ることができる電圧）まで到達するまでは、一定の時間が必要
となる。このような遅延時間は、前段のフレームにおいて液晶キャパシタにあらかじめ充
電されている前段電圧と、現在のフレームの目標電圧との電位差によって変わる。

特に、現在のフレームの目標電圧と前段フレームの電圧との差が大きい場合、はじめか
ら目標電圧のみを印加した場合、switchング素子がターンオンされる 1 H 時間の間だけ
では、目標電圧に到達できないおそれがある。

【発明の開示】

【発明が解決しようとする課題】

30

【0004】

本発明の目的は応答速度を向上させるための表示装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明 1 に係る表示装置は、第 1 映像処理部、第 2 映像処理部、ガンマ基準電圧発生部
、データ駆動部、ゲート駆動部及び表示部を含む。

前記第 1 映像処理部は第 1 外部映像信号に応答して第 1 プレチルト区間の間第 1 プレチ
ルト階調を出力し、前記第 2 映像処理部は第 2 外部映像信号に応答して第 2 プレチルト区
間の間前記第 1 プレチルト階調より高い第 2 プレチルト階調を出力する。

【0006】

40

前記ガンマ基準電圧発生部は外部から電源電圧が入力されてガンマ基準電圧を出力する
。前記データ駆動部は前記ガンマ基準電圧に基づいて前記第 1 プレチルト区間の間前記第
1 プレチルト階調を第 1 プレチルト電圧に変換して出力し、前記第 2 プレチルト区間の間
前記第 2 プレチルト階調を前記第 1 プレチルト電圧と同一の第 2 プレチルト電圧に変換し
て出力する。前記ゲート駆動部は前記第 1 プレチルト区間の間第 1 ゲート信号を出力し、
前記第 2 プレチルト区間の間第 2 ゲート信号を出力する。

【0007】

前記表示部は第 1 及び第 2 画素を含む多数の画素からなって映像を表示する。前記第 1
画素は前記第 1 プレチルト区間の間前記第 1 ゲート信号に応答して前記第 1 プレチルト電
圧が入力され、前記第 2 画素は前記第 2 プレチルト区間の間前記第 2 ゲート信号に応答し

50

て前記第2プレチルト電圧が入力される。

上記の表示装置によれば、第1及び第2プレチルト電圧は、電圧レベルが同じになるように生成される。したがって、第1区間で駆動される第1画素および第2区間で駆動される第2画素において液晶に印加される充電量が同一になり、その結果、第1画素および第2画素において、液晶の充電量の差によって発生する応答速度の低下を防止することができる。つまり、第1画素と第2画素とで充電量を同一にすることで、応答速度が同程度となり、第1画素と第2画素との混合により視認される画像の画質を向上することができる。

【0008】

なお、特許請求の範囲の第1プレチルト区間、第1階調、第1プレチルト信号、第1プレチルト電圧は、それぞれ第1区間、ハイプレチルト階調、(R_H' 、 G_H' 、 B_H')、ハイプレチルト電圧に相当する。また、特許請求の範囲の第2プレチルト区間、第2階調、第2プレチルト信号、第2プレチルト電圧は、それぞれ第2区間、ロープレチルト階調、(R_L' 、 G_L' 、 B_L')、ロープレチルト電圧に相当する。

【0009】

本発明2は、発明1において、前記第1映像処理部に次のフレームの第1ハイ映像信号が入力され、あらかじめ貯蔵された現在フレームの第2ハイ映像信号とあらかじめ貯蔵された前段フレームの第3ハイ映像信号に基づいて第1ハイ補正信号を生成し、前記第1ハイ映像信号と前記第1ハイ補正信号に基づいて第2ハイ補正信号を生成する。また、前記第2映像処理部に次のフレームの第1ロー映像信号が入力され、あらかじめ貯蔵された現在フレームの第2ロー映像信号とあらかじめ貯蔵された前段フレームの第3ロー映像信号に基づいて第1ロー補正信号を生成し、前記第1ロー映像信号と前記第1ロー補正信号に基づいて第2ロー補正信号を生成する。

【0010】

本発明3は、発明2において、前記第1映像処理部は前記第3ハイ映像信号があらかじめ設定された第1基準値より小さく、前記第1ハイ補正信号があらかじめ設定された第2基準値より小さく、前記第1ハイ映像信号があらかじめ設定された第3基準値より大きければ、前記第3ハイ映像信号と同一の前記第1ハイ補正信号及び前記第1ハイ補正信号に第1ハイ補正值が加えられた前記第2ハイ補正信号を生成する。また、前記ロー映像処理部は前記第3ロー映像信号があらかじめ設定された第4基準値より小さく、前記第1ロー補正信号があらかじめ設定された第5基準値より小さく、前記第1ロー映像信号があらかじめ設定された第6基準値より大きければ、前記第3ロー映像信号と同一の第1ロー補正信号及び前記第1ロー補正信号に第1ロー補正值が加えられた前記第2ロー補正信号を生成する。

【0011】

本発明4は、発明3において、前記第2ハイ補正信号は前記第1プレチルト信号に対応する信号であり、前記第2ロー補正信号は前記第2プレチルト信号に対応する信号である。

本発明5は、発明4において、前記第1ハイ補正值は前記第1ロー補正值より小さい。

本発明6は、発明2において、前記第1映像処理部は前記第3ハイ映像信号があらかじめ設定された第1基準値以上であるか、前記第1ハイ補正信号があらかじめ設定された第2基準値以上であるか、前記第1ハイ映像信号があらかじめ設定された第3基準値以下であれば、前記第2ハイ補正信号より第2ハイ補正值だけオーバーシュートされた前記第1ハイ補正信号及び前記第1ハイ補正信号と同一の値を有する前記第2ハイ補正信号を生成する。また、前記第2映像処理部は前記第3ロー映像信号があらかじめ設定された第4基準値以上であるか、前記第1ロー補正信号があらかじめ設定された第5基準値以上であるか、前記第1ロー映像信号があらかじめ設定された第6基準値以下であれば、前記第2ロー補正信号より第2ロー補正值だけオーバーシュートされた前記第1ロー補正信号及び前記第2ロー補正信号と同一の値を有する前記第2ロー補正信号を生成する。

【0012】

本発明 7 は、発明 6 において、前記データ駆動部は、第 1 オーバーシュート期間の間前記ガンマ基準電圧に基づいて前記第 1 映像処理部から出力される前記第 2 ハイ補正信号をハイガンマ電圧に変換して出力し、第 2 オーバーシュート期間の間前記ガンマ基準電圧に基づいて前記第 1 映像処理部から出力される前記第 2 ハイ補正信号を前記ハイガンマ電圧より低い電圧レベルを有するローガンマ電圧に変換して出力する。

【0013】

本発明 8 は、発明 1 において、前記第 1 映像処理部は、次のフレームの第 1 ハイ映像信号が入力されて貯蔵され、あらかじめ貯蔵された現在フレームの第 2 ハイ映像信号を出力する第 1 フレームメモリと、あらかじめ貯蔵された前段フレームの前記第 3 ハイ映像信号を出力し、前記現在フレームの前記第 2 ハイ映像信号が入力される第 2 フレームメモリと、前記第 2 及び第 3 ハイ映像信号に基づいて第 1 ハイ補正信号を生成する第 1 補正部と、前記第 1 ハイ映像信号と前記第 1 ハイ補正信号に基づいて前記第 1 プレチルト信号に対応する第 2 ハイ補正信号を生成する第 2 補正部とを含む。

10

【0014】

本発明 9 は、発明 1 において、前記第 2 映像処理部は、次のフレームの第 1 ロー映像信号が入力されて貯蔵され、あらかじめ貯蔵された現在フレームの第 2 ロー映像信号を出力する第 3 フレームメモリと、あらかじめ貯蔵された前段フレームの第 3 ロー映像信号を出力し、前記現在フレームの前記第 2 ロー映像信号が入力される第 4 フレームメモリと、前記第 2 及び第 3 ロー映像信号に基づいて第 1 ハイ補正信号を生成する第 3 補正部と、前記第 1 ロー映像信号と前記第 1 ハイ補正信号に基づいて前記第 2 プレチルト信号に対応する第 2 ハイ補正信号を生成する第 4 補正部とを含む。

20

【0015】

本発明 10 は、発明 1 において、前記表示部は、前記画素が駆動される 1 H 時間のうち前記ハイ画素が駆動される初期 H / 2 期間の間前記第 1 ゲート信号が入力受ける第 1 ゲートラインと、前記画素が駆動される 1 H 時間のうち前記ロー画素が駆動される後期 H / 2 期間の間前記第 2 ゲート信号が入力される第 1 ゲートラインと、前記初期 H / 2 期間の間前記第 1 プレチルト電圧が入力され、前記後期 H / 2 期間の間前記第 2 プレチルト電圧が入力されるデータラインとをさらに含む。

【0016】

本発明 11 は、発明 10 において、前記第 1 画素は、前記第 1 ゲートライン及びデータラインに電氣的に連結され、前記第 1 ゲート信号に応答して前記第 1 プレチルト電圧を出力する第 1 スwitching 素子と、前記第 1 プレチルト電圧が充電される第 1 液晶キャパシタとを含み、前記第 2 画素は、前記第 2 ゲートライン及びデータラインに電氣的に連結され、前記第 2 ゲート信号に応答して前記第 2 プレチルト電圧を出力する第 2 スwitching 素子と、前記第 2 プレチルト電圧が充電される第 2 液晶キャパシタとを含む。

30

【0017】

本発明 12 は、発明 1 において、外部から外部制御信号が入力されて前記ゲート駆動部、データ駆動部及びガンマ電圧発生部に第 1、第 2 及び第 3 制御信号を提供して前記ゲート駆動部、データ駆動部及びガンマ電圧発生部の駆動を制御するタイミングコントローラをさらに含む。

40

本発明 13 は、発明 12 において、前記第 1 及び第 2 映像処理部は前記タイミングコントローラに内蔵する。

【0018】

本発明 14 に係る表示装置は映像処理部、ガンマ基準電圧発生部、データ駆動部、ゲート駆動部及び表示部を含む。

前記映像処理部は外部映像信号に응答して第 1 プレチルト区間の間第 1 階調に対応する第 1 プレチルト信号を出力し、第 2 プレチルト区間の間前記第 1 階調より高い第 2 階調に対応する第 2 プレチルト信号を出力する。前記ガンマ基準電圧発生部に外部から電源電圧が入力されて第 1 及び第 2 ガンマ基準電圧を出力する。

【0019】

50

前記データ駆動部は前記第 1 ガンマ基準電圧に基づいて前記第 1 プレチルト区間の間前記第 1 プレチルト信号を第 1 プレチルト電圧に変換して出力し、前記第 2 ガンマ基準電圧に基づいて前記第 2 プレチルト区間の間前記第 2 プレチルト信号を前記第 1 プレチルト電圧と同一の第 2 プレチルト電圧に変換して出力する。前記ゲート駆動部は前記第 1 プレチルト区間の間第 1 ゲート信号を出力し、前記第 2 プレチルト区間の間第 2 ゲート信号を出力する。

【 0 0 2 0 】

前記表示部は第 1 及び第 2 画素を含む多数の画素からなって映像を表示する。前記第 1 画素は前記第 1 プレチルト区間の間前記第 1 ゲート信号に応答して前記第 1 プレチルト電圧が入力され、前記第 2 画素は前記第 2 プレチルト区間の間前記第 2 ゲート信号に 10
応答して前記第 2 プレチルト電圧が入力される。

上記の表示装置によれば、第 1 及び第 2 プレチルト電圧は、電圧レベルが同じになるように生成される。したがって、第 1 区間で駆動される第 1 画素および第 2 区間で駆動される第 2 画素において液晶に印加される充電量が同一になり、その結果、第 1 画素および第 2 画素において、液晶の充電量の差によって発生する応答速度の低下を防止することができる。つまり、第 1 画素と第 2 画素とで充電量を同一にすることで、応答速度が同程度となり、第 1 画素と第 2 画素との混合により視認される画像の画質を向上することができる。

【 0 0 2 1 】

本発明 15 は、発明 14 において、前記映像処理部は、次のフレームの第 1 映像信号が 20
入力されて貯蔵され、あらかじめ貯蔵された現在フレームの第 2 映像信号を出力する第 1 フレームメモリと、あらかじめ貯蔵された前段フレームの第 3 映像信号を出力し、前記現在フレームの前記第 2 映像信号が入力される第 2 フレームメモリと、前記第 2 及び第 3 映像信号に基づいて第 1 補正信号を生成する第 1 補正部と、前記第 1 映像信号と前記第 1 補正信号に基づいて前記第 1 プレチルト信号に対応する第 2 補正信号または前記第 2 プレチルト信号に対応する第 3 補正信号を生成する第 2 補正部とを含むことを特徴とする。

【 0 0 2 2 】

本発明 16 は、発明 14 において、前記表示部は、前記画素が駆動される 1 H 時間のうち前記ハイ画素が駆動される初期 H / 2 期間の間前記第 1 ゲート信号が入力される第 1 ゲートラインと、前記画素が駆動される 1 H 時間のうち前記ロー画素が駆動される後期 H / 30
2 期間の間前記第 2 ゲート信号が入力される第 1 ゲートラインと、前記初期 H / 2 期間の間前記第 1 プレチルト電圧が入力され、前記後期 H / 2 期間の間前記第 2 プレチルト電圧が入力されるデータラインとをさらに含む。

【 0 0 2 3 】

本発明 17 は、発明 16 において、前記第 1 画素は、前記第 1 ゲートライン及びデータラインに電氣的に連結され、前記第 1 ゲート信号に 40
応答して前記第 1 プレチルト電圧を出力する第 1 スイッチング素子と、前記第 1 プレチルト電圧が充電される第 1 液晶キャパシタとを含み、前記第 2 画素は、前記第 2 ゲートライン及びデータラインに電氣的に連結され、前記第 2 ゲート信号に 40
応答して前記第 2 プレチルト電圧を出力する第 2 スイッチング素子と、前記第 2 プレチルト電圧が充電される第 2 液晶キャパシタとを含む。

【発明の効果】

【 0 0 2 4 】

このような表示装置によれば、第 1 及び第 2 画素をプレチルトさせるための第 1 及び第 2 区間で液晶には互いに同一の電圧レベルを有する第 1 及び第 2 プレチルト電圧が印加されることによって、第 1 及び第 2 区間の間で液晶の充電量の差によって発生する応答速度の低下を防止することができる。

本発明の表示装置によれば、ハイ及びロー画素をプレチルトさせるための第 1 及び第 2 区間で液晶には互いに同一の電圧レベルを有するハイ及びロープレチルト電圧が印加される。

【 0 0 2 5 】

10

20

30

40

50

したがって、第 1 及び第 2 区間の間で液晶の充電量の差によって発生する応答速度の低下を防止することができる。その結果、表示装置の表示品質を改善することができる。

【発明を実施するための最良の形態】

【0026】

以下、添付の図を参照して本発明の望ましい実施形態をより詳細に説明する。

図 1 は本発明の一実施形態に係る液晶表示装置のブロック図である。

図 1 を参照すれば、本発明の一実施形態に係る液晶表示装置 600 は表示部 100、ゲート駆動部 200、データ駆動部 300、ガンマ基準電圧発生部 400 及びタイミングコントローラ 500 を含む。

【0027】

前記表示部 100 にはゲート電圧が入力される多数のゲートライン $GL1 \sim GL2n$ とデータ電圧が入力される多数のデータライン $DL1 \sim DLM$ とが具備される。前記多数のゲートライン $GL1 \sim GL2n$ と多数のデータライン $DL1 \sim DLM$ とによって、前記表示部 100 にはマトリクス形態で多数の画素領域が定義される。各画素領域にはハイ画素及びロー画素からなる画素 110 が具備される。前記ハイ画素は第 1 薄膜トランジスタ $Tr1$ 及び第 1 液晶キャパシタ $CLC1$ からなり、ハイ画素には第 1 画素電極 $PE1$ が対応している。前記ロー画素は第 2 薄膜トランジスタ $Tr2$ 及び第 2 液晶キャパシタ $CLC2$ からなり、ロー画素には第 2 画素電極 $PE2$ が対応している。

【0028】

前記ゲート駆動部 200 は前記表示部 100 に具備された多数のゲートライン $GL1 \sim GL2n$ と電氣的に連結されて前記多数のゲートライン $GL1 \sim GL2n$ に前記ゲート信号を提供する。前記データ駆動部 300 は前記表示部 100 に具備された多数のデータライン $DL1 \sim DLM$ と電氣的に連結され、前記多数のデータライン $DL1 \sim DLM$ にハイまたはローガンマ電圧を印加する。

【0029】

前記タイミングコントローラ 500 に外部のグラフィック制御器（図示しない）から第 1 外部映像信号 R_H 、 G_H 、 B_H 、第 2 外部映像信号 R_L 、 G_L 、 B_L 及び各種の制御信号 OCS が入力される。前記タイミングコントローラ 500 は第 1 映像処理部 510 を通じて前記第 1 外部映像信号 R_H 、 G_H 、 B_H を補正してハイ補正信号 R'_H 、 G'_H 、 B'_H を出力し、前記第 2 映像処理部 520 を通じて前記第 2 外部映像信号 R_L 、 G_L 、 B_L を補正してロー補正信号 R'_L 、 G'_L 、 B'_L を出力する。また、前記タイミングコントローラ 500 に前記各種制御信号 OCS 、例えば垂直同期信号、水平同期信号、メインクロック、データイネーブル信号などが入力されて第 1、第 2 及び第 3 制御信号 $CT1$ 、 $CT2$ 、 $CT3$ を出力する。

【0030】

前記第 1 制御信号 $CT1$ は前記ゲート駆動部 200 の動作を制御するための信号であり、前記ゲート駆動部 200 に提供される。前記第 1 制御信号 $CT1$ は前記ゲート駆動部 200 の動作を開始する垂直開始信号、前記ゲート電圧の出力時期を決めるゲートクロック信号及びゲート電圧のオンパルス幅を決める出力イネーブル信号などを含む。

前記ゲート駆動部 200 は前記タイミングコントローラ 500 からの前記第 1 制御信号 $CT1$ に応答して前記ゲート信号を前記多数のゲートライン $GL1 \sim GL2n$ に順次に出

【0031】

前記第 2 制御信号 $CT2$ は前記データ駆動部 300 の動作を制御する信号であって、前記データ駆動部 300 に提供される。前記第 2 制御信号 $CT2$ は前記データ駆動部 300 の動作を開始する水平開始信号、前記データ電圧の極性を反転させる反転信号及び前記データ駆動部 300 から前記ハイまたはローガンマ電圧が出力される時期を決める出力指示信号などを含む。

【0032】

前記タイミングコントローラ 500 からの前記第 2 制御信号 $CT2$ に応答して、一行の

10

20

30

40

50

画素に対応するハイ補正信号 R'_H 、 G'_H 、 B'_H 及びロー補正信号 R'_L 、 G'_L 、 B'_L が、前記データ駆動部 300 に順次に入力される。

一方、前記ガンマ基準電圧発生部 400 は外部から電源電圧 V_p が入力され、前記タイミングコントローラ 500 からの前記第 3 制御信号 CT_3 に応答してガンマ基準電圧 V_{GMA} を生成する。前記データ駆動部 300 は、前記ガンマ基準電圧発生部 400 からの前記ガンマ基準電圧 V_{GMA} に基づいて、前記ハイ画素を駆動する第 1 区間の間には前記ハイ補正信号 R'_H 、 G'_H 、 B'_H をハイガンマ電圧に変換して出力する。一方、前記ロー画素を駆動する第 2 区間の間には前記ロー補正信号 R'_L 、 G'_L 、 B'_L をローガンマ電圧に変換して出力する。ここで、前記ハイガンマ電圧は前記ローガンマ電圧より高い電圧レベルを有する。

10

【0033】

図 2 は図 1 に示した表示部の一画素を示したレイアウトであり、図 3 は図 2 に示した切断線 I - I' に沿って切断した断面図である。

図 2 及び図 3 を参照すれば、表示部 (図 1 に図示) 100 はアレイ基板 120 と、前記アレイ基板 120 と向き合うカラーフィルタ基板 130 と、前記アレイ基板 120 及び前記カラーフィルタ基板 130 間に介在された液晶層 140 と、からなって映像を表示する液晶表示パネルからなる。

【0034】

前記アレイ基板 120 の第 1 ベース基板 121 には第 1 方向 D_1 に延長された第 1 及び第 2 ゲートライン GL_1 、 GL_2 と、前記第 1 方向 D_1 と直交する第 2 方向 D_2 に延長された第 1 データライン DL_1 とによって画素領域が定義される。また、図 3 に示したように、前記アレイ基板は前記第 1 及び第 2 ゲートライン GL_1 、 GL_2 上に形成されるゲート絶縁膜 122、保護膜 123 及び有機絶縁膜 124 をさらに含む。有機絶縁膜 124 上には、第 1 及び第 2 画素電極 PE_1 、 PE_2 を含む画素電極が形成されている。ここで、第 1 画素電極 PE_1 は、1 つの画素領域のほぼ中央部に形成されており、データライン DL_1 及び DL_2 に平行な辺を有する、概ね台形状に形成されるとともに、データライン DL_1 と平行な辺が一部切り欠かれている。また、画素電極 PE_1 において、データライン DL_1 及び DL_2 に平行な辺以外の 2 辺は、ゲートライン GL_1 等と概ね ± 45 度をなしている。さらに、第 2 画素電極 PE_2 は、図 2 に示すように、第 1 画素電極 PE_1 と所定の距離を置いて、1 つの画素領域の残りの部分に対応するように形成されている。

20

30

【0035】

前記画素領域にはハイ画素とロー画素からなる画素が具備される。特に、前記アレイ基板 120 で前記ハイ画素は第 1 薄膜トランジスタ Tr_1 及び第 1 液晶キャパシタ C_{LC1} の第 1 電極である第 1 画素電極 PE_1 からなり、前記ロー画素は第 2 薄膜トランジスタ Tr_2 及び第 2 液晶キャパシタ C_{LC2} の第 1 電極である第 2 画素電極 PE_2 からなる。

前記第 1 薄膜トランジスタ Tr_1 のゲート電極は前記第 1 ゲートライン GL_1 から分岐され、前記第 2 薄膜トランジスタ Tr_2 のゲート電極は前記第 2 ゲートライン GL_2 から分岐される。前記第 1 及び第 2 薄膜トランジスタ Tr_1 、 Tr_2 のソース電極は前記第 1 データライン DL_1 から分岐される。前記第 1 薄膜トランジスタ Tr_1 のドレイン電極は前記第 1 画素電極 PE_1 に連結され、前記第 2 薄膜トランジスタ Tr_2 のドレイン電極は前記第 2 画素電極 PE_2 に電氣的に連結される。

40

一方、前記カラーフィルタ基板 130 は、第 2 ベース基板 131 上にブラックマトリックス 132、カラーフィルタ層 133 及び共通電極 134 が形成された基板である。前記ブラックマトリックス 132 は、前記第 1 及び第 2 ゲートライン GL_1 、 GL_2 が形成された領域のような非有効表示領域に形成されており、光漏れ現象を防止する。前記カラーフィルタ層 133 は赤色、緑色及び青色の画素からなって前記液晶層 140 を通過した光を所定の色に発現させる。

【0036】

前記共通電極 134 は前記第 1 及び第 2 液晶キャパシタ C_{LC1} 、 C_{LC2} の第 2 電極であって、前記カラーフィルタ層 133 上に形成される。前記共通電極 134 は、図 2 に示すよ

50

うに、前記第1画素電極PE1の中央部に対応する部分が部分的に除去され、さらに第2画素電極PE2の中央部に対応する部分が部分的に除去される。したがって、前記共通電極134には、前記第1画素電極PE1の中央部に対応して第1開口部OP1が形成され、前記第2画素電極PE2の中央部に対応して第2開口部OP2が形成される。したがって、前記画素領域には前記液晶層140に含まれた液晶分子が互いに異なる方向に配列される8個のドメインが形成される。ここで、第1開口部OP1、第2開口部OP2は、ゲートラインGL1等と概ね ± 45 度をなしている。

【0037】

図4は図2に示した第1データライン、第1及び第2ゲートラインに印加される信号を示した波形図であり、図5は階調によるハイ及びロー画素の透過率を示したグラフである。ただ、図5でx軸は階調を示し、y軸は透過率%を示す。

10

図4を参照すれば、第1ゲートラインGL1には、一画素が駆動される1H時間のうちハイ画素が駆動される初期のH/2時間の間、ハイ状態を維持する第1ゲート信号が印加される。また、前記第2ゲートラインGL2には1H時間のうちロー画素が駆動される後期のH/2時間の間、ハイ状態を維持する第2ゲート信号が印加される。

【0038】

前記第1薄膜トランジスタTr1は、前記第1ゲート信号に応答して、前記第1データラインDL1に印加されたハイガンマ電圧 V_H を、前記第1画素電極PE1(図2に図示)に出力する。以後、前記第2薄膜トランジスタTr2は、前記第2ゲート信号に応答して、前記第1データラインDL1に印加され、前記ハイガンマ電圧 V_H より低い電圧レベルを有するローガンマ電圧 V_L を、前記第2画素電極PE2(図2に図示)に出力する。

20

【0039】

一方、前記共通電極134(図3に図示)には共通電圧が印加される。したがって、前記第1液晶キャパシタ C_{LC1} には前記ハイガンマ電圧 V_H と前記共通電圧との電位差に対応する電圧が充電される。一方、前記第2液晶キャパシタ C_{LC2} には、前記ローガンマ電圧 V_L と前記共通電圧との電位差に対応する電圧が充電される。

図5において、第1グラフG1はハイ画素での階調対透過率特性を示し、第2グラフG2はロー画素での階調対透過率特性を示し、第3グラフG3は前記第1及び第2グラフG1、G2が重畳された状態を示す。

【0040】

30

図4及び図5に示したように、ハイ画素とロー画素にそれぞれハイガンマ電圧 V_H とローガンマ電圧 V_L とを印加すれば、画素電極PE1に対応する部分と画素電極PE2に対応する部分とで、階調別の透過率が互いに異なるようになる。すなわち、同一の階調ではハイ画素での透過率がロー画素での透過率より高い。又、同一の透過率を有する場合、ロー画素での階調はハイ画素での階調に比べて高い。この時、液晶表示パネルを見る人の目は、ハイガンマ電圧 V_H とローガンマ電圧 V_L の中間値を認識する。つまり、ユーザの目は、第1及び第2グラフG1、G2が重畳された第3グラフG3により画像を認識する。これにより、中間階調以下でガンマ曲線が歪曲されて側面視野角が低下することを防止する。ハイ画素に対するガンマ曲線(第1グラフG1)及びロー画素に対するガンマ曲線(第2グラフG2)は、それぞれ図5に示すように直線的ではなく歪曲が著しい。しかしながら、1水平期間(1H)において、ハイ画素がH/2期間駆動され、ロー画素がH/2期間駆動されることで、液晶表示装置のユーザはハイ画素とロー画素とが混合された第3グラフG3のガンマ曲線のように映像を視認することができる。第3グラフG3のガンマ曲線は、第1グラフG1及び第2グラフG2に比べて、より直線的なガンマ曲線であるため、色再現性が向上し好ましい。さらに、2つの第1画素電極PE1及び第2画素電極PE2に、それぞれ異なるハイガンマ電圧及びローガンマ電圧を印加することで、ハイ画素及びロー画素における液晶分子の傾斜角度を異ならせ、輝度を異ならせることができる。よって、側面から眺める映像を正面から眺める映像に最大限近くすることができ、これによって側面視認性を向上することができる。

40

【0041】

50

図 6 は図 1 に示した第 1 及び第 2 映像処理部の内部ブロック図である。

図 6 を参照すれば、第 1 映像処理部 510 は、第 1 フレームメモリ 511、第 2 フレームメモリ 512、第 1 補正部 513 及び第 2 補正部 514 からなる。前記第 2 映像処理部 520 は、第 3 フレームメモリ 521、第 4 フレームメモリ 522、第 3 補正部 523 及び第 4 補正部 524 からなる。

【0042】

前記第 1 フレームメモリ 511 及び第 2 補正部 514 に次のフレーム ($n+1$ 番目のフレーム) の第 1 ハイ映像信号 HG_{n+1} が入力されて貯蔵される。そして、第 1 フレームメモリ 511 は、あらかじめ貯蔵された現在フレーム (n 番目のフレーム) の第 2 ハイ映像信号 HG_n を第 2 フレームメモリ 512 及び第 1 補正部 513 に出力する。次に、前記第 2 フレームメモリ 512 は、あらかじめ貯蔵された前段フレーム ($n-1$ 番目のフレーム) の第 3 ハイ映像信号 HG_{n-1} を第 1 補正部 513 に出力し、前記第 2 ハイ映像信号 HG_n を貯蔵する。したがって、前記第 1 及び第 2 フレームメモリ 511、512 には、順にフレーム単位でハイ映像信号が貯蔵される。

10

【0043】

前記第 1 補正部 513 は、前記第 2 及び第 3 ハイ映像信号 HG_n 、 HG_{n-1} に基づいて第 1 ハイ補正信号 HG_n' を生成し、第 2 補正部 514 に出力する。前記第 2 補正部 514 は、前記第 1 ハイ映像信号 HG_{n+1} と前記第 1 ハイ補正信号 HG_n' に基づいて第 2 ハイ補正信号 HG_n'' を生成する。

具体的に、前記第 1 補正部 513 は、前記第 2 ハイ映像信号 HG_n と前記第 3 ハイ映像信号 HG_{n-1} との差分値があらかじめ設定された第 1 基準値より大きければ、前記第 2 ハイ映像信号 HG_n にあらかじめ設定された第 1 補正值 α を加えて第 1 ハイ補正信号 HG_n' を生成する。ここで、信号の差分値とは、信号電圧の差分値を意味する。しかし、前記第 1 補正部 513 は前記第 2 及び第 3 ハイ映像信号 HG_n 、 HG_{n-1} の差分値が前記第 1 基準値以下であれば、前記第 2 ハイ映像信号 HG_n と同一の第 1 ハイ補正信号 HG_n' を生成する。

20

【0044】

以後、生成された前記第 1 ハイ補正信号 HG_n' は前記第 2 補正部 514 に提供される。前記第 2 補正部 514 は、前記第 1 ハイ映像信号 HG_{n+1} があらかじめ設定された第 2 基準値より大きく、前記第 1 ハイ補正信号 HG_n' があらかじめ設定された第 3 基準値より小さければ、前記第 1 ハイ補正信号 HG_n' に第 2 補正值 β を加えて第 2 ハイ補正信号 HG_n'' を生成する。ここで、前記第 1 ハイ補正信号 HG_n' に前記第 2 補正值 β が加えられた前記第 2 ハイ補正信号 HG_n'' はハイプレチルト階調で定義される。

30

【0045】

一方、前記第 2 補正部 514 は、前記第 1 ハイ映像信号 HG_{n+1} が前記第 2 基準値以下であるか、前記第 1 ハイ補正信号 HG_n' が前記第 3 基準値以上であれば、前記第 1 ハイ補正信号 HG_n' と同一の第 2 ハイ補正信号 HG_n'' を生成する。

次に、前記第 2 映像処理部 520 において、前記第 3 フレームメモリ 521 及び第 4 補正部 524 に次のフレームの第 1 ロー映像信号 LG_{n+1} が入力されて貯蔵される。第 3 フレームメモリ 521 は、あらかじめ貯蔵された現在フレームの第 2 ロー映像信号 LG_n を第 4 フレームメモリ 522 及び第 3 補正部 523 に出力する。前記第 4 フレームメモリ 522 は、あらかじめ貯蔵された前段フレームの第 3 ロー映像信号 LG_{n-1} を第 3 補正部 523 に出力し、前記第 2 ロー映像信号 LG_n を貯蔵する。したがって、前記第 3 及び第 4 フレームメモリ 521、522 には順にフレーム単位でロー映像信号が貯蔵される。

40

【0046】

前記第 3 補正部 523 は前記第 2 及び第 3 ロー映像信号 LG_n 、 LG_{n-1} に基づいて第 1 ロー補正信号 LG_n' を生成し、前記第 4 補正部 524 は前記第 1 ロー映像信号 LG_{n+1} と前記第 1 ロー補正信号 LG_n' に基づいて第 2 ロー補正信号 LG_n'' を生成する。

具体的に、前記第 3 補正部 523 は、前記第 2 ロー映像信号 LG_n と前記第 3 ロー映像

50

信号 $L G n - 1$ の差分値があらかじめ設定された第 4 基準値より大きければ、前記第 2 ロー映像信号 $L G n$ にあらかじめ設定された第 3 補正值 γ を加えて第 1 ロー補正信号 $L G n'$ を生成する。しかし、前記第 3 補正部 5 2 3 は、前記第 2 及び第 3 ロー映像信号 $L G n$ 、 $L G n - 1$ の差分値が前記第 4 基準値以下であれば、前記第 2 ロー映像信号 $L G n$ と同一の第 1 ロー補正信号 $L G n'$ を生成する。

【0047】

以後、生成された前記第 1 ロー補正信号 $L G n'$ は前記第 4 補正部 5 2 4 に提供される。前記第 4 補正部 5 2 4 は、前記第 1 ロー映像信号 $L G n + 1$ があらかじめ設定された第 5 基準値より大きく、前記第 1 ロー補正信号 $L G n'$ があらかじめ設定された第 6 基準値より小さければ、前記第 1 ロー補正信号 $L G n'$ にあらかじめ設定された第 4 補正值 δ を加えて第 2 ロー補正信号 $L G n''$ を生成する。一方、前記第 4 補正部 5 2 4 は、前記第 1 ロー映像信号 $L G n + 1$ が前記第 5 基準値以下であるか、前記第 1 ロー補正信号 $L G n'$ が前記第 6 基準値以上であれば、前記第 1 ロー補正信号 $L G n'$ と同一の第 2 ロー補正信号 $L G n''$ を生成する。

10

【0048】

ここで、前記第 1 ロー補正信号 $L G n'$ に前記第 4 補正值 δ が加えられた前記第 2 ロー補正信号 $L G n''$ はロープレチルト階調で定義される。図 5 に示したように、前記ロープレチルト階調 $a 1$ は前記ハイプレチルト階調 $a 2$ より高い。したがって、ロー画素には前記ロープレチルト階調 $a 1$ に対応するロープレチルト電圧 $P 1$ が印加され、ハイ画素には前記ハイプレチルト階調 $a 2$ に対応して、前記ロープレチルト電圧と同一の電圧レベルを有するハイプレチルト電圧 $P 1$ が印加される。

20

【0049】

なお、ハイプレチルト電圧は、ガンマ基準電圧 $V_{G M M A}$ に基づいて、第 2 ハイ補正信号 $H G n''$ を変換することで生成される。また、ロープレチルト電圧は、ガンマ基準電圧 $V_{G M M A}$ に基づいて、第 2 ロー補正信号 $L G n''$ を変換することで生成される。

すなわち、前記ハイ及びロー画素に同一のプレチルト電圧が印加されることによって、前記ハイ及びロー画素がそれぞれ駆動される第 1 及び第 2 区間で液晶に印加される充電量が同一になる。結果的に、第 1 及び第 2 区間の間で液晶の充電量の差によって発生する応答速度の低下を防止することができる。

【0050】

30

図 7 は図 6 に示した第 1 映像処理部の入 / 出力信号を示したグラフであり、図 8 は図 6 に示した第 2 映像処理部の入 / 出力信号を示したグラフである。ただ、図 7 及び図 8 で x 軸はフレームであり、 y 軸は電圧 V である。

図 7 に示した第 5 グラフ $G 5$ は第 1 映像処理部 5 1 0 (図 6 に図示) に入力される入力信号 R_H 、 G_H 、 B_H を示し、第 6 グラフ $G 6$ は前記第 1 映像処理部 2 0 0 によって補正された出力信号 R_H' 、 G_H' 、 B_H' を示す。図 8 に示した第 7 グラフ $G 7$ は第 2 映像処理部 5 2 0 (図 6 に図示) に入力される入力信号 R_L 、 G_L 、 B_L を示し、第 8 グラフ $G 8$ は前記第 2 映像処理部 5 2 0 によって補正された出力信号 R_L' 、 G_L' 、 B_L' を示す。

【0051】

ここで、入力信号 R_H 、 G_H 、 B_H は、図 6 の各フレームに入力される第 1 ハイ映像信号 $H G n + 1$ に相当し、出力信号 R_H' 、 G_H' 、 B_H' は、図 6 の各フレームから出力される第 2 ハイ補正信号 $H G n''$ に相当する。また、入力信号 R_L 、 G_L 、 B_L は、図 6 の各フレームに入力される第 1 ロー映像信号 $L G n + 1$ に相当し、出力信号 R_L' 、 G_L' 、 B_L' は、図 6 の各フレームから出力される第 2 ロー補正信号 $L G n''$ に相当する。よって、データ駆動部 3 0 0 は、ガンマ基準電圧 $V_{G M M A}$ に基づいて、ハイ画素を駆動する第 1 区間の間には第 2 ハイ補正信号 $H G n''$ をハイガンマ電圧に変換して出力する。一方、ロー画素を駆動する第 2 区間の間には第 2 ロー補正信号 $L G n''$ をローガンマ電圧に変換して出力する。

40

【0052】

図 7 の第 5 グラフ $G 5$ に示したように、前記入力信号は $n - 1$ 番目及び n 番目のフレー

50

ムで $2V$ に維持され、 $n+1$ 番目乃至 $n+4$ 番目のフレームで $6V$ に維持される。ここで、電圧 V は絶対値として表示される。

第 6 グラフ G_6 に示したように、 n 番目のフレームの第 2 ハイ映像信号 $HG_n(2V)$ と $n-1$ 番目のフレームの第 3 ハイ映像信号 $HG_{n-1}(2V)$ が $2V$ として互いに同一であるため、第 1 補正部 513 (図 6 に図示) は前記第 2 ハイ映像信号 $HG_n(2V)$ と同一の第 1 ハイ補正信号 $HG_n'(2V)$ を出力する。以後、第 2 補正部 514 (図 6 に図示) は $n+1$ 番目のフレームの第 1 ハイ映像信号 $HG_{n+1}(6V)$ と前記第 1 ハイ補正信号 $HG_n'(2V)$ とを比較する。比較の結果、前記第 1 ハイ映像信号 $HG_{n+1}(6V)$ はあらかじめ設定された第 2 基準値 (例えば、 $5V$) より大きい。かつ、前記第 1 ハイ補正信号 $HG_n'(2V)$ はあらかじめ設定された第 3 基準値 (例えば、 $3V$) より 10
小さい。よって、前記第 2 補正部 514 は、前記第 1 ハイ補正信号 $HG_n'(2V)$ にあらかじめ設定された第 2 補正值 β (例えば、 $0.5V$) を加えて、 $2.5V$ の第 2 ハイ補正信号 $HG_n''(2.5V)$ を生成して出力する。ここで、前記第 2 ハイ補正信号 $HG_n''(2.5V)$ は n 番目のフレームでハイ画素に印加されるハイプレチルト電圧である。

【0053】

次に、 $n+1$ 番目のフレームの第 1 ハイ映像信号 $HG_{n+1}(6V)$ と n 番目のフレームの第 2 ハイ映像信号 $HG_n(2V)$ との電圧差は $4V$ であり、あらかじめ設定された第 1 基準値 $3V$ より大きい。よって、前記第 1 補正部 513 は、 $n+1$ 番目のフレームの前記第 1 ハイ映像信号 $HG_{n+1}(6V)$ より第 1 補正值 α (例えば、 $0.5V$) だけオー 20
バーシュートされた $6.5V$ の第 1 ハイ補正信号 $HG_n'(6.5V)$ を出力する。以後、前記第 2 補正部 514 は $n+2$ 番目のフレームの第 4 ハイ映像信号 $HG_{n+2}(6V)$ と前記第 1 ハイ補正信号 $HG_n'(6.5V)$ とを比べる。比較の結果、前記第 4 ハイ映像信号 $HG_{n+2}(6V)$ はあらかじめ設定された第 2 基準値 (例えば、 $5V$) より大きい。前記第 1 ハイ補正信号 $HG_n'(6.5V)$ はあらかじめ設定された第 3 基準値 (例えば、 $3V$) より大きい。そのため、前記第 2 補正部 514 は前記第 1 ハイ補正信号 $HG_n'(6.5V)$ と同一の第 2 ハイ補正信号 $HG_n''(6.5V)$ を生成して出力する。

【0054】

図 8 の第 7 グラフ G_7 に示したように、前記入力信号は $n-1$ 番目及び n 番目のフレームで $1V$ に維持され、 $n+1$ 番目乃至 $n+4$ 番目のフレームで $4V$ に維持される。ここで、電圧 V は絶対値として表示される。 30

第 8 グラフ G_8 に示したように、 n 番目フレームの第 2 ロー映像信号 $LG_n(1V)$ と $n-1$ 番目のフレーム $LG_{n-1}(1V)$ の第 3 ロー映像信号とが $1V$ として互いに同一である。そのため、第 3 補正部 523 (図 6 に図示) は、前記第 2 ロー映像信号 $LG_n(1V)$ と同一の第 1 ロー補正信号 $LG_n'(1V)$ を出力する。以後、第 4 補正部 524 (図 6 に図示) は、 $n+1$ 番目のフレームの第 1 ロー映像信号 $LG_{n+1}(4V)$ と前記第 1 ロー補正信号 $LG_n'(1V)$ とを比較する。比較の結果、前記第 1 ロー映像信号 $LG_{n+1}(4V)$ はあらかじめ設定された第 5 基準値 (例えば、 $3.5V$) より大きく、前記第 1 ロー補正信号 $LG_n'(1V)$ はあらかじめ設定された第 6 基準値 (例えば、 $2V$) より小さい。そのため、前記第 4 補正部 524 は、前記第 1 ロー補正信号 $LG_n'(1V)$ にあらかじめ設定された第 4 補正值 δ (例えば、 $1.5V$) を加えて $2.5V$ の第 2 ロー補正信号 $LG_n''(2.5V)$ を生成して出力する。ここで、前記第 2 ロー補正信号 $LG_n''(2.5V)$ は n 番目のフレームでロー画素に印加されるロープレチルト電圧である。 40

【0055】

次に、 $n+1$ 番目のフレームの第 1 ロー映像信号 $LG_{n+1}(4V)$ と n 番目のフレームの第 2 ロー映像信号 $LG_n(1V)$ の電圧差が $3V$ であり、あらかじめ設定された第 1 基準値 $2.5V$ より大きい。そのため、前記第 3 補正部 523 は、前記第 1 ロー映像信号 $LG_{n+1}(4V)$ より第 3 補正值 γ (例えば、 $0.5V$) だけオーバーシュートされた 50

4.5Vの第1ロー補正信号 $L G n'$ (4.5V)を出力する。以後、前記第4補正部524は、 $n+2$ 番目のフレームの第4ロー映像信号 $L G n+2$ (4V)と前記第1ロー補正信号 $L G n'$ (4.5V)とを比較する。比較の結果、前記第4ロー映像信号 $L G n+2$ (4V)はあらかじめ設定された第5基準値(例えば、3.5V)より大きい、前記第1ロー補正信号 $L G n'$ (4.5V)はあらかじめ設定された第6基準値(例えば、2V)より大きい。よって、前記第4補正部524は、前記第1ロー補正信号 $L G n'$ (4.5V)と同一の第2ロー補正信号 $L G n''$ (4.5V)を生成して出力する。

【0056】

ここでは、図7及び図8に示したように、前記第4補正值 δ (1.5V)を前記第2補正值 β (0.5V)より1V大きくすることによって、 n 番目のフレームで前記ハイ及びロー画素にそれぞれ印加されるハイ及びロープレチルト電圧の電圧レベルが同一になる。

10

まとめると、ハイ画素において、例えば次のフレームの映像信号の電圧レベルが現在のフレームの映像信号の電圧レベルよりも非常に高い場合、各フレームにおける各映像信号 $H G n+1$ 、 $H G n$ 、 $H G n-1$ の差分値が所定値以上となる。このような場合、次のフレームを高い電圧レベルで駆動し、充電量を大きくするには時間がかかってしまう。そこで、現在のフレームでは、次のフレームの電圧レベルを考慮し、現在のフレームでの入力電圧($G4: R_H, G_H, B_H$)よりも高い出力電圧($G5: R_H', G_H', B_H'$)を生成し、これに応じたハイガンマ電圧、つまりハイプレチルト電圧をハイ画素の第1画素電極PE1に印加する。これにより、高い電圧レベルで駆動される次のフレームの応答速度を速くすることができる。

20

【0057】

ロー画素においても同様に考えることができ。例えば次のフレームの映像信号の電圧レベルが現在のフレームの映像信号の電圧レベルよりも非常に高い場合、各フレームにおける各映像信号 $L G n+1$ 、 $L G n$ 、 $L G n-1$ の差分値が所定値以上となる。このような場合、次のフレームを高い電圧レベルで駆動し、充電量を大きくするには時間がかかってしまう。そこで、現在のフレームでは、次のフレームの電圧レベルを考慮し、現在のフレームでの入力電圧($G6: R_L, G_L, B_L$)よりも高い出力電圧($G7: R_L', G_L', B_L'$)を生成し、これに応じたローガンマ電圧、つまりロープレチルト電圧をロー画素の第2画素電極PE2に印加する。これにより、高い電圧レベルで駆動される次のフレームの応答速度を速くすることができる。

30

【0058】

ここで、本発明では、ハイプレチルト電圧とロープレチルト電圧との電圧レベルを同じにする。したがって、前記ハイ及びロー画素がそれぞれ駆動される第1及び第2区間において液晶に印加される充電量が互いに同一になり、その結果、ハイ及びロー画素の間で応答速度の差異が発生せず、これによって、液晶表示装置の全体応答速度を向上することができる。このとき、ハイ画素とロー画素とで充電量を同一にすることで、ハイ画素とロー画素とで応答速度が同程度となり、ハイ画素とロー画素との混合により視認される画像の画質を向上することができる。

【0059】

また、ハイ画素において、各フレームにおける各映像信号 $H G n+1$ 、 $H G n$ 、 $H G n-1$ の差分値が所定値以下である場合は、第1外部映像信号 R_H, G_H, B_H 、つまりハイ補正信号 R_H', G_H', B_H' に応じたハイガンマ電圧を第1画素電極PE1に印加する。ロー画素において、各フレームにおける各映像信号 $L G n+1$ 、 $L G n$ 、 $L G n-1$ の差分値が所定値以下である場合は、第2外部映像信号 R_L, G_L, B_L 、つまりハロー補正信号 R_L', G_L', B_L' に応じたローガンマ電圧(ハイガンマ電圧よりも小さい)を第2画素電極PE2に印加する。

40

【0060】

なお、上記では、ハイ及びロープレチルト電圧の電圧レベルを同一にするために、第4補正值 δ を1.5Vとし第2補正值 β を0.5Vとすることで、第4補正值 δ を第2補正值 β より1V大きくした。しかし、これに限定されず、連続するフレーム間において入力

50

される信号に所定以上の差分値がある場合において、ハイ画素及びロー画素に印加されるハイ及びロープレチルト電圧の電圧レベルが同一になるように第4補正值 δ 及び第2補正值 β が設定されれば良い。

【0061】

図9は本発明の他の実施形態に係る液晶表示装置のブロック図である。ただ、図9に示した構成要素のうち図1に示した構成要素と同じ構成要素に対しては同じ参照符号を付して、それに対する具体的な説明は略する。

図9を参照すれば、本発明の他の実施形態に係る液晶表示装置650は表示部100、ゲート駆動部200、データ駆動部300、ガンマ基準電圧発生部450及びタイミングコントローラ550を含む。

10

【0062】

前記表示部100には多数のゲートライン $GL1 \sim GL2n$ と多数のデータライン $DL1 \sim DLM$ によって多数の画素領域が定義され、各画素領域にはハイ画素及びロー画素からなる画素110が具備される。

前記ゲート駆動部200は前記表示部100に具備された多数のゲートライン $GL1 \sim GL2n$ と電氣的に連結されて前記多数のゲートライン $GL1 \sim GL2n$ に前記ゲート信号を提供する。前記データ駆動部300は前記表示部100に具備された多数のデータライン $DL1 \sim DLM$ と電氣的に連結され、前記多数のデータライン $DL1 \sim DLM$ にハイまたはローガンマ電圧を印加する。

【0063】

前記タイミングコントローラ550に外部のグラフィック制御器(図示しない)から外部映像信号R、G、B及び各種の制御信号O-CSが入力される。前記タイミングコントローラ550は前記外部映像信号R、G、Bを補正して補正信号R'、G'、B'を出力する映像処理部551を含む。

20

また、前記タイミングコントローラ550に前記各種制御信号O-CS、例えば垂直同期信号、水平同期信号、メインクロック、データイネーブル信号などが入力されて第1、第2及び第4制御信号CT1、CT2、CT4を出力する。

【0064】

前記第1制御信号CT1は前記ゲート駆動部200の動作を制御するための信号であって、前記ゲート駆動部200に提供される。したがって、前記ゲート駆動部200は前記タイミングコントローラ500からの前記第1制御信号CT1に応答して前記ゲート信号を前記多数のゲートライン $GL1 \sim GL2n$ に順次出力する。

30

前記第2制御信号CT2は前記データ駆動部300の動作を制御する信号であって、前記データ駆動部300に提供される。したがって、前記データ駆動部300に前記タイミングコントローラ500からの前記第2制御信号CT2に応答して一行の画素に対応する補正信号R'、G'、B'が入力される。

【0065】

一方、前記ガンマ基準電圧発生部450に外部から電源電圧 V_p が入力され、前記タイミングコントローラ550からの前記第4制御信号CT4に応答してハイ及びローガンマ基準電圧 V_{HGMA} 、 V_{LGMA} を出力する。具体的に、前記ガンマ基準電圧発生部450は前記ハイ画素が駆動される第1区間の間前記第4制御信号CT4に応答して前記ハイガンマ基準電圧 V_{HGMA} を出力し、前記ロー画素が駆動される第2区間の間前記第4制御信号CT4に応答して前記ローガンマ基準電圧 V_{LGMA} を出力する。

40

【0066】

前記映像処理部551は前記ハイ画素が駆動される第1区間及び前記ロー画素が駆動される第2区間の間には前記補正信号を出力し、前記データ駆動部は前記ハイガンマ基準電圧 V_{HGMA} に基づいて前記第1区間の間には前記補正信号R'、G'、B'をハイガンマ電圧に変換して出力し、前記第2区間の間には前記補正信号R'、G'、B'をローガンマ電圧に変換して出力する。ここで、前記ハイガンマ電圧は前記ローガンマ電圧より高い電圧レベルを有する。

50

【 0 0 6 7 】

一方、前記映像処理部 5 5 1 は前記ハイ画素のプレチルト区間の間ハイプレチルト階調を出力し、前記ロー画素のプレチルト区間の間ロープレチルト階調を出力する。

図 5 に示したように、前記ハイプレチルト階調 a 2 は前記ロープレチルト階調 a 1 より低い。したがって、前記データ駆動部 3 0 0 は前記ハイガンマ基準電圧 V_{HGMA} に基づいて前記ハイプレチルト階調 a 2 に対応するハイプレチルト電圧を出力し、前記ローガンマ基準電圧 V_{LGMA} に基づいて前記ロープレチルト階調 a 1 に対応するロープレチルト電圧を出力する。ここで、前記ハイ及びロープレチルト電圧は互いに同一の電圧レベルを有する。

【 0 0 6 8 】

したがって、前記ハイ及びロー画素がそれぞれ駆動される第 1 及び第 2 区間で液晶に印加される充電量が同一になり、その結果、第 1 及び第 2 区間の間で液晶の充電量の差によって発生する応答速度の低下を防止することができる。

以上、実施形態を参照して説明したが、該当の技術分野の熟練された当業者は特許請求の範囲に記載した本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更させることができることを理解することができるであろう。

【産業上の利用可能性】

【 0 0 6 9 】

本発明は、液晶表示装置など表示装置に適用可能である。

【図面の簡単な説明】

【 0 0 7 0 】

【図 1】本発明の一実施形態に係る液晶表示装置のブロック図である。

【図 2】図 1 に示した表示部の一画素を示したレイアウトである。

【図 3】図 2 に示した切断線 I - I' に沿って切断した断面図である。

【図 4】図 2 に示した第 1 データライン、第 1 及び第 2 ゲートラインに印加される信号を示した波形図である。

【図 5】階調によるハイ及びロー画素の透過率を示したグラフである。

【図 6】図 1 に示した第 1 及び第 2 映像処理部の内部ブロック図である。

【図 7】図 6 に示した第 1 映像処理部の入 / 出力信号を示したグラフである。

【図 8】図 6 に示した第 2 映像処理部の入 / 出力信号を示したグラフである。

【図 9】本発明の他の実施形態に係る液晶表示装置のブロック図である。

【符号の説明】

【 0 0 7 1 】

1 0 0 表示部

2 0 0 ゲート駆動部

3 0 0 データ駆動部

4 0 0、4 5 0 ガンマ基準電圧発生部

5 0 0、5 5 0 タイミングコントローラ

5 1 0 第 1 映像処理部

5 2 0 第 2 映像処理部

5 1 3 第 1 補正部

5 1 4 第 2 補正部

5 2 3 第 3 補正部

5 2 4 第 4 補正部

6 0 0、6 5 0 液晶表示装置

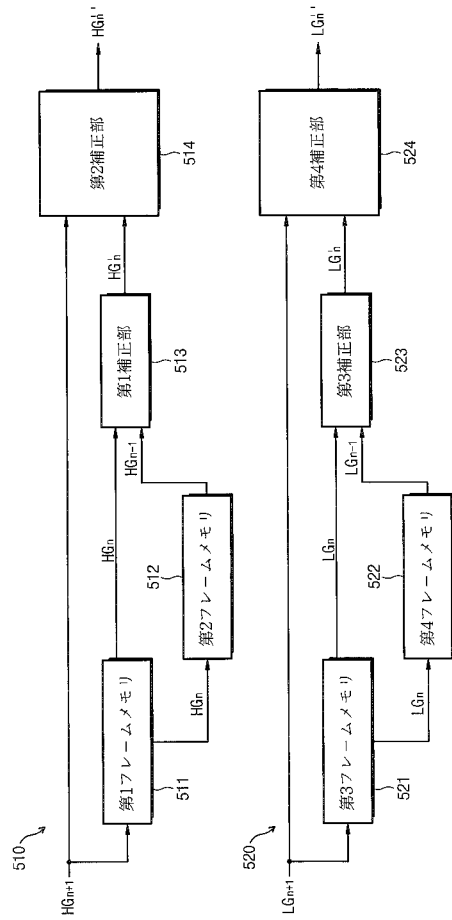
10

20

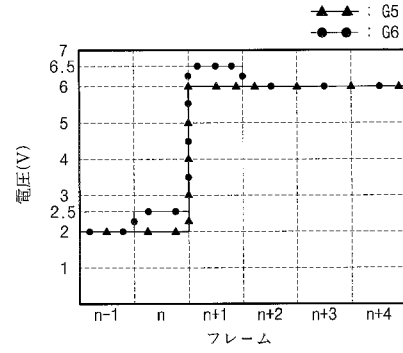
30

40

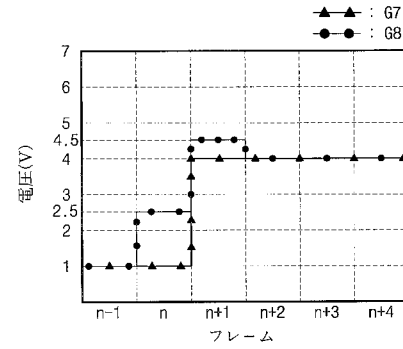
【図 6】



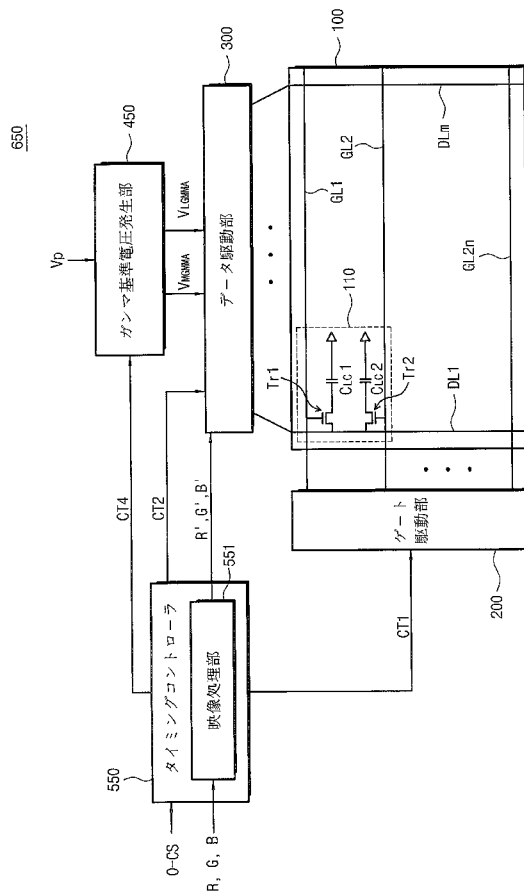
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 3 2 Z
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 3 1 A
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 1 2 R
G 0 9 G	3/20	6 6 0 V

F ターム(参考) 2H093 NA16 NA53 NB09 NC09 NC11 NC34 NC62 NC90 ND06 ND34
ND58
5C006 AC21 AC22 AC24 AF01 AF44 AF71 BC16 BF02 FA12 FA16
5C080 AA10 BB05 DD02 EE19 FF11 JJ02 JJ04 JJ05 JJ06 KK43

专利名称(译)	表示装置		
公开(公告)号	JP2007226180A	公开(公告)日	2007-09-06
申请号	JP2006228532	申请日	2006-08-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	趙賢相		
发明人	趙賢相		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3611 G09G2300/0443 G09G2300/0447 G09G2320/0252 G09G2320/028 G09G2320/0673 G09G2340/16 G09G2360/18		
FI分类号	G02F1/133.575 G02F1/133.570 G02F1/133.550 G09G3/36 G09G3/20.621.F G09G3/20.632.Z G09G3/20.623.A G09G3/20.623.C G09G3/20.631.A G09G3/20.622.A G09G3/20.612.R G09G3/20.660.V		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NB09 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC62 2H093/NC90 2H093/ND06 2H093/ND34 2H093/ND58 5C006/AC21 5C006/AC22 5C006/AC24 5C006/AF01 5C006/AF44 5C006/AF71 5C006/BC16 5C006/BF02 5C006/FA12 5C006/FA16 5C080/AA10 5C080/BB05 5C080/DD02 5C080/EE19 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK43 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZD23 2H193/ZE01 2H193/ZF13 2H193/ZF16 2H193/ZH40 2H193/ZQ44 2H193/ZQ47		
优先权	1020060016804 2006-02-21 KR		
其他公开文献	JP2007226180A5 JP4898349B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示设备，以提高响应速度。解决方案：在显示设备100中，第一图像处理器510在第一预倾斜时段期间响应于第一外部视频信号输出第一预倾斜灰度级，并且第二视频处理器520输出高于第一预倾斜灰度级的第二预倾斜灰度级在第二预倾斜时段期间响应于第二外部视频信号进行缩放。伽马参考电压发生器输出伽马参考电压。数据驱动器通过基于伽马参考电压将第一预倾斜灰度转换为第一预倾斜电压来输出第一预倾斜电压，并通过将第二预倾斜灰度转换为第二预倾斜来输出与第一预倾斜电压相同的第二预倾斜电压电压。这防止了由高态和低态像素之间施加在液晶上的电荷差异引起的响应速度的降低。Z

