

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-206191

(P2007-206191A)

(43) 公開日 平成19年8月16日(2007.8.16)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622A	5C006
G02F 1/133 (2006.01)	G09G 3/20 623A	5C080
	G09G 3/20 621A	
	G09G 3/20 641A	

審査請求 未請求 請求項の数 6 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2006-22741 (P2006-22741)
 (22) 出願日 平成18年1月31日 (2006.1.31)

(71) 出願人 000002325
 セイコーインスツル株式会社
 千葉県千葉市美浜区中瀬1丁目8番地
 (74) 代理人 100079212
 弁理士 松下 義治
 (72) 発明者 草野 由美子
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
 Fターム(参考) 2H093 NA33 NA55 NC03 NC09 NC11
 NC16 ND15
 5C006 AA15 AC24 AF13 AF42 AF43
 AF45 AF50 AF51 AF71 BB14
 BC03 BC11 BC23 BF09 FA16
 FA36
 5C080 AA10 BB05 DD10 EE29 FF12
 JJ02 JJ04

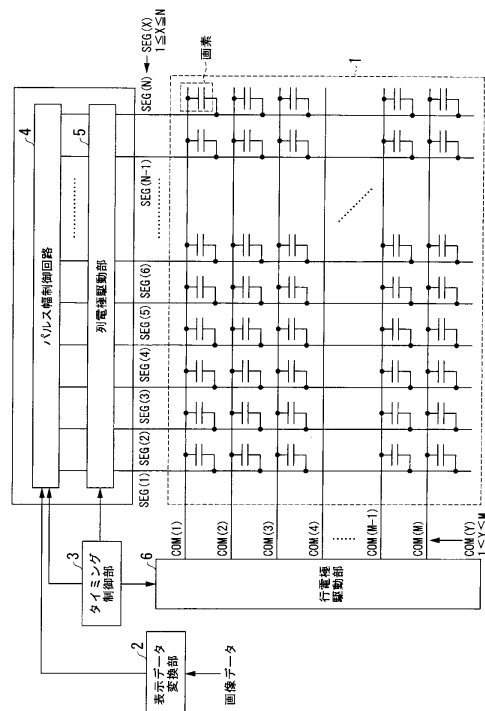
(54) 【発明の名称】 液晶表示制御回路

(57) 【要約】

【課題】 STN液晶表示におけるクロストーク、特に、コモン電極の変化に対応して、SEG電極が変化する場合、同一のタイミングにて変化するセグメント電極の数が増加するに従い、コモン電極の電圧が変化し、変化しないSEG電極に対応する画素のクロストークを抑制する液晶表示制御装置を提供する。

【解決手段】 本発明の液晶表示制御回路は、複数の行電極と複数の列電極との交差部を画素とするSTN液晶パネルの表示制御を行う液晶表示制御回路であり、行電極を順次駆動する行電極駆動部と、行電極の駆動タイミングに対応させ、駆動パルスの幅の期間において、画素の階調度に対応する幅のデータパルスを各列電極に出力する列電極駆動部とを有し、列電極駆動部が各列電極のデータパルスの出力タイミングを異ならせて出力する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の行電極と複数の列電極との交差部を画素とする S T N 液晶パネルの表示制御を行う液晶表示制御回路であり、

前記行電極を順次駆動する行電極駆動部と、

行電極の駆動タイミングに対応させ、駆動パルスの幅の期間において、画素の階調度に対応する幅のデータパルスを各列電極に出力する列電極駆動部と

を有し、

前記列電極駆動部が各列電極のデータパルスの出力タイミングを異ならせて出力することを特徴とする液晶表示制御回路。

10

【請求項 2】

前記列電極駆動部が列電極を複数のグループに分け、各グループ間における出力タイミングを異ならせることを特徴とする請求項 1 記載の液晶表示制御回路。

【請求項 3】

前記列電極駆動部が各列電極毎にラッチを有しており、該ラッチに異なるタイミングにてラッチ信号を与えることにより、各列電極へのデータパルスの出力タイミングを異ならせることを特徴とする請求項 1 または請求項 2 に記載の液晶表示制御回路。

【請求項 4】

前記行電極駆動部が列電極駆動部の各列電極におけるデータパルスの出力タイミング分布の中央のタイミングに、行電極に対する駆動パルスを出力する駆動タイミングを調整することを特徴とする請求項 1 から請求項 3 のいずれかに記載の液晶表示制御回路。

20

【請求項 5】

前記列電極駆動部が前記複数のグループ毎のタイミング制御を、画素の階調度表示が完結する階調完結周期毎に変更するローテート処理を行うことを特徴とする請求項 2 から請求項 4 のいずれかに記載の液晶表示制御回路。

【請求項 6】

次のフレームで表示されるキャラクタに対応して、制御コマンドを記憶し、入力されるキャラクタに対応した制御コマンドを出力する制御コマンド部を有し、

前記行電極駆動部及び列電極駆動部が、入力される前記制御コマンドにより、列電極に対するデータパルスの出力タイミングの調整、行電極に対する駆動パルスを出力する駆動タイミングの調整及び前記ローテート処理のいずれかまたは組合せを行うかの制御を行うことを特徴とする請求項 1 から請求項 5 のいずれかに記載の液晶表示制御回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、S T N 液晶パネルからなる表示装置の階調制御を行うものであり、クロストークの低減を行う表示装置の制御回路及びその方法に関する。

【背景技術】

【0002】

近年、マトリクス型の表示装置は、パーソナルコンピュータ、ゲーム機器や携帯電話の表示装置として使用されており、階調表示を行うことができるものが多く用いられている。

40

従来、表示装置においては、階調表示方式としてフレーム変調やパルス幅変調が多く用いられている。

パルス幅変調方式の場合、所定の階調数を表示するためのデータパルスを 1 水平走査期間内に印加するため、表示するデータパルスが複数回印加されることとなり、階調を表示しないときに比較すると信号線の変化する回数が多くなる。したがって、データパルスの周波数が高いことにより、電極抵抗と液晶容量とに起因するパルスのなまり及びデータパルスに誘導されるため、走査電圧の波形歪みが多くなり、制御される実効電圧値とは異なる電圧値が液晶に印加され、クロストークなどによる表示品質の低下が起こる。

50

【0003】

上述した複数の行電極と、複数の列電極とを有するマトリクス型液晶の表示装置におけるクロストークの低減を目的として、複数フレームに1フレームの割合でパルス幅変調を行うパルス幅変調方式がある。

これにより、複数の列電極の1つに対して印加するデータパルスの周波数を低くして、印加するデータ電圧の波形なまりを抑制し、さらに列電極に印加するデータパルスの電圧によって誘導されて起こる走査電圧の波形歪みの発生回数を削減する。

【0004】

また、表示データ変換回路が、隣接する複数の画素において、1画素の割合でパルス幅変調を行う構成もある。この場合、異なる列電極間において、データパルス及び走査パルスが同一の水平走査期間であっても、データ電圧の波形変化のタイミングを異ならせることができる(例えば、特許文献1参照)。

10

これにより、列電極に電圧が印加されることに起因した、走査電圧の波形(走査パルス)における振幅の歪みを抑制することができる。

【特許文献1】特開2000-214816号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に示す階調制御装置にあっては、白黒での格子パターンのように、走査期間において、同時に同じ電圧方向に対して変化する列電極の数が多く、また、コモン電極(行電極)とSEG電極(列電極)との変化タイミングが同一であるパターンで、クロストークを抑制することができない欠点がある。

20

すなわち、図7及び図8に示すように、コモン電極の走査がCOM(Y-3)からCOM(Y+3)の方向に、駆動パルスが順次印加され、COM(Y-1)のコモン電極が印加された時点まで、SEG電極の全てが「L」レベル、すなわち、パネルの画素の全てが「白」の表示であることを前提とする。図7はクロストークの発生するメカニズムを説明する画像表示例を示す概念図である。図8は上記表示を行うための各信号線の時間変化を示す波形図である。

【0006】

そして、時刻t1において、COM(Y-1)のコモン電極が「L」から「H」レベルに遷移する際、SEG電極が「L」レベルから「H」レベルへ変化するのがSEG(X-1)のみであり、他のSEG電極は「L」レベルの、まま変化はしない。すなわち、「白」の表示から「黒」の表示に変化するのは、画素{SEG(X-1), COM(Y-1)}の1画素のみであり、他の画素は「白」表示のままである。このとき、コモン電極の電圧Vmはデータ線で変化するのがSEG(X-1)のみであるため、コモン電極の電圧Vmの歪みの程度は少ない。

30

【0007】

次に、時刻t2において、COM(Y-1)のコモン電極が「H」レベルから「L」レベルに遷移し、COM(Y)のコモン電極が「L」レベルから「H」レベルへ遷移する。このとき、コモン電極のY行目であるCOM(Y)に対応する画素が全て「黒」表示となり、すなわち、全SEG電極が「H」の状態となるため、SEG(X-1)のSEG電極は「H」レベルのまま変化はしないが、その他のデータ線は「L」レベルから「H」レベルに変化する。

40

これにより、SEG(X-1)以外、ほとんどのSEG電極が「L」レベルから「H」レベルに遷移するため、SEG電極とコモン電極とのカップリング容量により、COM(Y)におけるコモン電極の電圧Vmの歪みが、データ線の変化が1本とか2本とかの少ないときに比較して大きくなる。

【0008】

次に、時刻t3において、COM(Y)のコモン電極が「H」レベルから「L」レベルに遷移し、COM(Y+1)のコモン電極が「L」レベルから「H」レベルへ遷移する。

50

このとき、 $(Y + 1)$ 行目のコモン電極 $COM(Y + 1)$ に対応する画素が、SEG 電極の $SEG(X + 1)$ を除いて全て「白」表示となり、すなわち、 $SEG(X + 1)$ を除いた全データ線が「L」の状態となるため、 $SEG(X + 1)$ のデータ線は「H」レベルのまま変化はしないが、その他の SEG 電極は「H」レベルから「L」レベルに変化する。

これにより、 $SEG(X + 1)$ 以外、ほとんどの SEG 電極が「H」レベルから「L」レベルに遷移するため、SEG 電極とコモン電極とのカップリング容量により、 $COM(Y + 1)$ におけるコモン電極の電圧 V_m の歪みが、時刻 t_2 のときと同様に、SEG 電極の変化が 1 本とか 2 本とかの少ないときに比較して大きく発生する。

【0009】

上述した走査処理において、時刻 t_2 におけるコモン電極の電圧 V_m の歪みについては、画素が全て「黒」となる、すなわち「H」レベルとなっているため、歪みの影響としては全体的に電圧差を減少させる方向に働くため、全体の受ける影響は同様であり、クロストークの発生はない。

10

一方、時刻 t_3 においては、コモン電極の電圧 V_m が歪んだ際の影響として、 $SEG(X + 1)$ 以外のデータ線は「L」レベルであるため、実効値 $\{SEG \text{ の電位} - V_m\}$ が電位差を減少させる方向に変化し、 $SEG(X + 1)$ のみが「H」レベルであるため、 $\{SEG(X + 1) - V_m\}$ の電位差のみが増加する方に変化する。この電位差の増減の差が、1 フレーム内において、以降の $SEG(X + 1)$ のデータ線における実効電圧に差を生じさせることとなる。

【0010】

すなわち、 $COM(Y + 1)$ 行目の白データを有する画素については、 V_m の歪みによって余計に発生した電圧差を減少させる方向に働いている。一方、 $COM(Y + 1)$ 行目の黒データを有する画素については、余計に発生した電圧差をさらに広げる（増加させる）方向に働くこととなる。

20

$SEG(X + 1)$ の SEG 電極が他の SEG 電極に比較して、白データであるにもかかわらず、黒に近く表示されることとなる。

したがって、前面黒から白に変化する際、黒から白に変化する SEG 電極の数に比例してコモン電極の電圧 V_m の歪みが変化、すなわち変化する SEG 電極の数が増加するに従い、電圧 V_m の歪みも大きく発生することになる。

【0011】

特許文献 1 に記載されている方法は、フレームを複数のサブフレームに分割し、複数のサブフレームの割合にてパルス幅変調を行うため、パルス幅変調を行われないサブフレームに関し、次のフレームで全画素が変化する状態が存在するため（例えば、ノーマリホワイトであり、階調が 60 階調とすれば、全部が 0 階調から、60 階調に変化する状態、次のフレームにおいて、1 画素が 60 階調のまま、残り全てが 0 階調の場合）、上述した白黒パターンの波形と同様な状態となることが考えられる。すなわち、 N フレームに 1 フレームの割合とすると、 $(N - 1)$ フレームはパルス幅変調を行わないフレームであり、白黒表示されるデータに限らず、上述した問題を有することとなる。

30

【0012】

本発明は、このような事情に鑑みてなされたもので、パッシブ型 (STN) 液晶表示におけるクロストーク、特に、コモン電極の変化に対応して、SEG 電極が変化する際、同一のタイミングにて変化するセグメント電極の数が増加するに従い、コモン電極の電圧が変化し、変化しない SEG 電極に対応する画素のクロストークを抑制する液晶表示制御装置を提供することを目的とする。

40

【課題を解決するための手段】

【0013】

本発明の液晶表示制御回路は、複数の行電極（例えば、実施形態におけるコモン電極）と複数の列電極（例えば、実施形態における SEG 電極）との交差部を画素とする STN 液晶パネルの表示制御を行う液晶表示制御回路であり、前記行電極を順次駆動する行電極駆動部と、行電極の駆動タイミングに対応させ、駆動パルスの幅の期間において、画素の

50

階調度に対応する幅のデータパルスを各列電極に出力する列電極駆動部とを有し、前記列電極駆動部が各列電極のデータパルスの出力タイミングを異ならせて出力することを特徴とする。

本発明の液晶表示制御回路は、前記列電極駆動部が列電極を複数のグループに分け、各グループ間における出力タイミングを異ならせることを特徴とする。

【0014】

上述した構成により、本発明の液晶表示制御回路によれば、同時に変化する列電極の本数を削減することができ、カップリング容量によって、上記電極と容量結合した行電極の電圧の歪みを抑制することができ、実効値の増減が逆に働いた場合でも、クロストークを起こすほどの電圧差、すなわち液晶のオン/オフ変化を起こす電圧差となるのを抑制し、クロストークの発生を防止することが可能となる。

10

【0015】

本発明の液晶表示制御回路は、前記列電極駆動部が各列電極毎にラッチを有しており、該ラッチに異なるタイミングにてラッチ信号を与えることにより、各列電極へのデータパルスの出力タイミングを異ならせることを特徴とする。

上述した構成により、本発明の液晶表示制御回路は、各列電極各々に対して、データパルスの出力タイミングを任意に変更することができ、かつ、キャラクタの違いに対応して列電極のグループ構成を変更することができる。

【0016】

本発明の液晶表示制御回路は、データパルスの出力タイミングをずらす際、前記行電極駆動部が列電極駆動部の各列電極におけるデータパルスの出力タイミング分布の中央のタイミングに、行電極に対する駆動パルス出力する駆動タイミングを調整することを特徴とする。

20

上述した構成により、本発明の液晶表示制御回路は、列電極の出力タイミングを、行電極の駆動タイミングの前後にずらして配置することができ、行電極と列電極とのパルスの出力タイミングのずれ、すなわち列電極に出力されるデータパルスと、行電極に出力される駆動パルスとで選択される画素のずれに起因する画像の2重映りを抑制することができる。

【0017】

本発明の液晶表示制御回路は、前記列電極駆動部が前記複数のグループ毎のタイミング制御を、画素の階調度表示が完結する階調完結周期毎に変更するローテート処理を行うことを特徴とする。

30

また、本発明の液晶表示制御回路は、次のフレームで表示されるキャラクタに対応して、制御コマンドを記憶し、入力されるキャラクタに対応した制御コマンドを出力する制御コマンド部を有し、前記行電極駆動部及び列電極駆動部が、入力される前記制御コマンドにより、列電極に対するデータパルスの出力タイミングの調整、行電極に対する駆動パルス出力する駆動タイミングの調整及び前記ローテート処理のいずれかまたは組合せを行うかの制御を行うことを特徴とする。

【0018】

ここで、本発明の液晶表示制御回路において、使用するキャラクタ毎に予めクロストーク発生の試験を行い、発生するキャラクタのパターンを抽出しておき、抽出されたキャラクタのパターンを、内部の記憶回路に記憶させておき、前記制御コマンド部が、フレーム毎に、データパルスの出力タイミングをずらす処理が必要か否かの判定を、記憶部に記憶されているキャラクタのパターンと一致するか否かの検出を行うことで行い、必要である場合に制御コマンドを、行電極駆動部及び列電極駆動部へ出力する。

40

上述した構成により、本発明の液晶表示制御回路は、キャラクタに対応させ、列電極に対してデータパルス出力する出力タイミング、行電極に対して駆動パルス出力する駆動タイミングまたはローテート処理を行うか否かの制御を行うことにより、各キャラクタに最適な表示処理を行い、表示される画質を向上させることが可能となる。

【0019】

50

本発明の液晶表示制御回路は、次の行電極の駆動タイミングにて列電極に出力される表示データと、現在出力している表示データとを比較するデータ検知回路をさらに有し、電圧レベルの変化する列電極の数が、予め設定された設定数を越えたことを検知すると、前記列電極駆動部に対し、列電極へのデータパルスの出力タイミングを変化させる制御を指示することを特徴とする。

上述した構成により、本発明の液晶表示制御回路は、現在の行電極の駆動タイミングにおける最大階調である列電極の数と、次の行電極の駆動タイミングにおける列電極の最低階調となる列電極の数とを比較し、列電極の差が設定数を越え、かつ電圧レベルが変化しない列電極が存在する場合、列電極へのデータパルスへの出力タイミングをずらすようにすることにより、容易にストロークを抑制する処理を行うことができ、画質を向上させる

10

【発明の効果】

【0020】

以上説明したように、本発明の液晶表示制御回路によれば、各SEG電極（列電極）の波形変化のタイミングを各々、例えばSEG電極を所定数毎にグループに分割し、各グループ毎に、出力する表示データの出力タイミングを異ならせることにより、SEG電極に印加される電圧変化により、カップリング容量により誘導されるコモン電極（行電極）の電圧変化の振幅を低減させ、コモン電極の電圧変化の振幅と、この電圧変化に対し、コモン電極と全てのSEG電極各々との間の電位差を、液晶のオン/オフの閾値電圧以下に抑制することができ、クロストークを防止することができる。

20

【発明を実施するための最良の形態】

【0021】

以下、本発明の一実施形態による液晶表示制御回路を図面を参照して説明する。図1は同実施形態による液晶表示制御回路の構成例を示すブロック図である。

この図において、液晶表示パネル1は、STN液晶が充填された液晶パネルと、この液晶パネルの上部に配設された列電極である複数のSEG電極SEG(X)と、液晶パネルの下部に配設された行電極である複数のコモン電極COM(Y)とで構成されている。ここで、1 X N、1 Y Mであり、N及びMは整数である。すでに述べたように、上記SEG電極とコモン電極との交差部に形成される容量、すなわち画素部の容量により、SEG電極とコモン電極とは容量結合している。

30

上記液晶パネルを駆動する液晶表示制御回路は、表示データ変換部2、タイミング制御部3、パルス幅制御部4、列電極駆動部5、行電極駆動部6から構成されている。

【0022】

表示データ変換回路2は、入力されるフレーム単位の画像データが、予め設定されているキャラクタであるか否かの検出を行い、予め設定されていたキャラクタであることを検出するとSEG電極をずらす制御コマンドを列電極駆動部5に対して出力する。

また、表示データ変換回路2は、フレーム単位の画像データを、液晶パネルにおける行を形成する画素の各階調データ（階調度を示すデータ）からなる画素列データとして、パルス幅制御部4へ出力する。

【0023】

40

パルス幅制御部4は、入力される階調度データに基づいて、駆動パルスが出力される行電極（コモン電極）における各画素に対応するデータパルスを生成し、コモン電極に対応する画素の列電極に対応させ、駆動クロックに同期させて、列電極駆動部5に対して、全SEG電極に対して上記データパルスを同時に並列に出力する。

ここで、パルス幅制御部4は、例えば、入力される階調クロックにより、すなわち階調クロックの周期と、階調度データとを乗算した数値であるパルス幅のデータパルスを生成する。この階調クロックは、コモン電極に出力される駆動パルス幅を最大階調度（例えば、0～15の段階の16階調であれば、最大階調度15）で除算した周期となっている。

【0024】

列電極駆動部5は、図2に示すように、列電極SEG(X)毎に接続されたラッチ(X

50

)と、タイミング調整部 5 1 とからなり、各画素の階調度に対応したデータパルスを、各々対応する列電極 S E G (X) に接続されたラッチ (X) に、タイミング調整部 5 1 の出力する階調クロックに対応して保持される。例えば、ラッチ (1) と列電極 (1) と、...、ラッチ (X) と列電極 (X) と、...、ラッチ (N) と S E G 電極 (N) とが各々対応して接続されている (1 X N、N は 1 以上の整数)。

ラッチ (X) 各々は、図 3 に示すように、列電極 (X) 毎にパルス幅制御部 4 から入力される、各階調度に対応したパルス幅のデータパルスを、タイミング調整部 5 1 から入力される階調クロック (階調クロック C L a , C L b , C L c) により、各々ラッチして出力する。

【 0 0 2 5 】

タイミング制御部 3 は、外部から入力される基準クロックに基づき、上記駆動パルスを出力するタイミングとなる駆動クロック、及びこの駆動クロックに対応して、上記階調クロックを生成して、列電極駆動部 5 及び行電極駆動部 6 に対して出力する。

【 0 0 2 6 】

上記タイミング調整部 5 1 は、各列電極のデータパルスの出力タイミングを異ならせるため、各カウンタに対して供給する階調クロックの入力開始のタイミングをずらす。例えば、全 S E G 電極を 3 つのグループに分割し、各グループに属する S E G 電極が同時にデータパルスを出力し、各グループに異なった開始タイミングで階調クロックが入力される構成となっている。すなわち、タイミング調整部 5 1 は、図 4 に示すように、各コモン電極 C O M (Y) に順次出力される駆動パルスを生成する駆動クロックに同期した階調クロック C L a、階調クロック C L a に対して階調クロックの半周期分位相のずれた階調クロック C L b、階調クロック C L a に対して階調クロックの 1 周期分位相のずれた階調クロック C L c を、各対応するグループに出力する。

【 0 0 2 7 】

ここで、タイミング調整部 5 1 は、制御コマンドに対応して、階調クロック C L a のみを駆動クロックに同期させ、階調クロック C L b 及び C L c 各々を、駆動クロックに対し階調クロックの半周期分ずつずらすか、階調クロック C L a、C L b 及び C L c 全てを、駆動クロックに対して同期させるかを、制御コマンドにより選択して駆動する。

行電極駆動部 6 は、各行電極であるコモン電極 (Y) 毎に駆動バッファを有しており、駆動クロックに同期して、コモン電極 (0) ~ コモン電極 (M) の順に、いずれか 1 つに対し、駆動パルスを出力し、所定のコモン電極 (Y) に対応した画素を表示対象として駆動する。

【 0 0 2 8 】

次に、図 5 を参照して、本実施形態における液晶表示制御回路の動作の説明を行う。図 5 は、この液晶表示制御回路の動作例を示す波形図である。以下の説明としてのキャラクタパターンとしては、図 7 と同様のパターンを用いて説明する。ここで、タイミング調整部 5 1 は、データパターンを出力する出力タイミングをずらす制御コマンドが入力された場合、S E G 電極に対して、階調クロック C L a を「 H 」レベルのままとし、階調クロック C L b を駆動クロックに対して、階調クロックの半周期位相をずらし、階調クロック C L c を駆動クロックに対して、階調クロックの 1 周期位相をずらして出力する。

【 0 0 2 9 】

上述したように、S E G 電極のグループ毎に、階調クロックをずらすことにより、階調クロック C L a に対応するラッチ (X) に、駆動クロックに同期して入力されるデータパターンがスルー状態で、このグループの S E G (X) へ出力されるようにし、階調クロック C L b に対応するラッチ (X) に、駆動クロックに同期して入力されるデータパターンを、階調クロックの半周期分、駆動クロックからずらしてこのグループの S E G (X) へ出力されるようにし、階調クロック C L c に対応するラッチ (X) に、駆動クロックに同期して入力されるデータパターンを、階調クロックの 1 周期分、駆動クロックからずらしてこのグループの S E G (X) へ出力されるようにする。

【 0 0 3 0 】

10

20

30

40

50

また、データパターンを出力する出力タイミングをずらす制御コマンドが入力されない場合、階調クロック CLa 、 CLb 及び CLc 全てを「H」レベルのままとし、ラッチ (X) 全てをスルー状態とする。

図 7 に示すフレームを表示パネル 1 へ表示させる画像データが入力され、表示データ変換回路 2 は、予め設定されていたキャラクタと一致することを検出すると、列電極駆動部 5 に対して、SEG 電極 (X) のグループ各々のデータパターンの出力タイミングをずらす制御コマンドを出力する。

【0031】

時刻 t_1 において、表示データ変換部 2 は、順次、対応する COM ($Y - 1$) の各画素からなる画素列データを、上記画像データから抽出して、パルス幅制御部 4 に対して出力する。表示データ変換部 2 が、COM ($Y - 1$) の行の画素の画素列データを出力し、パルス幅制御部 4 が各画素のデータパルスを、駆動クロックに対応して出力を開始する。このとき、画素 {SEG ($X - 1$), COM ($Y - 1$)} の 1 画素のみが「黒」の表示 (最大階調) であり、コモン電極 COM ($Y - 1$) の他の画素が「白」の表示 (最低階調; 0) であり、前行のコモン電極 COM ($Y - 2$) の画素すべてが「白」の表示であるとする。

10

【0032】

上述したデータ構成により、行電極駆動部 6 が COM ($Y - 1$) のコモン電極を「H (電圧 V_m)」から「L」レベルに遷移させ、すなわち、駆動パルスを COM ($Y - 1$) に対して出力する。

20

このとき、電極駆動部 5 は、SEG 電極 ($X - 1$) に対してのみ、データパルスを出力、すなわち「L」レベルから「H」レベルへ変化させ、他の SEG 電極に対し、データパルスの出力を行わず、「L」レベルの、まま変化はしない。

【0033】

すなわち、画素部分における STN 液晶の開口がオン/オフする閾値の電圧差となるよう、COM ($Y - 1$) と SEG ($X - 1$) の電圧差が大きくなるよう制御し、「白」の表示から「黒」の表示に変化するの、画素 {SEG ($X - 1$), COM ($Y - 1$)} の 1 画素のみであり、他の画素は「白」表示のままである。このとき、コモン電極の電圧 V_m はデータ線で変化するのが SEG ($X - 1$) のみであるため、すでに述べたように、コモン電極の電圧 V_m の歪みの程度は少ない。ここで、SEG ($X - 1$) に対しては、最大階調の Puls データが出力されている。

30

【0034】

次に、時刻 t_2 において、表示データ変換部 2 は、順次、対応する COM (Y) の各画素からなる画素列データを、上記画像データから抽出して、パルス幅制御部 4 に対して出力する。表示データ変換部 2 が、COM (Y) の行の画素の画素列データを出力し、パルス幅制御部 4 が各画素のデータパルスを、駆動クロックに対応して出力を開始する。このコモン電極 COM (Y) において、画素 {SEG (0), COM (Y)} から画素 {SEG (N), COM (Y)} の、コモン電極 COM (Y) の全ての画素が「黒」の表示 (最大階調) である。

【0035】

行電極駆動部 6 は、駆動クロックに同期して、COM ($Y - 1$) のコモン電極を「L」レベルから「H」レベルに遷移させ、COM (Y) のコモン電極を「H」レベルから「L」レベルへ遷移させる。

40

このとき、列電極駆動部 5 は、コモン電極の Y 行目である COM (Y) に対応する画素が全て「黒」表示であるため、全 SEG 電極が「H」の状態となるため、SEG ($X - 1$) の SEG 電極を「H」レベルのまま変化させず、その他の SEG 電極を「L」レベルから「H」レベルに変化させる。

【0036】

ここで、列電極駆動部 5 は、階調クロック CLa に対応するグループの SEG 電極に対し、駆動クロックに同期してデータパルスを出力し、階調クロック CLb に対応するグル

50

すなわち、時刻 t_3 においては、コモン電極の電圧 V_m が歪んだ（この場合、 V_m が低下して、「H」レベルから「L」レベル方向に引き下げられる）際の影響として、SEG ($X+1$) 以外の SEG 電極は「L」レベルであるため、実効値 { SEG の電位 - 電圧 V_m } が電位差を減少させる方向に変化し、SEG ($X+1$) のみが「H」レベルであるため、{ SEG ($X+1$) - V_m } の電位差のみが増加する方向に変化する。この電位差の増減の差が、1 フレーム内において、以降の SEG ($X+1$) のデータ線における実効電圧に差を生じさせることとなる。

【0043】

ここで、COM ($Y+1$) 行目の「白」の表示を有する画素については、 V_m の歪みによって余計に発生した電圧差を減少させる方向に働いている。一方、COM ($Y+1$) 行目の黒データを有する画素については、余計に発生した電圧差をさらに広げる（増加させる）方向に働くこととなる。

10

しかしながら、本実施形態においては、電圧 V_m の歪みを抑制することができるため、SEG ($X+1$) の列の SEG 電極が他の SEG 電極に比較して、白データであるにもかかわらず、黒に近く表示されることが防止できる。

このため、前面黒から白に変化する際、黒から白に変化する SEG 電極の数に比例してコモン電極の電圧 V_m の歪みが増加、すなわち変化する SEG 電極の数が増加しても、同時に変化する SEG 電極を、グループ分けにより減少させて、電圧 V_m の歪みを大幅に抑制し、クロストークの発生を抑制することになる。

【0044】

20

また、他の実施形態として、上述した構成に対して、列電極駆動部 4 がデータパルスの出力タイミングをずらす際、行電極駆動部 6 が、図 4 及び図 6 に示すように、列電極駆動部 4 の各 SEG 電極におけるデータパルスの出力タイミング分布の中央のタイミングの時刻位置に調整する。すなわち、本実施形態においては、タイミング調整部 51 が SEG 電極を 3 つのグループに分割し、それぞれのグループを駆動クロックに対して、データパルスの出力タイミングを「同期させる（階調クロック CLa）」、「半周期分後ろに位相をずらす（階調クロック CLb）」、「1 周期分後ろに位相をずらす（階調クロック CLc）」ことを行う処理を行っている。

【0045】

このため、行電極駆動部 6 が、上記各グループの出力タイミングの分布の中央となる階調クロック CLb のタイミングに同期させて、行電極に対する駆動パルスをラッチにより、駆動クロックに対して、階調クロックの半周期分位相をずらして（遅らせて）出力するよう駆動タイミングを調整する構成としてもよい。他の構成及び動作については、すでに説明した実施形態と同様である。ここで、図 6 は、この液晶表示制御回路の動作例を示す波形図である。

30

【0046】

この図 6 においては、駆動パルスが駆動クロックに対して半周期ずれるため、時刻 t_2 が図 5 における時刻 t_{2b} と同様であり、時刻 t_3 が時刻 t_{3b} と同様である。パルス幅制御部 4 は、一実施形態に及びこの他の実施形態においても、データパルスを駆動クロックに同期して出力する。

40

これにより、例えば、コモン電極 COM (Y) に対応する画素に表示するデータパルスが、次行のコモン電極 ($Y+1$) の画素に対して反映される二重映りを、駆動パルスの前後に、データパルスの出力タイミングをずらすことにより抑制することができる。

【0047】

また、列電極駆動部 4 が、複数、すなわち 3 つのグループ毎のタイミング制御を、画素の階調度表示が完結する階調完結周期毎に変更するローテート処理を行うようにしてもよい。ここで、列電極駆動部 4 は、駆動クロックに対応して、各グループに対して出力するクロック CLa、CLb 及び CLc の対応関係を順次変更する。この変更は、例えば、順次シフトさせて、ローテーションさせるようにしてもよい。3 つのグループをグループ、及びとした場合、ローテーションパターン 1 を CLa-、CLb-、CLc- とし

50

、ローテーションパターン2をCLb-、CLc-、CLa-とし、ローテーションパターン3をCLc-、CLa-、CLb-とし、タイミング調整部51は、このローテーションパターン1~3を、駆動クロックのタイミングで順次切り替えるようにする。

【0048】

また、表示データ変換部2は、フレームで表示されるキャラクタに対応して、制御コマンドを記憶し、入力されるキャラクタに対応した制御コマンドを出力する制御コマンド部を有するように構成してもよい。すなわち、上記制御コマンド部は、行電極駆動部6及び列電極駆動部5が、SEG電極に対するデータパルスの出力タイミングの調整、コモン電極に対する駆動パルスを出力する駆動タイミングの調整及びローテーション処理のいずれかまたは組合せを行うかの制御を指示する制御コマンドを、キャラクタに対応して出力する。

10

【0049】

ここで、本発明の液晶表示制御回路において、使用するキャラクタ毎に予めクロストーク発生の試験を行い、発生するキャラクタのパターンを抽出しておき、抽出されたキャラクタのパターンを、制御コマンド部内部の記憶回路に記憶させておき、制御コマンド部が、フレーム毎に、データパルスの出力タイミングをずらす処理が必要か否かの判定を、記憶部に記憶されているキャラクタのパターンと一致するか否かの検出を行うことを行い、必要である場合に制御コマンドを、行電極駆動部6及び列電極駆動部5へ出力する。

【0050】

また、さらに他の実施形態として、すでに述べた実施形態に対し、次の行電極の駆動タイミングにて列電極に出力される表示データと、現在出力している表示データとを比較するデータ検知回路を設けて(表示データ変換部2内に設けられている)、電圧レベルの変化する列電極の数が、予め設定された設定数を越えたことを検知すると、コマンド制御部を介して、列電極駆動部5及び行電極駆動部6に対し、それぞれ出力タイミング及び駆動タイミング、出力タイミングのローテーション処理を指示する制御コマンドを出力させるようにしても良い。

20

【0051】

上述した構成により、本発明の液晶表示制御回路は、現在出力しているコモン電極の駆動タイミングにおける最大階調(または最低階調)であるSEG電極の数と、次のコモン電極の駆動タイミングにおける最低階調(または最大階調)となるSEG電極の数とを比較し、現在と次段とにおいて、最大階調から最低階調へ、または最低階調から最大階調へ変化するSEG電極の数が設定数を越え、かつ電圧レベルが変化しない列電極が存在する場合、列電極へのデータパルスへの出力タイミングをずらす処理を行うことにより、容易にストロークを抑制する処理を行うことができ、画質を向上させることが可能となる。

30

【図面の簡単な説明】

【0052】

【図1】本発明の一実施形態による液晶表示制御回路の構成例を示すブロック図である。

【図2】図1における列電極駆動部5の構成例と示すブロック図である。

【図3】図1におけるタイミング制御部3の出力する、階調制御に用いられる駆動クロック、駆動パルス、階調クロックの関係を示す波形図である。

40

【図4】図2におけるタイミング調整部51がラッチに与えることにより、データパルスの出力タイミングを調整する、各SEG電極グループに供給する階調クロックを示す波形図である。

【図5】図1に示す本実施形態による液晶表示制御回路の動作例を説明する波形図である。

【図6】本発明の他の実施形態による液晶表示制御回路の動作例を説明する波形図である。

【図7】ストロークの発生及び抑制を説明する液晶表示パネルに表示されるキャラクタのパターンを示す概念図である。

50

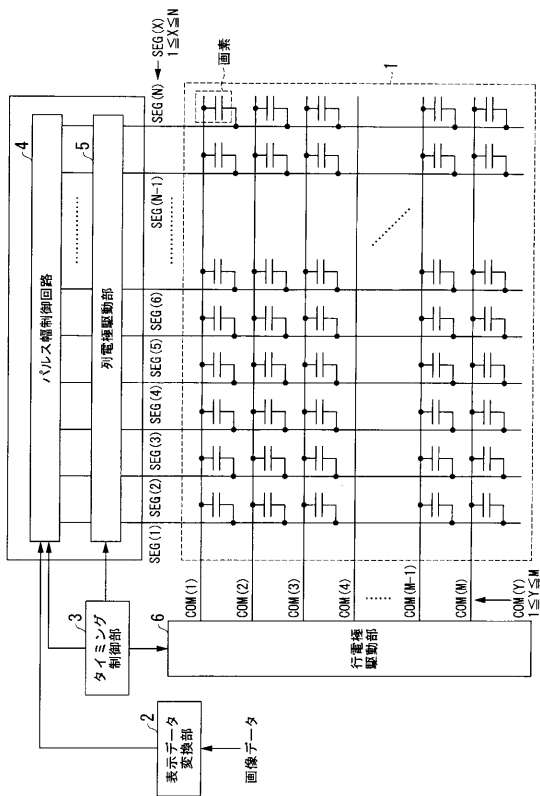
【図8】従来の液晶表示制御回路の動作例（クロストークの発生要因）を説明する波形図である。

【符号の説明】

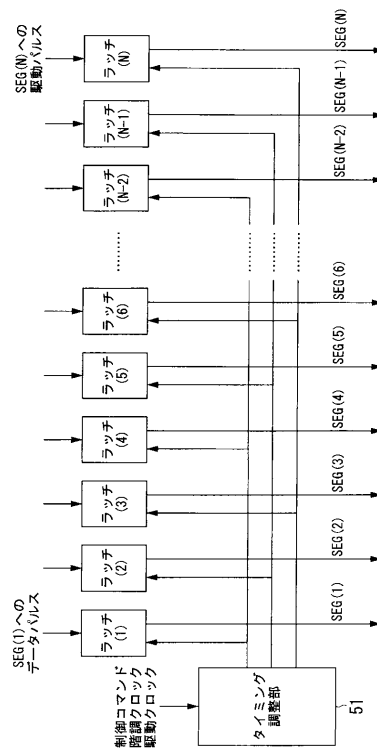
【0053】

- 1 ... 液晶パネル
- 2 ... 表示データ変換部
- 3 ... タイミング制御部
- 4 ... パルス幅制御部
- 5 ... 列電極駆動部
- 6 ... 行電極駆動部
- 51 ... タイミング調整部

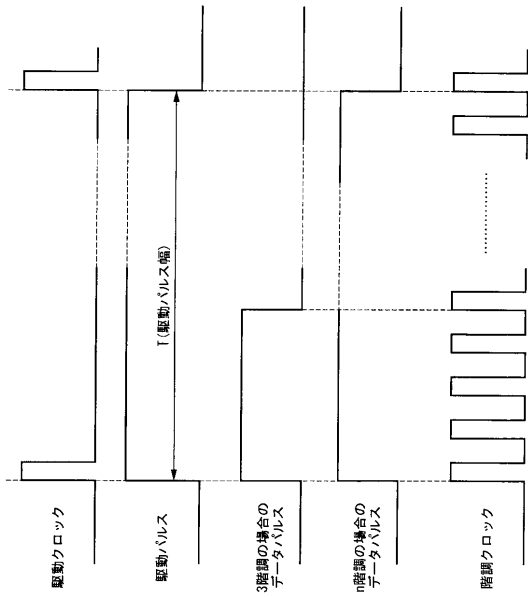
【図1】



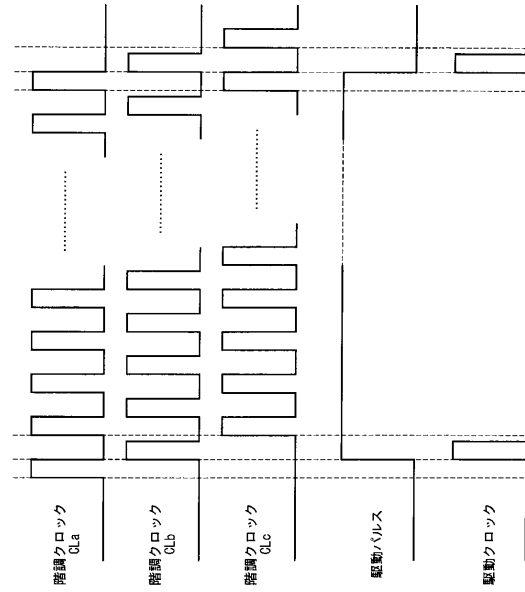
【図2】



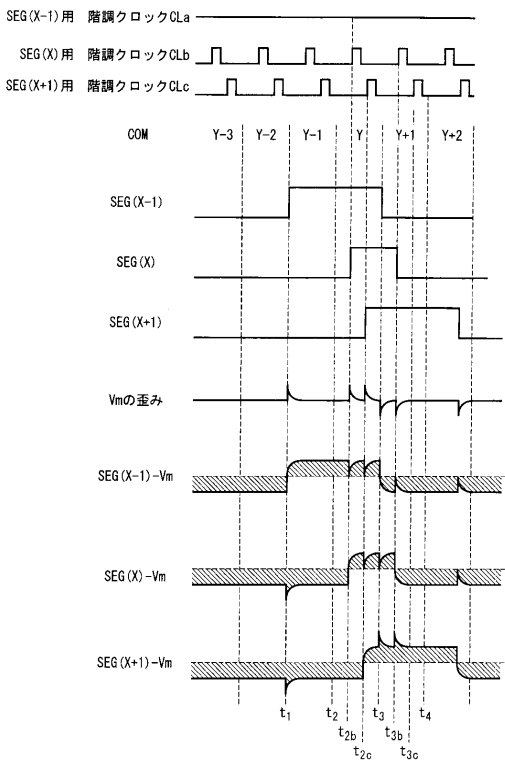
【 図 3 】



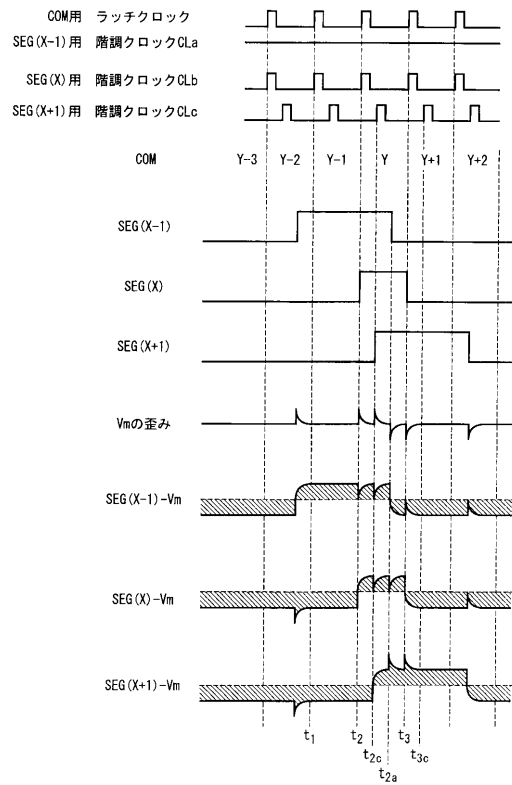
【 図 4 】



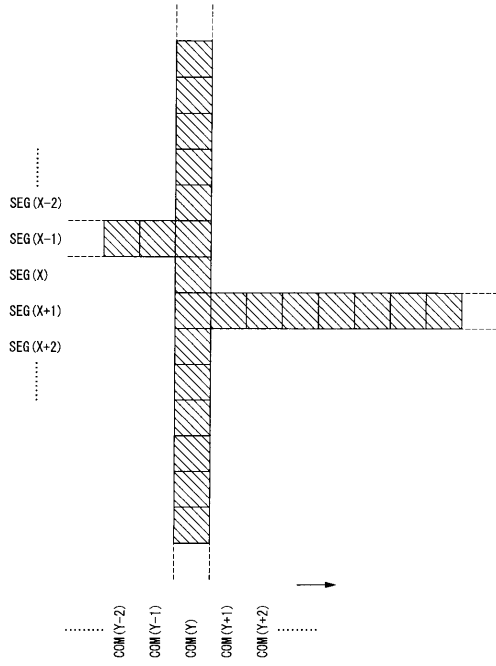
【 図 5 】



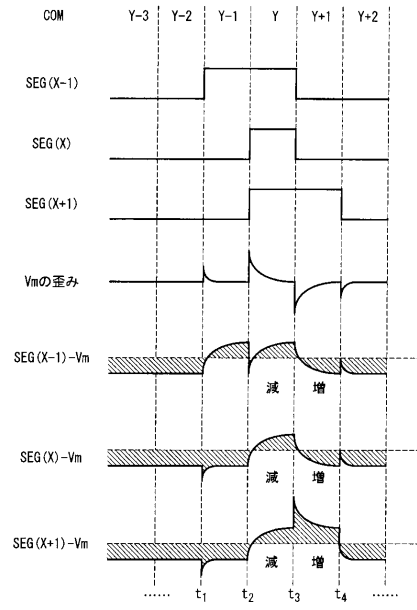
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 1 1 D
G 0 2 F	1/133	5 4 5
G 0 2 F	1/133	5 7 5

专利名称(译)	液晶表示制御回路		
公开(公告)号	JP2007206191A	公开(公告)日	2007-08-16
申请号	JP2006022741	申请日	2006-01-31
[标]申请(专利权)人(译)	精工电子有限公司		
申请(专利权)人(译)	精工电子有限公司		
[标]发明人	草野由美子		
发明人	草野 由美子		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.A G09G3/20.623.A G09G3/20.621.A G09G3/20.641.A G09G3/20.623.V G09G3/20.623.G G09G3/20.631.V G09G3/20.611.D G02F1/133.545 G02F1/133.575		
F-TERM分类号	2H093/NA33 2H093/NA55 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC16 2H093/ND15 5C006/AA15 5C006/AC24 5C006/AF13 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF50 5C006/AF51 5C006/AF71 5C006/BB14 5C006/BC03 5C006/BC11 5C006/BC23 5C006/BF09 5C006/FA16 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD10 5C080/EE29 5C080/FF12 5C080/JJ02 5C080/JJ04 2H193/ZC15 2H193/ZD25 2H193/ZF03		
代理人(译)	松下善治		
外部链接	Espacenet		

摘要(译)

解决的问题：在SEG电极响应于STN液晶显示器中的串扰而改变的同时，分段电极的数量在相同的时刻改变，从而改变公共电极的电压，特别是公共电极的改变。提供一种液晶显示控制装置，其抑制与不变的SEG电极相对应的像素的串扰。本发明的液晶显示控制电路是对在多个行电极和多个列电极的交点处具有像素的STN液晶面板进行显示控制，并依次驱动该行电极的液晶显示控制电路。并且，在与行电极的驱动定时相对应的驱动脉冲的宽度的周期内，向各列电极输出宽度与像素的灰度等级对应的宽度的数据脉冲的列电极驱动部。列电极驱动部以不同的输出定时输出各列电极的数据脉冲。[选型图]图1

