

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-171597
(P2007-171597A)

(43) 公開日 平成19年7月5日(2007.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611J	5C080
	G09G 3/20 611A	
	G09G 3/20 621A	
審査請求 未請求 請求項の数 14 O L (全 35 頁) 最終頁に続く		

(21) 出願番号	特願2005-369758 (P2005-369758)	(71) 出願人	502356528
(22) 出願日	平成17年12月22日 (2005.12.22)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(72) 発明者	田中 靖洋
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	勇 広宣
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	飯田 治久
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		最終頁に続く	

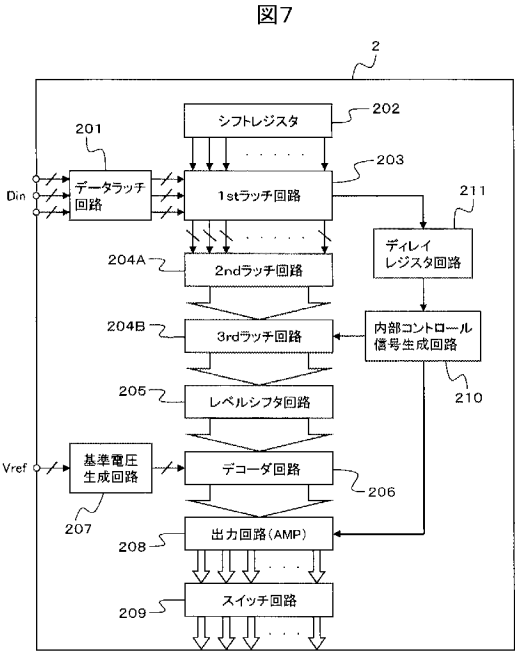
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 液晶表示装置において、ゲート線の延在方向の画素のTFT素子の書き込み時間のばらつきを低減する。

【解決手段】 複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ドレイン線にデータ信号を出力するデータドライバとを有する表示装置であって、前記データドライバは、前記複数本のドレイン線を複数のブロックに分割し、各ブロックのドレイン線へデータ信号を出力するタイミングをブロック毎に設定する内部コントロール信号を生成する内部コントロール信号生成回路と、前記ブロックの分割の設定、前記データ信号を出力するタイミングの遅延方向および遅延幅の設定、内部コントロール信号の立ち上がりおよび立ち下がりの設定を記録したレジスタ回路とを有する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、

前記データドライバは、前記複数本のドレイン線を複数のブロックに分割し、前記表示制御回路からの水平同期クロックに基づいて、各ブロックのドレイン線へデータ信号を出力するタイミングをブロック毎に設定する内部コントロール信号を生成する内部コントロール信号生成回路と、前記ブロックの分割の設定、前記データ信号を出力するタイミングの遅延方向および遅延幅の設定、内部コントロール信号の立ち上がりおよび立ち下りの設定を記録したレジスタ回路とを有することを特徴とする表示装置。

10

【請求項 2】

前記内部コントロール信号生成回路は、前記ゲート線の、前記走査信号の入力端に近いブロックから遠いブロックに向けて、前記データ信号を出力するタイミングを遅らせることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記データドライバは、共通バス配線に接続された複数個のドライバ IC からなり、

前記各ドライバ IC は、それぞれ前記内部コントロール信号生成回路およびレジスタ回路を有し、

20

前記表示制御回路は、前記ブロックの分割の設定、前記データ信号を出力するタイミングの遅延方向および遅延幅の設定、内部コントロール信号の立ち上がりおよび立ち下りの設定を前記ドライバ IC 毎にまとめたレジスタデータを生成して各ドライバ IC に出力しており、

前記各ドライバ IC は、入力されたレジスタデータのうち、自身のドライバ IC に割り当てられたレジスタデータに基づいて、内部コントロール信号を生成することを特徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記各ドライバ IC は、それぞれを識別するアドレス情報を有し、

30

前記表示制御回路は、前記アドレス情報を含むレジスタデータを生成して各ドライバ IC に出力することを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記各ドライバ IC は、自身のドライバ IC に割り当てられたレジスタデータの読み込みが終了した後、次段のドライバ IC にキャリア信号を転送することを特徴とする請求項 3 に記載の表示装置。

【請求項 6】

複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、

40

前記データドライバは、表示データを一時的に保持するデータラッチ回路と、

前記データラッチ回路から時分割して送られてくる表示データが 1 水平同期期間分揃うまで保持する第 1 のラッチ回路と、

前記 1 水平同期期間分の表示データを保持する第 2 のラッチ回路と、

前記第 2 のラッチ回路で保持している表示データを受け取り、前記表示データの信号レベルを変換するレベルシフト回路と、

前記レベルシフト回路で変換した表示データの信号レベルに応じたアナログ信号を生成するデコーダ回路と、

50

前記デコーダ回路で生成したアナログ信号を増幅する出力回路と、

前記出力回路で増幅したアナログ信号をドレイン線に出力するスイッチ回路と、

前記第2のラッチ回路から前記レベルシフタに前記表示データを転送する際に、前記複数本のドレイン線を複数のブロックに分割し、ブロック毎に前記表示データを転送するタイミングをずらす水平同期信号遅延回路とを有することを特徴とする表示装置。

【請求項7】

前記第2のラッチ回路は、ラッチ回路とマルチプレクサ回路を有し、

前記水平同期信号遅延回路は、前記ラッチ回路用の遅延回路と、前記マルチプレクサ回路用の遅延回路を有することを特徴とする請求項6に記載の表示装置。

【請求項8】

前記水平同期信号遅延回路は、前記ドレイン線の配置方向の中央付近のブロックから端部のブロックに向かうにつれて前記表示データを転送するタイミングを遅延させることを特徴とする請求項6または請求項7に記載の表示装置。

【請求項9】

複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、

前記走査ドライバは、複数個のドライバICからなり、

各ドライバICは、表示データ制御用の第1のシフトレジスタ回路と、黒挿入データ用の第2のシフトレジスタ回路と、前記第1のシフトレジスタ回路の出力または第2のシフトレジスタ回路の出力のいずれか一方を選択するセクタスイッチ回路とを有することを特徴とする表示装置。

【請求項10】

前記走査ドライバは、前記第1のシフトレジスタまたは第2のシフトレジスタ回路の出力を受け取り、前記受け取った出力の信号レベルを変換するレベルシフタ回路を有し、

前記セクタスイッチ回路と前記レベルシフタ回路の間に、前記レベルシフタ回路の出力信号を3値の異なる電圧レベルを持つ出力信号に変換するラッチ回路を有することを特徴とする請求項9に記載の表示装置。

【請求項11】

前記各ドライバICは、カスケード接続されていることを特徴とする請求項9または請求項10に記載の表示装置。

【請求項12】

複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、

前記走査ドライバは、シフトレジスタ回路からの出力信号の信号レベルを変換するレベルシフタ回路を有し、

前記レベルシフタ回路は、低電圧電源で動作する第1の回路部と、高電圧電源で動作する第2の回路部とを有し、

前記第1の回路部は、入力された信号を一時的に保持するラッチ回路を有し、

前記第2の回路部は、少なくとも2つのPチャネルMOSトランジスタおよび2つのNチャネルMOSトランジスタを有し、第1のNチャネルMOSトランジスタは、ゲート電極が前記第1の回路部の第1の出力端と接続され、ドレイン電極が第1のPチャネルMOSトランジスタのドレイン電極および第2のPチャネルMOSトランジスタのゲート電極と接続されており、第2のNチャネルMOSトランジスタは、ゲート電極が前記第1の回路部の第2の出力端と接続され、ドレイン電極が前記第2のPチャネルMOSトランジスタのドレイン電極および前記

10

20

30

40

50

第 1 の P チャンネル MOS トランジスタのゲート電極と接続されていることを特徴とする表示装置。

【請求項 1 3】

前記第 1 の回路部は、第 3 の P チャンネル MOS トランジスタ、第 3 の N チャンネル MOS トランジスタ、第 4 の N チャンネル MOS トランジスタ、第 5 の N チャンネル MOS トランジスタとを有し、

前記第 3 の P チャンネル MOS トランジスタは、ゲート電極が前記シフトレジスタ回路の出力と第 1 のイネーブル信号に基づく入力信号の入力端と接続され、

前記第 3 の N チャンネル MOS トランジスタは、ゲート電極が第 2 のイネーブル信号の入力端と接続され、ドレイン電極が前記第 3 の P チャンネル MOS トランジスタのドレイン電極および NOT ゲートを介して前記第 4 の N チャンネル MOS トランジスタのゲート電極と接続されており

10

、
前記第 4 の N チャンネル MOS トランジスタは、ソース電極が第 3 の P チャンネル MOS トランジスタのドレイン電極と接続されており、

前記第 5 の N チャンネル MOS トランジスタは、ゲート電極が第 3 のイネーブル信号の入力端と接続され、ドレイン電極が前記第 4 の N チャンネル MOS トランジスタのドレイン電極と接続されており、

前記第 1 の出力端は、前記第 3 の P チャンネル MOS トランジスタのドレイン電極と接続されており、

前記第 2 の出力端は、前記第 3 の P チャンネル MOS トランジスタのドレイン電極と前記第 4 の N チャンネル MOS トランジスタのソース電極のノードより後段に NOT ゲートを介して接続されていることを特徴とする請求項 1 2 に記載の表示装置。

20

【請求項 1 4】

前記第 2 のイネーブル信号および第 3 のイネーブル信号は、差動アンプ回路で生成することを特徴とする請求項 1 3 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、液晶表示装置に適用して有効な技術に関するものである。

【背景技術】

30

【0002】

従来、表示装置には、液晶表示パネルを用いた液晶表示装置がある。前記液晶表示パネルは、一对の基板の間に液晶材料を封入した表示パネルである。このとき、前記基板には、たとえば、複数本のゲート線と複数本のドレイン線がマトリクス状に配置されている。そして、隣接する 2 本のゲート線と隣接する 2 本のドレイン線で囲まれた領域を 1 つの画素領域とし、各画素領域に TFT 素子や画素電極を配置している。

【0003】

前記液晶表示パネルに画像や映像を表示させるときには、たとえば、各ドレイン線に表示データ信号を入力しておき、各ゲート線に走査信号を順次入力していく。

【0004】

40

このとき、前記各ドレイン線に入力する表示データ信号の生成および入力のタイミングは、タイミングコントローラとデータドライバ（ドレインドライバ）によって行われる。また、前記各ゲート線に入力する走査信号の生成および入力のタイミングは、前記タイミングコントローラと走査ドライバ（ゲートドライバ）によって行われる。

【0005】

前記データドライバは、たとえば、表示データが 1 水平同期期間分揃うまで保持するラッチ回路、前記表示データの信号レベルを変換するレベルシフト回路、信号レベルを変換した表示データに基づいてアナログ信号（階調電圧）を生成するデコーダ回路、前記デコーダ回路で生成したアナログ信号を増幅する出力回路、前記出力回路で増幅したアナログ信号をドレイン線に出力するスイッチ回路などを有する（たとえば、特許文献 1 を参照。

50

）。

【0006】

また、前記レベルシフト回路は、電圧変換回路であり、一般に、低電圧動作部と高電圧動作部の2段構成となっている。このとき、前記高電圧動作部は、たとえば、4個または6個のMOSトランジスタからなる襷掛け方式と呼ばれる回路構成になっている（たとえば、特許文献2を参照。）。

【0007】

また、前記液晶表示装置では、近年、動画の画質を向上させるために、たとえば、表示データの間に黒表示を挿入する方法が提案されている（たとえば、特許文献3を参照。）。

10

【特許文献1】特開2004-301946号公報

【特許文献2】特開2004-289329号公報

【特許文献3】特開2003-208599号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、前記従来の液晶表示装置では、たとえば、下記に示すような問題点があることを、本願発明者らは見いだした。

【0009】

（a）前記データドライバから各ドレイン線に表示データ信号を出力するときに、すべてのドレイン線に同じタイミングで出力している。しかし、ゲート線の走査信号入力端に近い画素と遠い画素とでは、走査信号の波形が異なるため、TFT素子の表示データ信号（階調電圧信号）の書き込み時間にばらつきが生じるという問題がある。

20

【0010】

（b）前記データドライバでは、水平同期信号によってデータラッチが一括して行われるタイミングで瞬時電流が発生する。このとき、瞬時電流に起因する電源電圧の変動により、データドライバおよび表示装置の信頼性が低下するという問題がある。

【0011】

（c）前記走査ドライバが複数のドライバICからなる場合、前記表示データ用の走査信号を出力するゲート線と、黒表示挿入用の走査信号を出力するゲート線は、チップ間以上の間隔を開けなければならないという問題がある。なぜなら、同一のドライバICに接続された2本のゲート線に対して、一方に表示データ用の走査信号を出力し、他方に黒表示挿入用の走査信号を出力するという制御ができないためである。そのため、複数のドライバICをカスケード接続した場合、表示データ用のゲート線と黒表示挿入用のゲート線との間隔の設定には限界があるという問題がある。

30

【0012】

（d）前記ドライバでは、シフトレジスタの前段のロジック回路の動作電圧に対し、前記TFT素子に対して供給する電圧が非常に高く、従来のレベルシフト回路のMOSトランジスタのサイズでは動作しないという問題がある。また、レベルシフト回路を動作させるためには、従来の倍以上のサイズのMOSトランジスタが必要となり、ドライバICが大きくなるという問題がある。

40

【0013】

前記（a）の問題について具体的に説明すると、ゲート線に入力された走査信号は、入力端の近傍ではシャープな波形であるが、入力端から遠ざかるにしたがってなまった波形になるために生じる。従来のデータドライバでは、各ドレイン線に表示データ信号を一括出力するので、ゲート線の入力端の近端または遠端のどちらかに書き込みタイミングを設定している。そのため、どちらか一方の端側で書き込みが不十分の状況が発生し、表示品質が低下するという問題がある。

【0014】

前記（b）の問題について具体的に説明すると、前記データドライバにおいて、水平同

50

期信号によってラッチ回路から一括出力されるデータは、レベルシフト回路を同時に駆動し、デコーダ回路の所定の階調電圧を選択する。このとき、高耐圧系（高電圧動作部）の電源とグランド（GND）の間には、出力数分のレベルシフト回路の電流が流れることになる。そのため、出力数が増えれば、その分瞬時電流が大きくなり、電源電圧の変動が大きくなる。このような問題は、たとえば、カーナビゲーションシステムなどの車載用の液晶表示装置で顕著である。

【0015】

本発明の目的は、液晶表示装置において、ゲート線の延在方向の画素のTFT素子の書き込み時間のばらつきを低減することが可能な技術を提供することにある。

【0016】

本発明の他の目的は、液晶表示装置において、データドライバで生じる瞬時電流のピーク値を小さくし、データドライバおよび表示装置の信頼性を向上させることが可能な技術を提供することにある。

【0017】

本発明の他の目的は、液晶表示装置において、複数の走査ドライバICをカスケード接続し、かつ、表示データ用の走査信号を出力するゲート線と黒表示挿入用の走査信号を出力するゲート線の組み合わせの自由度を高くすることが可能な技術を提供することにある。

【0018】

本発明の他の目的は、液晶表示装置において、従来のサイズのMOSトランジスタでレベルシフト回路を動作させることが可能な技術を提供することにある。

【0019】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

【課題を解決するための手段】

【0020】

本願において開示される発明の概略を説明すれば、以下の通りである。

【0021】

（１）複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、前記データドライバは、前記複数本のドレイン線を複数のブロックに分割し、前記表示制御回路からの水平同期クロックに基づいて、各ブロックのドレイン線へデータ信号を出力するタイミングをブロック毎に設定する内部コントロール信号を生成する内部コントロール信号生成回路と、前記ブロックの分割の設定、前記データ信号を出力するタイミングの遅延方向および遅延幅の設定、内部コントロール信号の立ち上がりおよび立ち下りの設定を記録したレジスタ回路とを有し、前記データ信号をブロック毎に出力する機能を有する表示装置である。

【0022】

（２）前記（１）において、前記内部コントロール信号生成回路は、前記ゲート線の、前記走査信号の入力端に近いブロックから遠いブロックに向けて、前記データ信号を出力するタイミングを遅らせる表示装置である。

【0023】

（３）前記（１）または（２）において、前記データドライバは、共通バス配線に接続された複数個のドライバICからなり、前記各ドライバICは、それぞれ前記内部コントロール信号生成回路およびレジスタ回路を有し、前記表示制御回路は、前記ブロックの分割の設定、前記データ信号を出力するタイミングの遅延方向および遅延幅の設定、内部コントロール信号の立ち上がりおよび立ち下りの設定を前記ドライバIC毎にまとめたレジスタデータを生成して各ドライバICに出力しており、前記各ドライバICは、入力されたレジスタデータのうち、自身のドライバICに割り当てられたレジスタデータに基づいて、内部コ

10

20

30

40

50

ントロール信号を生成する表示装置である。

【0024】

(4) 前記(3)において、前記各ドライバICは、それぞれを識別するアドレス情報を有し、前記表示制御回路は、前記アドレス情報を含むレジスタデータを生成して各ドライバICに出力する表示装置である。

【0025】

(5) 前記(3)において、前記各ドライバICは、自身のドライバICに割り当てられたレジスタデータの読み込みが終了した後、次段のドライバICにキャリア信号を転送する表示装置である。

【0026】

(6) 複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、前記データドライバは、表示データを一時的に保持するデータラッチ回路と、前記データラッチ回路から時分割して送られてくる表示データが1水平同期期間分揃うまで保持する第1のラッチ回路と、前記1水平同期期間分の表示データを保持する第2のラッチ回路と、前記第2のラッチ回路で保持している表示データを受け取り、前記表示データの信号レベルを変換するレベルシフト回路と、前記レベルシフト回路で変換した表示データの信号レベルに応じたアナログ信号を生成するデコード回路と、前記デコード回路で生成したアナログ信号を増幅する出力回路と、前記出力回路で増幅したアナログ信号をドレイン線に出力するスイッチ回路と、前記第2のラッチ回路から前記レベルシフトに前記表示データを転送する際に、前記複数本のドレイン線を複数のブロックに分割し、ブロック毎に前記表示データを転送するタイミングをずらす水平同期信号遅延回路とを有する表示装置である。

【0027】

(7) 前記(6)において、前記第2のラッチ回路は、ラッチ回路とマルチプレクサ回路を有し、前記水平同期信号遅延回路は、前記ラッチ回路用の遅延回路と、前記マルチプレクサ回路用の遅延回路を有する表示装置である。

【0028】

(8) 前記(6)または(7)において、前記水平同期信号遅延回路は、前記ドレイン線の配置方向の中央付近のブロックから端部のブロックに向かうにつれて前記表示データを転送するタイミングを遅延させる表示装置である。

【0029】

(9) 複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、前記走査ドライバは、複数個のドライバICからなり、各ドライバICは、表示データ制御用の第1のシフトレジスタ回路と、黒挿入データ用の第2のシフトレジスタ回路と、前記第1のシフトレジスタ回路の出力または第2のシフトレジスタ回路の出力のいずれか一方を選択するセレクトスイッチ回路とを有する表示装置である。

【0030】

(10) 前記(9)において、前記走査ドライバは、前記第1のシフトレジスタまたは第2のシフトレジスタ回路の出力を受け取り、前記受け取った出力の信号レベルを変換するレベルシフト回路を有し、前記セレクトスイッチ回路と前記レベルシフト回路の間に、前記レベルシフト回路の出力信号を3値の異なる電圧レベルを持つ出力信号に変換するラッチ回路を有する表示装置である。

【0031】

(11) 前記(9)または(10)において、前記各ドライバICは、カスケード接続さ

10

20

30

40

50

れている表示装置である。

【0032】

(12) 複数本のゲート線と複数本のドレイン線がマトリクス状に配置された表示パネルと、各ゲート線に走査信号を出力する走査ドライバと、各ドレイン線に表示データ信号を出力するデータドライバと、前記走査ドライバから走査信号を出力するタイミングおよび前記データドライバからデータ信号を出力するタイミングを制御する表示制御回路とを有する表示装置であって、前記走査ドライバは、シフトレジスタ回路からの出力信号の信号レベルを変換するレベルシフト回路を有し、前記レベルシフト回路は、低電圧電源で動作する第1の回路部と、高電圧電源で動作する第2の回路部とを有し、前記第1の回路部は、入力された信号を一時的に保持するラッチ回路を有し、前記第2の回路部は、少なくとも2つのPチャンネルMOSトランジスタおよび2つのNチャンネルMOSトランジスタを有し、第1のNチャンネルMOSトランジスタは、ゲート電極が前記第1の回路部の第1の出力端と接続され、ドレイン電極が第1のPチャンネルMOSトランジスタのドレイン電極および第2のPチャンネルMOSトランジスタのゲート電極と接続されており、第2のNチャンネルMOSトランジスタは、ゲート電極が前記第1の回路部の第2の出力端と接続され、ドレイン電極が前記第2のPチャンネルMOSトランジスタのドレイン電極および前記第1のPチャンネルMOSトランジスタのゲート電極と接続されている表示装置である。

10

【0033】

(13) 前記(12)において、前記第1の回路部は、第3のPチャンネルMOSトランジスタ、第3のNチャンネルMOSトランジスタ、第4のNチャンネルMOSトランジスタ、第5のNチャンネルMOSトランジスタとを有し、前記第3のPチャンネルMOSトランジスタは、ゲート電極が前記シフトレジスタ回路の出力と第1のイネーブル信号に基づく入力信号の入力端と接続され、前記第3のNチャンネルMOSトランジスタは、ゲート電極が第2のイネーブル信号の入力端と接続され、ドレイン電極が前記第3のPチャンネルMOSトランジスタのドレイン電極およびNOTゲートを介して前記第4のNチャンネルMOSトランジスタのゲート電極と接続されており、前記第4のNチャンネルMOSトランジスタは、ソース電極が第3のPチャンネルMOSトランジスタのドレイン電極と接続されており、前記第5のNチャンネルMOSトランジスタは、ゲート電極が第3のイネーブル信号の入力端と接続され、ドレイン電極が前記第4のNチャンネルMOSトランジスタのドレイン電極と接続されており、前記第1の出力端は、前記第3のPチャンネルMOSトランジスタのドレイン電極と接続されており、前記第2の出力端は、前記第3のPチャンネルMOSトランジスタのドレイン電極と前記第4のNチャンネルMOSトランジスタのソース電極のノードより後段にNOTゲートを介して接続されている表示装置である。

20

30

【0034】

(14) 前記(13)において、前記第2のイネーブル信号および第3のイネーブル信号は、差動アンプ回路で生成する表示装置である。

【発明の効果】

【0035】

本発明の表示装置では、ゲート線の延在方向に並んだ各画素のTFT素子への書き込み時間のばらつきを低減するために、前記データドライバの構成およびデータドライバに入力される制御データを、前記手段(1)から手段(5)までのようにする。すなわち、前記手段(1)のように、前記データドライバにおいて、前記内部コントロール信号を生成し、ブロック毎に異なるタイミングで表示データ信号を出力する。このとき、各ブロックのドレイン線に表示データ信号を出力するタイミングは、たとえば、前記手段(2)のように、ゲート線の入力端から遠いブロックの出力タイミングを遅らせるようにする。このようにすれば、前記走査信号の波形がシャープな入力端に近い画素のTFT素子への書き込み時間と、入力端から遠い画素のTFT素子への書き込み時間を合わせることができる。そのため、書き込み時間のばらつきによる表示品質の低下を防げる。

40

【0036】

また、前記データドライバが共通バス配線に接続された複数個のドライバICからなる場合は、たとえば、前記手段(3)のように、ドライバIC毎に内部コントロール信号の設定

50

に必要なレジスタデータをまとめて各ドライバICに入力すればよい。このとき、前記各ドライバICがアドレス情報を持っていれば、前記レジスタデータは前記手段(4)のようにすればよい。また、アドレス情報を持っていない場合は、前記手段(5)のようにすればよい。

【0037】

また、本発明の表示装置では、データドライバで生じる瞬時電流のピーク値を小さくし、データドライバおよび表示装置の信頼性を向上させるために、前記データドライバの構成を、前記手段(6)から手段(8)までのようにする。すなわち、前記第2のラッチ回路からレベルシフト回路に表示データを転送するときに、複数のブロックに分け、複数回にわけて転送する。このとき、第2のラッチ回路の構成は、たとえば、前記手段(7)の10ようにする。また、前記ブロック毎に表示データを転送するときには、たとえば、前記手段(8)のように転送する。このようにすることで、レベルシフト回路が駆動したときに発生する瞬時電流を分散させ、ピーク値を下げることができる。そのため、データドライバおよび表示装置の信頼性を向上させることができる。

【0038】

また、本発明の表示装置では、複数の走査ドライバICをカスケード接続し、かつ、任意のゲート線に黒表示挿入用の走査信号を出力するために、走査ドライバの構成を、前記手段(9)のようにする。このようにすることで、同一のドライバICに接続された異なるゲート線に対して、表示データ用の走査信号と黒表示挿入用の走査信号を同時に出力することができる。またこのとき、前記手段(10)のようにすれば、データの取り込み時間を20長くすることができ、表示画質がさらに向上する。また、前記手段(9)および手段(10)のような構成にすることで、前記手段(11)のように複数のドライバICをカスケード接続することが可能となる。

【0039】

また、本発明の表示装置では、従来のサイズのMOSトランジスタでレベルシフト回路を動作させるために、レベルシフト回路の構成を、前記手段(12)のようにする。このとき、前記第1の回路部の構成は、たとえば、前記手段(13)および手段(14)の10ようにする。このようにすることで、前記第1の回路部のMOSトランジスタは最小のサイズで構成できるとともに、反転させるために電流を流す必要がなくなる。そのため、消費電流を抑えることができ、MOSトランジスタのサイズを大きくしなくても、レベルシフト回路30を動作させることができる。

【発明を実施するための最良の形態】

【0040】

以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0041】

図1乃至図3は、本発明が適用される表示装置の概略構成を示す模式図であり、図1は液晶表示装置の構成例を示すブロック図、図2は液晶表示パネルの構成を示す回路図、図3は1画素の構成および動作を説明する図である。40

【0042】

本発明が適用される表示装置は、たとえば、図1に示すように、液晶表示パネル1と、データドライバ2と、走査ドライバ3と、タイミングコントローラ4と、液晶駆動電源5とを有する液晶表示装置である。

【0043】

前記液晶表示パネル1は、たとえば、図2および図3に示すように、複数本のドレイン線DLと複数本のゲート線GLがマトリクス状に配置されており、各ドレイン線DLはデータドライバ2に接続されており、各ゲート線GLは走査ドライバ3に接続されている。また、液晶表示パネル1では、隣接する2本のドレイン線DLと隣接する2本のゲート線50

G Lで囲まれた領域が1つの画素領域となっており、各画素領域にはTFT素子および画素電極P X、ならびに共通電極C Tが配置されている。このとき、TFT素子のゲート電極は一方のゲート線G Lと接続しており、ドレイン電極は一方のドレイン線D Lと接続している。また、TFT素子のソース電極は画素電極P Xと接続している。また、画素電極P Xは、共通信号線C Lに接続された共通電極C Tとの間で容量素子を形成している。

【0044】

このような液晶表示パネル1で画像を表示するときには、データドライバ2から各ドレイン線D Lに表示データ信号を出力しておき、走査ドライバ3から各ゲート線G Lに走査信号を順次出力していく。このとき、データドライバ2および走査ドライバ3における各信号の出力のタイミングはタイミングコントローラ4によって制御されている。

10

【実施例1】

【0045】

図4乃至図6は、本発明による実施例1の液晶表示装置の動作原理を説明するための模式図であり、図4はドレイン線の分割方法を説明する図、図5は表示データの出力方法を説明する図、図6は遅延量の設定方法を説明する図である。

【0046】

本実施例1の液晶表示装置は、前記液晶表示パネル1においてゲート線G Lの延在方向に並んだ各画素のTFT素子にデータを書き込む時間のばらつきを防ぐことを目的とした表示装置である。このような液晶表示装置では、たとえば、図4に示すように、液晶表示パネル1に配置された複数本のドレイン線D Lを、複数のブロックDBL1~DBLnに分ける。そして、データドライバ2から各ドレイン線D Lに表示データ信号(階調電圧信号)を出力するときには、たとえば、図5に示すように、各ブロックDBL1~DBLnに出力するタイミングをずらす。このとき、具体的には、図5に示したように、ゲート線G Lの入力端(走査ドライバ3)に最も近いブロックDBL1から最も遠いブロックDBLnに向けて、出力のタイミングを遅延させる。

20

【0047】

また、表示データ信号の出力タイミングを遅延させるときの遅延量(遅延時間)は、各ブロックDBL2~DBLnでのゲート線G Lの走査信号の波形のなまりの度合いに基づいて設定する。ゲート線G Lに入力される走査信号の理想的な波形は、たとえば、図6に点線で示した走査信号の波形Vg(ideal)のように矩形である。しかし、走査ドライバ3からゲート線G Lに出力された走査信号は、各ブロックの領域に到達するまでに波形がなまってしまふ。このとき、走査ドライバ3から最も近いブロックDBL1での走査信号の波形Vg(DBL1)は、図6に示したように立ち上がりが鋭く、立ち下がりも鋭い。一方、走査ドライバ3から最も遠いブロックDBLnでの走査信号の波形Vg(DBLn)は、図6に示したように立ち上がりが遅く、立ち下がりも鈍い。

30

【0048】

従来の液晶表示装置では、図6の下側に示したように、すべてのドレイン線に対して同じタイミングで表示データ信号DATAを出力している。また、液晶表示装置では通常、走査信号と表示データ信号のタイミングは、次の表示データ信号が書き込まれないように、ゲート遠端の波形Vg(far)と表示データ信号DATAの最低電位との関係によって決定される。そのため、ゲート近端の波形Vg(near)のように立ち上がりおよび立ち下がり鋭い領域での書き込み時間WTne、WTne'は、ゲート遠端の書き込み時間WTf、WTf'に比べて短くなる。

40

【0049】

そこで、本実施例1の液晶表示装置では、ブロックDBL1に対しては、走査信号の波形Vg(DBL1)と表示データ信号DATA(DBL1)の最低電位との関係から表示データ信号DATA(DBL1)の出力タイミングを決定する。そして、ブロックDBLnに対しては、走査信号の波形Vg(DBLn)と表示データ信号DATA(DBLn)の最低電位との関係から表示データ信号DATA(DBLn)の出力タイミングを決定する。このようにすれば、たとえば、図6に示したように、ゲート近端のブロックDBL1における表示データ信号DATA(DBL1)の書き換え時刻と、

50

ゲート遠端のブロックDBLnにおける表示データ信号DATA(DBLn)の書き換え時刻に Δt (秒)の差が生じる。つまり、ゲート近端のブロックDBL1への表示データ信号の出力タイミングを Δt (秒)だけ早くすることで、ゲート近端のブロックDBL1での書き込み時間の不足を補うことができる。これにより、ゲート近端のブロックDBL1における書き込み時間WT1, WT1' と、ゲート遠端のブロックDBLnにおける書き込み時間WTn, WTn' をほぼ等しくすることができる。なお、図6では走査ドライバ3から最も近いブロックDBL1と最も遠いブロックDBLnのみを示しているが、実際には、すべてのブロックDBL1~DBLnでの表示データの書き込み時間がほぼ等しくなるよう出力タイミングを設定する。

【0050】

図7乃至図17は、本実施例1の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、図7はデータドライバの構成例を示すブロック図、図8は表示データの出力タイミングを説明する図、図9は内部コントロール信号の生成方法を説明する図、図10は内部コントロール信号生成回路の初段の構成例を示す回路図、図11は内部コントロール信号生成回路のシフトレジスタ用クロックの構成例を示す回路図、図12は内部コントロール信号生成回路の2段目以降の構成例を示す回路図、図13および図14はレジスタデータの入力方法を説明する図、図15乃至図17はレジスタデータの入力例を説明する図である。

【0051】

本実施例1の液晶表示装置において、データドライバ2から各ブロックDBL1~DBLnのドレイン線DLに表示データ信号を出力するタイミングをずらす(遅延させる)場合、データドライバ2を、たとえば、図7に示すような構成にする。図7に示したデータドライバ2の構成のうち、データラッチ回路201、シフトレジスタ202、1stラッチ回路203、2ndラッチ回路204A、3rdラッチ回路204B、レベルシフト回路205、デコーダ回路206、基準電圧生成回路207、出力回路208、スイッチ回路209の構成は、従来のデータドライバも備える構成である。そして、本実施例1の表示装置では、前記各構成回路に加え、前記内部コントロール信号を生成する内部コントロール信号生成回路210と、内部コントロール信号の生成に用いる設定を記憶しておくディレイレジスタ回路211とを備える。

【0052】

データドライバ2では、外部から入力される表示データを、まず、データラッチ回路201で一時的に保持し、時分割して1stラッチ回路203に送る。1stラッチ回路203は、時分割して送られてくる表示データが1水平同期期間分揃うまで各表示データを保持する。そして、1水平同期期間分揃ったら2ndラッチ回路204Aに送る。2ndラッチ回路204Aは、水平同期信号に合わせて、保持している表示データを3rdラッチ回路204Bに送る。3rdラッチ回路204Bは、内部コントロール信号生成回路210からの内部コントロール信号に合わせて、表示データをレベルシフト回路205に送る。レベルシフト回路205は、受け取った表示データの信号レベルを変換してデコーダ回路206に送る。デコーダ回路206は、基準電圧生成回路207で生成した基準電圧とレベルシフト回路205から受け取った表示データに基づいて、表示データの信号レベルに応じた階調電圧信号(アナログ信号)を生成し、出力回路208に送る。

【0053】

また、1stラッチ回路203は、表示データを2ndラッチ回路204に送る一方で、各ブロックDBL1~DBLnの出力タイミングを示すレジスタデータをディレイレジスタ回路211に送る。ディレイレジスタ回路211は、レジスタデータに基づいて出力タイミングの設定に必要な情報を内部コントロール信号生成回路210に送る。内部コントロール信号生成回路210は、受け取った情報に基づいて内部コントロール信号を生成し、3rdラッチ回路204Bと出力回路208とに送る。このとき生成される内部コントロール信号は、たとえば、図8のCL1D1~CL1Dnで示すように、データドライバ2の内部で生成されるクロックCL2に同期するように、各ブロックDBL1~DBLnの出力タイミングを設定した信号である。

10

20

30

40

50

【 0 0 5 4 】

出力回路 2 0 8 は、デコーダ回路 2 0 6 から受け取った階調電圧信号を増幅し、内部コントロール信号に基づいてブロック毎に設定されたタイミングで階調電圧信号をスイッチ回路 2 0 9 に送る。そして、スイッチ回路 2 0 9 は受け取った階調電圧信号から順にドレイン線 D L に出力する。

【 0 0 5 5 】

内部コントロール信号生成回路 2 1 0 で内部コントロール信号を生成するときには、たとえば、図 9 に示すように、内部コントロール信号 CL1D1 ~ CL1D5 の立ち上がり設定 RS1 および CL1D1 と EQ1 との立ち下がりエッジの設定 RS2、遅延幅の設定 RS3、遅延ブロックの分割の設定 RS4、遅延させる方向の設定 RS5、イコライズ信号 EQ の設定が必要である。このとき、内部コントロール信号の立ち上がり設定 RS1 および立ち下がり設定 RS2 は、たとえば、レジスタ設定により内部クロック CL2 のカウント数で設定する。また、遅延幅の設定 RS3 は、内部クロック CL2 を分周したシフトレジスタ用クロックで設定する。また、遅延ブロックの分割の設定 RS4 は、たとえば、前段の内部コントロール信号に対して遅延させる場合は「 1」、遅延させない場合は「 0」に設定する。また、遅延させる方向の設定 RS5 は、1 番目のブロック DBL1 から N 番目のブロック DBLN に向けて遅延させるか、その逆かを設定する。

10

【 0 0 5 6 】

またこのとき、最初に出るブロックの内部コントロール信号 CL1D1 はカウンタ回路により生成し、残りの内部コントロール信号 CL1D2 ~ CL1D5 はシフトレジスタにより生成する。

20

【 0 0 5 7 】

前記最初に出るブロックの内部コントロール信号 CL1D1 およびイコライズ信号 EQP1 を生成するカウンタ回路は、たとえば、図 1 0 に示すような構成にする。このカウンタ回路では、フリップフロップ回路と、内部コントロール信号の立ち上がり設定 RS1 および立ち下がり設定 RS2、ならびにイコライズ信号の立ち下がり設定 RS6 を用い、タイミングコントローラから入力された水平同期クロック CL1P と、内部クロック CL2 などから内部コントロール信号 CL1D1 とイコライズ信号 EQP1 を生成する。

【 0 0 5 8 】

また、残りの内部コントロール信号については、前記カウンタ回路で生成した内部コントロール信号 CL1D1 に基づき、この内部コントロール信号 CL1D1 からどれだけ遅延させるかをシフトレジスタ用クロック回路およびシフトレジスタ回路で設定し、生成する。このとき、シフトレジスタ用クロック回路は、たとえば、図 1 1 に示すような構成にする。このシフトレジスタ用クロック回路では、内部クロック CL2 の 1 周期を基準とし、その 2 倍、4 倍、8 倍、1 6 倍の遅延クロックを生成する。

30

【 0 0 5 9 】

また、前記シフトレジスタ回路は、たとえば、図 1 2 のような構成にする。このシフトレジスタでは、前記カウンタ回路で生成した内部コントロール信号 CL1D1 および前記シフトレジスタ用クロック回路で生成した遅延クロックと、遅延ブロックの分割の設定 RS4 および遅延させる方向の設定 RS5 から、残りのブロックの内部コントロール信号 CL1D2 ~ CL1D N を生成する。

40

【 0 0 6 0 】

ところで、前記データドライバは、通常、複数個のドライバ IC (ドライバチップ) D D からなり、図 1 3 および図 1 4 に示すように、各ドライバ IC D D は共通バス配線で接続されている。このとき、各配線には、それぞれのドライバ IC D D に送るべきデータがまとめて送信されている。そのため、各ドライバ IC D D が、受け取ったデータのうちの、どの部分が自身のドライバ IC のためのデータであるか判別できるようにしておく必要がある。このとき、たとえば、図 1 3 に示すように、各ドライバ IC D D に識別のためのアドレス情報を持たせているならば、各ドライバ IC 用のデータの先頭にアドレス情報を付加して送信する。このようにすれば、各ドライバ IC D D は自身のアドレス情報が付加された

50

分を割り当てられたデータとして読み取ることができる。

【 0 0 6 1 】

また、各ドライバIC D Dにアドレス情報を持たせない場合は、1番最初のデータから数えて何番目のデータが各ドライバICのデータの入力開始データかを指定しておき、図14に示すように、各ドライバIC D Dが自身に割り当てられたデータを読み終えた時点で、キャリア信号を次段のドライバICに転送する。

【 0 0 6 2 】

以下に、データドライバの入力インタフェースの一例として、mini-LVDSと呼ばれるインタフェースの場合の表示データの入力方法について、図15乃至図17を用いて説明する。

【 0 0 6 3 】

前記mini-LVDSインタフェースでは、通常、データ入力線（共通バス配線）は6本であり、表示データは、図15に示すように、シリアルデータでタイミングコントローラ4から転送されてくる。このとき、2ndドライバ（driver）は、1stドライバ（driver）からのキャリアがイネーブル信号EI0となり、データを取り込み始める。

【 0 0 6 4 】

そして、たとえば、図16に示すように、CS信号がHになっているときにレジスタ設定モードとし、データの先頭の8bitの値に内部コントロール信号を生成するために必要なレジスタ設定用の値を書き込むようにしておけば、それに基づいてディレイレジスタ回路211の値を設定する。

【 0 0 6 5 】

表示データの先頭にレジスタ設定用の値を書き込むときには、たとえば、図17に示すように、データ線LV0で転送されるデータの先頭の8bit分R00～R07、データ線LV1で転送されるデータの先頭の8bit分R10～R17、データ線LV2で転送されるデータの先頭の8bit分R20～R27、データ線LV3で転送されるデータの先頭の8bit分R30～R37、データ線LV4で転送されるデータの先頭の8bit分R40～R47、データ線LV5で転送されるデータの先頭の8bit分R50～R57に書き込まれる。このとき、データ線LV0で転送されるデータの先頭の8bit分R00～R07には、たとえば、下記表1に示すように、遅延方向と遅延幅を設定する値を書き込む。つまり、遅延方向が1番目のブロックから17番目のブロックの場合、たとえば、データ線LV0で転送されるデータビットR01を「1」とし、データビットR02を「0」にする。また、遅延幅に関しては、設定する幅と対応するデータビットのみを「1」とし、残りのデータビットは「0」とする。

【 0 0 6 6 】

【表1】

表1

遅延方向設定			遅延幅設定				
R00	R01	R02	R03	R04	R05	R06	R07
---	1→17	17→1	なし	CL2/2	CL2/4	CL2/8	CL2/16

【 0 0 6 7 】

また、データ線LV1で転送されるデータの先頭の8bit分R10～R17およびデータ線LV2で転送されるデータの先頭の8bit分R20～R27には、たとえば、下記表2および表3に示すように、遅延ブロックの分割、すなわちどのブロックとブロックの間を遅延させるかを設定する値を書き込む。つまり、遅延を発生させたいブロック間と対応するデータビットのみを「1」とし、残りのデータビットは「0」とする。

【 0 0 6 8 】

10

20

30

40

【表 2】

表2

遅延ブロック分割設定(1)							
R10	R11	R12	R13	R14	R15	R16	R17
9-10	10-11	11-12	12-13	13-14	14-15	15-16	16-17

表3

遅延ブロック分割設定(2)							
R20	R21	R22	R23	R24	R25	R26	R27
1-2	2-3	3-4	4-5	5-6	6-7	7-8	8-9

10

【 0 0 6 9 】

また、データ線LV3で転送されるデータの先頭の8bit分R30～R37には、たとえば、下記表4-1に示すように、内部コントロール（内部CL1）信号の立ち上がりを設定する値を書き込む。この立ち上がり設定は、クロックの8bitカウンタ数で指定し、各データビットR30～R37の値（「1」または「0」）の組み合わせに応じて立ち上がり時間が設定される。またこのとき、具体的には、たとえば、下記表4-2に示すように、各データビットR30～R37の値で決まる8ビットカウンタ数に応じて、立ち上がり時間（遅延クロック数）が0クロック（遅延無し）から255クロックのいずれかに設定される。

20

【 0 0 7 0 】

【表 3】

表4-1

内部CL1初期遅延立ち上がり設定							
R30	R31	R32	R33	R34	R35	R36	R37
[0]	[1]	[2]	[3]	[4]	[5]	[6]	[7]

30

表4-2

8bitカウンタ数	遅延クロック数
8h'00	0(遅延なし)
8h'01	1
8h'02	2
⋮	⋮
8h'ff	255

40

【 0 0 7 1 】

また、データ線LV4で転送されるデータの先頭の8bit分R40～R47には、たとえば、下記表5-1に示すように、内部コントロール（内部CL1）信号の立ち下がりを設定する値を書き込む。この立ち下がり設定も、クロックの8bitカウンタ数で指定し、各データビットR40～R47の値（「1」または「0」）の組み合わせに応じて立ち下がり時間が設定される。またこのとき、具体的には、たとえば、下記表5-2に示すように、各データビットR30～

50

R37の値で決まる8ビットカウンタ数に応じて、立ち下がり時間（遅延クロック数）が0クロック（遅延無し）から255クロックのいずれかに設定される。

【 0 0 7 2 】

【表 4】

表5-1

内部CL1初期遅延立ち下がり設定							
R40	R41	R42	R43	R44	R45	R46	R47
[0]	[1]	[2]	[3]	[4]	[5]	[6]	[7]

10

表5-2

8bitカウンタ数	遅延クロック数
8h'00	0(遅延なし)
8h'01	1
8h'02	2
⋮	⋮
8h'ff	255

20

【 0 0 7 3 】

また、データ線LV5で転送されるデータの先頭の8bit分R50～R57には、たとえば、下記表 6 - 1 に示すように、イコライズ信号の立ち上がりを設定する値を書き込む。この立ち上がり設定も、クロックの8bitカウンタ数で指定し、各データビットR50～R57の値（「1」または「0」）の組み合わせに応じて立ち上がり時間が設定される。またこのとき、具体的には、たとえば、下記表 6 - 2 に示すように、各データビットR30～R37の値で決まる8ビットカウンタ数に応じて、立ち下がり時間（遅延クロック数）が0クロック（遅延無し）から8クロックのいずれかに設定される。

30

【 0 0 7 4 】

【表 5】

表6-1

イコライズ初期遅延立ち上がり設定							
R50	R51	R52	R53	R54	R55	R56	R57
[0]	[1]	[2]	[3]	[4]	[5]	[6]	[7]

表6-2

8bitカウンタ数	遅延クロック数
8h'00	0(遅延なし)
8h'01	1
8h'02	2
⋮	⋮
8h'ff	8

10

20

【0075】

図18および図19は、表示データの転送方法を説明するための模式図であり、図18は走査ドライバが一边のみに配置されている場合の転送方法の例を示す図、図19は走査ドライバが対向する二辺に配置されている場合の転送方法の例を示す図である。

【0076】

本実施例1で説明した表示データ信号の出力方法では、各ブロックの出力タイミングを遅延させるだけでなく、遅延させる方向も制御することができる。

【0077】

前記液晶表示パネル1として一般的なものは、たとえば、図18に示すように、表示パネルの1つの辺に走査ドライバ(ドライバICGD)が配置されており、各ゲート線に入力された操作信号の伝達方向は一方向である。このような液晶表示パネルの場合、タイミングコントローラ4からの表示データおよびレジスタデータを、図18に示すように、前記走査ドライバから最も近いドライバICDD1から遠いドライバICDD8に順に入力していき、走査ドライバから遠くなるにつれて遅延幅が大きくなるような内部コントロール信号を生成すればよい。

30

【0078】

しかしながら、前記液晶表示パネル1には、たとえば、図19に示すように、走査ドライバのドライバICGDがパネルの対向する二辺に配置されているものもある。このような液晶表示パネルの場合、図19に示すように、遅延方向が互いに逆向きの2種類のゲート線がある。そのため、本実施例1のように、遅延させる方向も制御できるようにしておけば、図19に示したような液晶表示パネルの場合でも、各ブロックを通過するゲート線の遅延方向にあわせて各ブロックの表示データの出力タイミングを遅延させることができる。

40

【0079】

以上説明したように、本実施例1の液晶表示装置によれば、ドレイン線を複数のブロックに分割し、各ブロックへの表示データの出力のタイミングをずらす(遅延させる)ことで、ゲート線の延在方向に並んだ各画素のTFT素子のデータ書き込み時間を等しくすることができる。そのため、データの書き込み不足による表示むら、表示品質の低下を防ぐことができる。

【実施例2】

50

【0080】

図20乃至図22は、本発明による実施例2の表示装置の概略構成を示す模式図であり、図20はデータドライバの構成例を示すブロック図、図21および図22は水平同期信号遅延回路からデコード回路までの構成例を示す回路ブロック図である。

【0081】

本実施例2の液晶表示装置は、前記データドライバ2で発生する瞬時電流のピーク値を低くし、データドライバ2や表示装置の信頼性の低下を防ぐことを目的とした表示装置である。このような液晶表示装置では、データドライバ2は、たとえば、図20に示すような構成にする。図20に示したデータドライバ2の構成のうち、データラッチ回路201、シフトレジスタ202、1stラッチ回路203、2ndラッチ回路204、レベルシフト回路205、デコード回路206、基準電圧生成回路207、出力回路208、スイッチ回路209、クロック生成回路212の構成は、従来のデータドライバも備える構成である。そして、本実施例2の表示装置では、前記各構成回路に加え、水平同期信号遅延回路213を備える。

10

【0082】

水平同期信号遅延回路213は、たとえば、図21および図22に示すように、フリップフロップ回路のようなクロック同期型の遅延回路で構成される。またこのとき、2ndラッチ回路204で保持している各ドレイン線に出力する表示データは、いくつかのブロックに分割し、ブロック単位で水平同期信号を遅延させる遅延信号を生成し、2ndラッチ回路に入力する。このとき、表示データは、たとえば、10ブロックから20ブロック程度に分割する。

20

【0083】

また、データドライバ2が一般的なドット反転に対応したドライバの場合、図22に示すように、レベルシフト回路が動作するタイミングとしてHVデコード(Decorder)またはLVデコード(Decorder)を選択するマルチプレクサを有するので、この切り替えのタイミングも変える必要がある。そのため、本実施例2では、水平同期信号遅延回路213に、前記マルチプレクサパルスが遅延させる遅延信号Φ1を生成する系統と、前記2ndラッチ回路のデータラッチパルスが遅延させる遅延信号Φ2を生成する系統の2つ系統の遅延回路を設ける。

【0084】

このとき、2ndラッチ回路204の各ブロックには、水平同期信号CL1をクロック同期の遅延回路で生成した遅延信号Φ2が入力される。そのため、2ndラッチ回路204は、遅延信号Φ2の種類に応じて、ブロック単位で複数回に分けて1stラッチ回路203で保持している1水平同期期間分の表示データを取り込む。つまり、従来は一括で取り込んでいた表示データを複数回に分けて取り込むことにより、1度に駆動するレベルシフト回路の数を減少させる。そのため、レベルシフト回路を駆動させ、デコード回路で階調電圧を選択するときが発生する瞬時電流の集中を回避できる。その結果、瞬時電流のピーク値を低くでき、電源電圧の変動を小さくすることができる。そのため、データドライバ2や表示装置の信頼性を向上させることができる。

30

【0085】

図23は、表示データの取り込みの遅延方法を説明するための模式図である。

40

【0086】

2ndラッチ回路204による表示データの取り込みを遅延させるときには、たとえば、図23に示すように、分割したブロックのうち、中心にあるブロックから出力が開始され、両端に向かうにしたがって遅延して出力するようにするのが好ましい。図23に示した例では、2ndラッチ回路204を20ブロックに分割し、一方の端のブロックから順に1, 2, 3, ..., 20と番号を付けているとする。このとき、中心にある10番目および11番目ブロックから出力を開始し、両端の1番目のブロックと20番目のブロックが最後に出力されることになる。このようにすると、たとえば、データドライバが複数のドライバICからなり、各ドライバICが図20乃至図22に示したような構成になっている場合に、

50

ドライバIC毎のブロックむらが発生する可能性を低減できる。

【0087】

以上説明したように、本実施例2の表示装置によれば、2ndラッチ回路204で1水平同期期間分の表示データを取り込むときに、複数のブロックに分けて分割して取り込むことにより、レベルシフト回路を駆動させたときの瞬時電流の集中を回避でき、データドライバ2や表示装置の信頼性を向上させることができる。

【0088】

また、瞬時電流による電源電圧の変動を小さくすることができるので、バイパスコンデンサなどの変動を抑制する回路部品を排除することができる。そのため、本実施例2の構成は、たとえば、カーナビゲーションシステムなどの車載用の液晶表示装置などに適用して好ましい。

10

【0089】

また、本実施例2では、前記瞬時電流の集中を回避するデータドライバの構成および動作について説明したが、この構成に、たとえば、前記実施例1で説明した構成を組み合わせてもよいことはもちろんである。つまり、水平同期信号遅延回路213を設けて2ndラッチ回路204による表示データの取り込みを分散させて瞬時電流の集中を回避するとともに、データドライバからの出力のタイミングをブロック毎に遅延させてもよい。なお、ブロック間の位相が、たとえば、半周期でもずれた構成であれば、特に制限されない。

【実施例3】

【0090】

20

図24および図25は、本発明による実施例3の表示装置の概略構成を示す模式図であり、図24は走査ドライバの構成例を示すブロック図、図25はシフトレジスタ回路の構成例を示す回路ブロック図である。

【0091】

本実施例3の液晶表示装置は、画像（映像）を表示する際に、一定の間隔で黒表示を挿入する液晶表示装置において、複数の走査ドライバICをカスケード接続し、かつ、表示データ用の走査信号を出力するゲート線と黒表示挿入用の走査信号を出力するゲート線の組み合わせの自由度を高くすることを目的とした表示装置である。このような液晶表示装置では、走査ドライバ3は、たとえば、図24に示すように、入力部301、シフトレジスタ部302、レベルシフト回路303、3値セクタ回路304、出力バッファ回路305、出力部306を備える。このうち、入力部301および出力バッファ回路305、並びに出力部306は、従来の走査ドライバ3と同様の構成でよい。

30

【0092】

また、前記シフトレジスタ部302は、図24および図25に示すように、第1のシフトレジスタ（シフトレジスタ1）302aと、第2のシフトレジスタ（シフトレジスタ2）302bと、各シフトレジスタ302a、302bの出力のいずれか一方をレベルシフト回路303に出力するセクタスイッチ302cを備える。このとき、第1のシフトレジスタ302aは表示データ用のシフトレジスタとし、第2のシフトレジスタ302bは黒表示挿入用のシフトレジスタとする。

【0093】

40

図26は、本実施例3の表示装置における走査信号のタイミング波形を示す模式図である。

【0094】

本実施例3の表示装置の走査ドライバ3は、表示データ用の第1のシフトレジスタ302aと黒表示挿入用の第2のシフトレジスタ302bを有する。このとき、各シフトレジスタ302a、302bにはそれぞれ独立したDIO信号を入力し、第1のシフトレジスタ302aには第1のDIO信号DIO1を入力し、第2のシフトレジスタ302bには第2のDIO信号DIO2を入力する。またこのとき、第2のDIO信号DIO2は入力信号のタイミングで制御する。このとき、各DIO信号DIO1、DIO2とセクタスイッチ302cに入力する選択信号RSLのタイミング波形の関係は、たとえば、図26に示したようになる。

50

【0095】

本実施例3の表示装置では、第1のシフトレジスタ302aからの出力による表示データ用の走査信号は、たとえば、図26に示すように、開始時間t1から時間t21までの間にS1-SFT1~S1-SFT17が出力される。

【0096】

一方、第2のシフトレジスタ302bからの出力による黒表示挿入用の走査信号は、たとえば、図26に示すように、開始時間t1から時間t21までの間にS2-SFT1~S2-SFT10が出力される。

【0097】

このとき、各ゲート線GLに対して端から順にX1~XMの番号を付け、時間t11からt21の間に走査信号が出力されるゲート線の関係は、図26に示したようになる。たとえば、黒表示挿入用の走査信号S2-SFT1, S2-SFT2が出力されるタイミングは、表示データ用の走査信号S1-SFT12が出力されている。従来のようなシフトレジスタが1つの場合、同一チップ内でこのような状況になると、表示データ信号を残しておきたい画素、すなわちゲート線GL(X12)に接続された画素に黒データが書き込まれてしまう。一方、本実施例3のようにシフトレジスタを2つにすれば、黒データが書き込まれてしまうことはない。

【0098】

図26に示した例において、t14またはt19のタイミングでは、S1のシフトレジスタ出力を選択し、表示データ用の走査信号が出力される。すなわち、ゲート線GL(X12またはX16)に接続された画素に表示データが書き込まれる。本実施例3のようにシフトレジスタを2つにすると、t14またはt19の同周期内であるタイミングのうち、t15またはt20では、S1ではなくS2のシフトレジスタ出力を選択し、黒表示挿入用の走査信号が出力される。すなわち、ゲート線GL(X1~X2またはX3~X6)に接続された画素に黒表示データが書き込まれる。ただし、このとき、t14またはt19で表示データ用の走査信号が出力されたゲート線GL(X12またはX16)に接続された画素は影響を受けない。そのため、表示データ信号を残しておきたい画素、すなわちゲート線GL(X12)に接続された画素に黒データが書き込まれるのを防げる。そのため、同一チップから表示データ用の走査信号と黒表示挿入用の走査信号を出力することが可能となる。また、これにより、複数のチップ(ドライバIC)をカスケード接続することが可能となる。

【0099】

図27は、本実施例3の走査ドライバにおける3値セクタ回路の構成例を示す回路図である。また、図28は、3値セクタ回路の動作を説明する波形図である。また、図29は、3値出力の場合の走査信号の出力波形を示す図である。

【0100】

本実施例3の走査ドライバでは、レベルシフト回路303および3値セクタ回路304により走査信号の3値出力を行う。このとき、3値セクタ回路304は、たとえば、図27に示すような回路構成にする。このような構成にすると、たとえば、図28に示すように、表示レベルVON, 非表示レベルVOFFの2つのレベルに加え、非表示レベルVOFF以下の第3のレベルVEEを設けることができる。

【0101】

このようにすると、実際に各ゲート線(X1,X2,...)に出力される操作信号の波形は、図28に示すようになる。

【0102】

図30は、3値出力の作用効果を説明する図である。なお、図30では、上側が3値出力の場合の波形、下側が比較のための従来の2値出力の場合の波形を示している。

【0103】

本実施例3のように、表示レベルVONおよび非表示レベルVOFF、ならびに非表示レベルVOFF以下の第3のレベルVEEを設けた場合、ゲート線に入力された走査信号の波形は、図30に示すように、表示レベルVONから立ち下がり、非表示レベルVOFFに戻るときに、一度非表示レベルVOFF以下の第3のレベルVEEになる。このとき、表示レベルVONからの立ち下

がりは、従来の2値出力の場合に比べて鋭くなり、立ち下がり時間が短縮される。そのため、データの取り込み時間を長くすることが可能となる。

【0104】

従来の走査ドライバのように、表示レベルVONと非表示レベルVOFFの2値しかない回路構成に対して3値出力を行うことは、回路規模の増加を意味する。また、表示データ用の走査信号と黒表示挿入用の走査信号を独立に制御しながら3値出力をするとすると、単純な論理回路の組み合わせだけでなく、データをラッチする必要がある。しかも、そのようなレベルシフタ以降の回路を高耐圧系（高電圧動作系）で構成する必要がある。そのため、回路規模だけでなく構成が複雑になり、ドライバICのチップサイズが大きくなる。

【0105】

一方、本実施例3のように、2つのシフトレジスタ回路302a, 302bを設け、そのいずれか一方の出力を選択して3値出力させることで、回路規模の増加などを抑えることができ、ドライバICのチップサイズの大型化を抑えることができる。

【0106】

以上説明したように、本実施例3の液晶表示装置によれば、シフトレジスタ回路302を、表示データ用の第1のシフトレジスタ回路302a、黒表示挿入用の第2のシフトレジスタ回路302b、各シフトレジスタの出力のいずれか一方を選択してレベルシフタ回路303に送るセクタスイッチ302cで構成することにより、同一チップから表示データ用の走査信号と黒表示挿入用の走査信号を出力することが可能となる。また、これにより、複数のチップ（ドライバIC）をカスケード接続することが可能となる。

【0107】

また、レベルシフタ回路303および3値セクタ回路304により走査信号を3値出力させることで、各画素のTFT素子のデータの取り込み時間を長くことができ、表示画質を向上させることができる。

【0108】

また、本実施例3の走査ドライバにおいて、黒表示挿入用のデータに関しては、タイミングおよび出力数を制御する信号を各チップ（ドライバIC）に入力し、チップ内でカウンタ回路、ラッチ回路等を用いて黒表示挿入用のデータを生成し、制御することも可能である。

【0109】

また、レベルシフタ回路303として、差動式レベルシフタ回路を用いることで、高耐圧系で構成しているラッチ回路の制御信号回路を小規模で構成し、供給することが可能である。

【0110】

図31および図32は、シフトレジスタ回路の構成例を示す図であり、図31は模式的に示した回路図、図32は図31の回路を具体的に示した回路図である。

【0111】

本実施例3の走査ドライバにおいて、各シフトレジスタ回路302a, 302bは、たとえば、図31および図32に示したような構成になっているのが一般的である。しかしながら、データを転送する機能があれば、このような構成に限らず、他の回路構成であってもよい。

【実施例4】

【0112】

図33および図34は、本発明による実施例4の表示装置の概略構成を示す模式図であり、図33はデータドライバの構成例を示すブロック図、図34はレベルシフタ回路の構成例を示す回路図である。

【0113】

本実施例4の液晶表示装置は、従来のサイズのMOSトランジスタでレベルシフタ回路を動作させることを目的とした表示装置である。このような液晶表示装置では、走査ドライバは、たとえば、図33に示すような構成にする。なお、図33に示した構成は、出力数

10

20

30

40

50

分だけ繰り返し必要となる回路ブロックおよびこのブロックを制御するための信号の構成を示しており、入力部 301、シフトレジスタ 302、レベルシフト回路 303、出力バッファ回路 305、出力部 306 を備える。また、本実施例 4 の走査ドライバにおいて、シフトレジスタ 302 は、前記実施例 3 で説明したような構成ではなく、従来の一般的な構成でよい。

【0114】

また、レベルシフト回路 303 は、前記実施例 3 のような 3 値出力を行う必要はなく、従来の 2 値出力の回路構成でよい。ただし、本実施例 4 では、レベルシフト回路 303 は、図 34 に示すように、初段をラッチ方式の回路 303a とし、2 段目は従来のような襷がけと呼ばれる方式の回路 303b とする。

10

【0115】

このような構成のレベルシフト回路 303 において、初段のラッチ方式の回路 303a では、NANDゲートから入力された信号 LVIN をクロック 1 周期分保持し、次の信号が入力される前に、3 種類のイネーブル信号 ENBN, HENB, HENBN で入力信号 LVIN の制御および信号保持部分のリセットを行う。

【0116】

図 35 は、本実施例 4 のレベルシフト回路の動作を説明する模式図である。

【0117】

本実施例 4 のレベルシフト回路 303 では、図 35 に示すように、まず、第 1 のイネーブル信号 HENB および第 2 のイネーブル信号 HENBN で保持部分のノードリセットを行う。次に、第 3 のイネーブル信号 ENBN で入力信号 LVIN の取り込みを行う。そして、取り込んだ入力信号 LVIN をクロック 1 周期分保持する。そして、次の周期の信号が入力される前に、第 1 のイネーブル信号 HENB および第 2 のイネーブル信号 HENBN で保持部分のノードリセットを行う。

20

【0118】

このような動作をした場合、初段の回路 303a から 2 段目の回路 303b に転送される 2 つの信号 T, B は、図 35 のようになる。そのため、2 段目の回路 303b を経て出力される出力信号 OUT は、図 35 のようになる。

【0119】

図 36 は、本実施例 4 のレベルシフト回路と比較するための従来のレベルシフト回路の構成例を示す図である。また、図 37 は、図 36 に示したレベルシフト回路の動作を示す図である。

30

【0120】

従来のレベルシフト回路は、通常、2 段目の回路 303b のような襷がけ方式の回路を 2 段にした構成であり、たとえば、図 36 に示すように、2 つのインバータ回路からの出力信号 a, b を初段の襷がけ方式の回路の 2 つの P チャネル MOS トランジスタの各ゲートに入力する。そして、2 つの N チャネル MOS トランジスタのドレインからの出力信号 c, d を 2 段目の襷がけ方式の回路の 2 つの N チャネル MOS トランジスタの各ゲートに入力する。そして、2 つの P チャネル MOS トランジスタのドレインから出力をそれぞれインバータ回路に入力し、最終的に 2 つの出力信号 OUT1, OUT2 が取り出される。このとき、レベルシフト回路に入力される信号 LVIN、インバータ回路からの出力信号 a, b、初段の襷がけ方式の回路からの出力信号 c, d、最終的に 2 つの出力信号 OUT1, OUT2 は、たとえば、図 37 のようになる。またこのとき、図 37 における入力信号 LVIN と最終的な出力信号 OUT1 の関係は、図 35 における入力信号 LVIN と出力信号 OUT の関係と一致している。そのため、図 34 に示したレベルシフト回路は、図 36 に示したレベルシフト回路と同等の機能を有すると言える。

40

【0121】

また、図 34 のレベルシフト回路と図 36 に示したレベルシフト回路を比較した場合、MOS トランジスタ回路の数は同等である。しかしながら、図 34 に示した回路構成のほう

50

。また、初段の回路を従来の襷掛け方式からラッチ方式の回路 303a にすることにより、レベルシフト回路全体のサイズを小さくすることができる。

【0122】

しかしながら、ラッチ方式の回路 303a では、第 1 のイネーブル信号 HENB および第 2 のイネーブル信号 HENBN として、高耐圧信号を入力する必要がある。この第 1 のイネーブル信号 HENB および第 2 のイネーブル信号 HENBN を生成する回路は、襷掛け方式の回路でもよいが、差動方式の回路にすることで、チップサイズをより小さくすることができる。

【0123】

図 38 は、高耐圧のイネーブル信号を生成する差動回路の構成例を示す回路図である。

【0124】

第 1 のイネーブル信号 HENB および第 2 のイネーブル信号 HENBN を生成するには、たとえば、図 38 に示すような差動アンプ回路を用いる。ただし、本実施例 4 では、小信号を増幅するアンプとしてではなく、電圧変換回路として用いる。このようにすることで、ラッチ方式の回路 303a で必要な高耐圧のイネーブル信号 HENB, HENBN を生成し、供給することができる。

10

【0125】

図 39 は、本実施例 4 の効果を説明する模式図である。なお、図 39 では、左から、本実施例 4 のレベルシフト回路 303 の寸法、差動アンプ回路の寸法、従来のレベルシフト回路の寸法を示している。

【0126】

従来のレベルシフト回路は、流れる電流を大きくするために MOS トランジスタのサイズを大きくする必要があり、たとえば、図 39 に示すように、1 段目（初段）の襷掛け方式の回路の面積が大きくなってしまう。一方、本実施例 4 のレベルシフト回路 303 では、MOS トランジスタを反転させるための電流を流す必要が無く、1 段目のラッチ方式の回路 303a を小さくすることができる。ただし、ラッチ方式の回路 303a に供給する高耐圧のイネーブル信号 HENB, HENBN を生成するための電圧変換回路（差動アンプ回路）が必要である。

20

【0127】

しかしながら、図 39 に示すように、本実施例 4 のレベルシフト回路 303 の縦寸法（205 μ m）と電圧変換回路（差動アンプ回路）の縦寸法（275 μ m）を足しても、従来のレベルシフト回路の縦寸法（635 μ m）に比べて小さくできる。

30

【0128】

以上説明したように、本実施例 4 の液晶表示装置によれば、レベルシフト回路 303 の構成を、初段はラッチ方式の回路 303a、2 段目は襷掛け方式の回路 303b とすることで、チップ（ドライバ IC）上でのレベルシフト回路 303 の面積を小さくすることができる。

【0129】

また、本実施例 4 では、初段の回路をラッチ方式の回路 303a としたが、入力信号 LVIN を保持できる回路構成であれば、他の回路でもよい。

【0130】

また、本実施例 4 では、初段はラッチ方式の回路 303a、2 段目は襷掛け方式の回路 303b としているが、これに限らず、たとえば、2 段目もラッチ方式の回路にしてもよい。

40

【0131】

また、本実施例 4 では、図 38 に示したような電圧変換回路（差動アンプ回路）を用いて初段のラッチ方式の回路 303a に供給する高耐圧のイネーブル信号 HENB, HENBN を生成したが、これに限らず、たとえば、走査ドライバの外部から直接高耐圧信号を供給してもよい。

【0132】

また、本実施例 4 では、従来の構成の走査ドライバにおいて、レベルシフト回路 303

50

の構成を変えた例を挙げたが、この構成に、前記実施例 3 で説明した構成を組み合わせてもよい。

【 0 1 3 3 】

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

【図面の簡単な説明】

【 0 1 3 4 】

【図 1】本発明が適用される表示装置の概略構成を示す模式図であり、液晶表示装置の構成例を示すブロック図である。

10

【図 2】本発明が適用される表示装置の概略構成を示す模式図であり、液晶表示パネルの構成を示す回路図である。

【図 3】本発明が適用される表示装置の概略構成を示す模式図であり、1 画素の構成および動作を説明する図である。

【図 4】本発明による実施例 1 の液晶表示装置の動作原理を説明するための模式図であり、ドレイン線の分割方法を説明する図である。

【図 5】本発明による実施例 1 の液晶表示装置の動作原理を説明するための模式図であり、表示データの出力方法を説明する図である。

【図 6】本発明による実施例 1 の液晶表示装置の動作原理を説明するための模式図であり、遅延量の設定方法を説明する図である。

20

【図 7】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、データドライバの構成例を示すブロック図である。

【図 8】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、表示データの出力タイミングを説明する図である。

【図 9】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、内部コントロール信号の生成方法を説明する図である。

【図 10】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、内部コントロール信号生成回路の初段の構成例を示す回路図である。

【図 11】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、内部コントロール信号生成回路のシフトレジスタ用クロックの構成例を示す回路図である。

30

【図 12】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、内部コントロール信号生成回路の 2 段目以降の構成例を示す回路図である。

【図 13】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、レジスタデータの入力方法を説明する図である。

【図 14】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、レジスタデータの入力方法を説明する図である。

【図 15】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、レジスタデータの入力例を説明する図である。

40

【図 16】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、レジスタデータの入力例を説明する図である。

【図 17】本実施例 1 の液晶表示装置におけるデータドライバの構成例および動作を説明する模式図であり、レジスタデータの入力例を説明する図である。

【図 18】表示データの転送方法を説明するための模式図であり、走査ドライバが一辺のみに配置されている場合の転送方法の例を示す図である。

【図 19】表示データの転送方法を説明するための模式図であり、走査ドライバが対向する二辺に配置されている場合の転送方法の例を示す図である。

【図 20】本発明による実施例 2 の表示装置の概略構成を示す模式図であり、データドライバの構成例を示すブロック図である。

50

【図 2 1】本発明による実施例 2 の表示装置の概略構成を示す模式図であり、水平同期信号遅延回路からデコーダ回路までの構成例を示す回路ブロック図である。

【図 2 2】本発明による実施例 2 の表示装置の概略構成を示す模式図であり、水平同期信号遅延回路からデコーダ回路までの構成例を示す回路ブロック図である。

【図 2 3】表示データの取り込みの遅延方法を説明するための模式図である。

【図 2 4】本発明による実施例 2 の表示装置の概略構成を示す模式図であり、走査ドライバの構成例を示すブロック図である。

【図 2 5】本発明による実施例 2 の表示装置の概略構成を示す模式図であり、シフトレジスタ回路の構成例を示す回路ブロック図である。

【図 2 6】本実施例 3 の表示装置における走査信号のタイミング波形を示す模式図である 10

【図 2 7】本実施例 3 の走査ドライバにおける 3 値セクタ回路の構成例を示す回路図である。

【図 2 8】3 値セクタ回路の動作を説明する波形図である。

【図 2 9】3 値出力の場合の走査信号の出力波形を示す図である。

【図 3 0】3 値出力の作用効果を説明する図である。

【図 3 1】シフトレジスタ回路の構成例を示す図であり、模式的に示した回路図である。

【図 3 2】シフトレジスタ回路の構成例を示す図であり、図 3 1 の回路を具体的に示した回路図である。

【図 3 3】本発明による実施例 4 の表示装置の概略構成を示す模式図であり、データドライバの構成例を示すブロック図である。 20

【図 3 4】本発明による実施例 4 の表示装置の概略構成を示す模式図であり、レベルシフタ回路の構成例を示す回路図である。

【図 3 5】本実施例 4 のレベルシフタ回路の動作を説明する模式図である。

【図 3 6】本実施例 4 のレベルシフタ回路と比較するための従来のレベルシフタ回路の構成例を示す図である。

【図 3 7】図 3 6 に示したレベルシフタ回路の動作を示す図である。

【図 3 8】高耐圧のイネーブル信号を生成する差動回路の構成例を示す回路図である。

【図 3 9】本実施例 4 の効果を説明する模式図である。

【符号の説明】 30

【0 1 3 5】

1 ... 液晶表示パネル

2 ... データドライバ

2 0 1 ... データラッチ回路

2 0 2 , 3 0 2 ... シフトレジスタ

2 0 3 ... 1stラッチ回路

2 0 4 ... 2ndラッチ回路

2 0 5 , 3 0 3 ... レベルシフタ回路

2 0 6 ... デコーダ回路

2 0 7 ... 基準電圧生成回路 40

2 0 8 ... 出力回路

2 0 9 ... スイッチ回路

2 1 0 ... 内部コントロール信号生成回路

2 1 1 ... ディレイレジスタ回路

2 1 2 ... クロック生成回路

2 1 3 ... 水平同期信号遅延回路

3 ... 走査ドライバ

3 0 1 ... 入力部

3 0 2 a ... 第 1 のシフトレジスタ

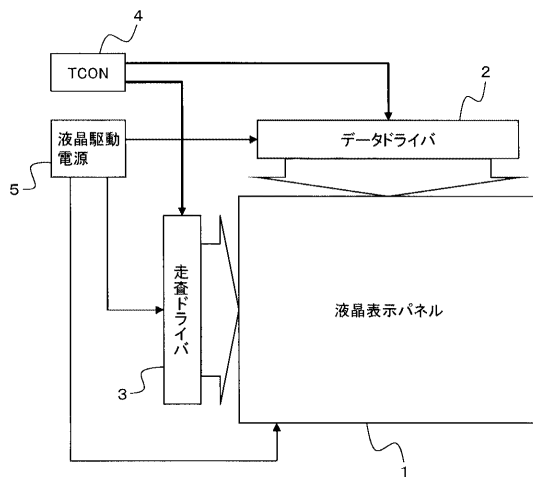
3 0 2 b ... 第 2 のシフトレジスタ 50

3 0 2 c ... セレクタスイッチ
 3 0 3 a ... ラッチ方式の回路
 3 0 3 b ... 襷がけ方式の回路
 3 0 4 ... 3 値セレクタ回路
 3 0 5 ... 出力バッファ回路
 3 0 6 ... 出力部
 4 ... タイミングコントローラ
 5 ... 液晶駆動電源
 D L ... ドレイン線
 G L ... ゲート線
 C L ... 共通信号線
 P X ... 画素電極
 C T ... 共通電極
 D D , G D ... ドライバ IC

10

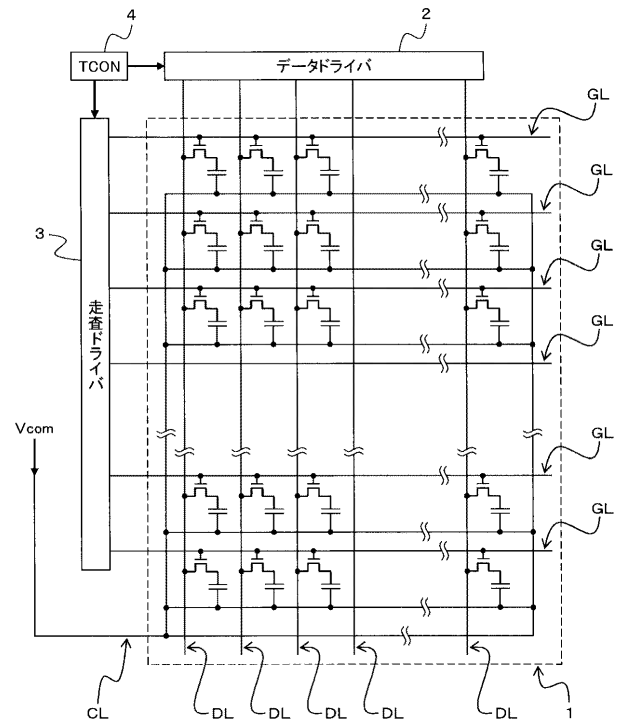
【図 1】

図1

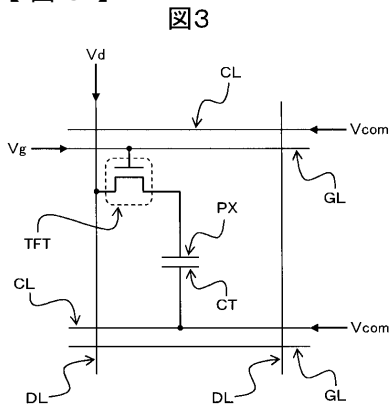


【図 2】

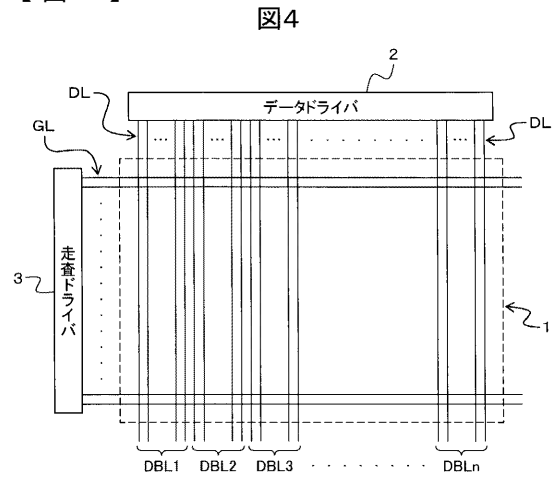
図2



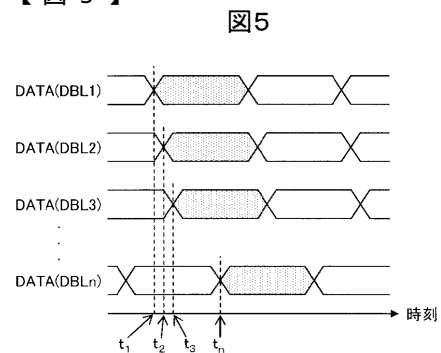
【図3】



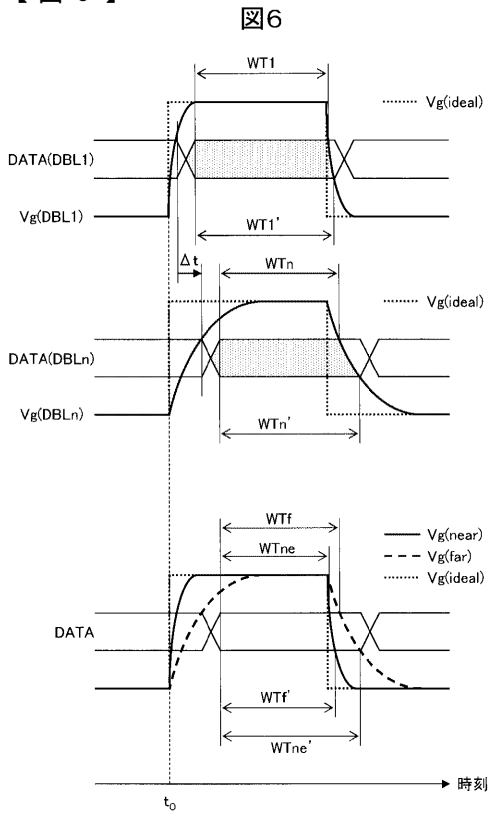
【図4】



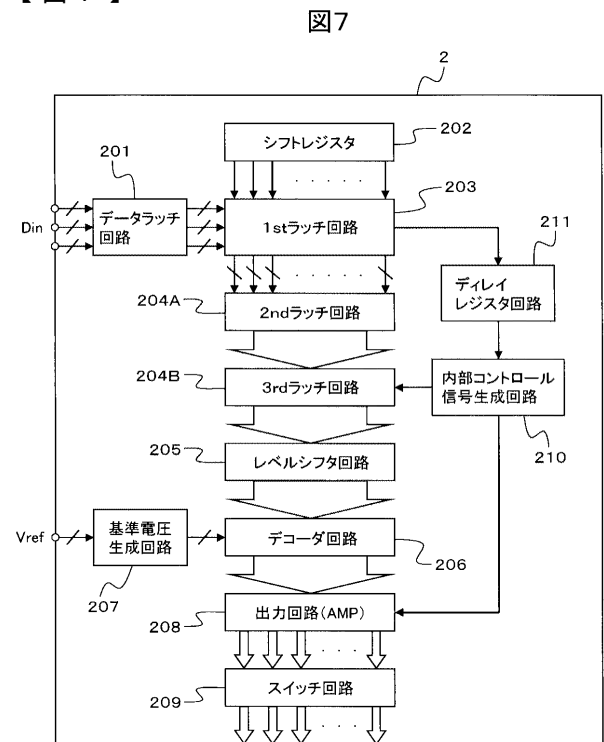
【図5】



【図6】

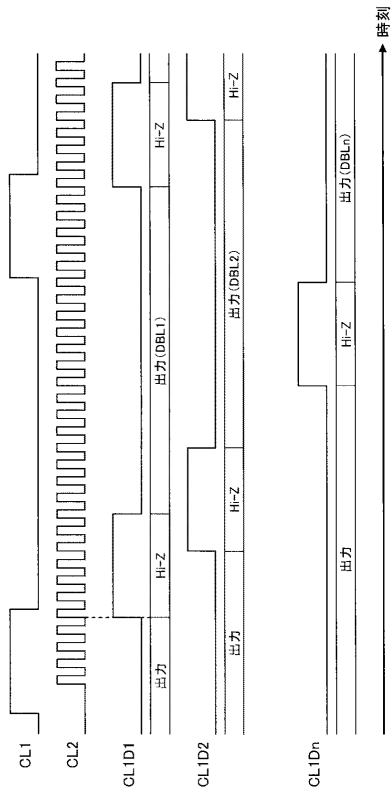


【図7】



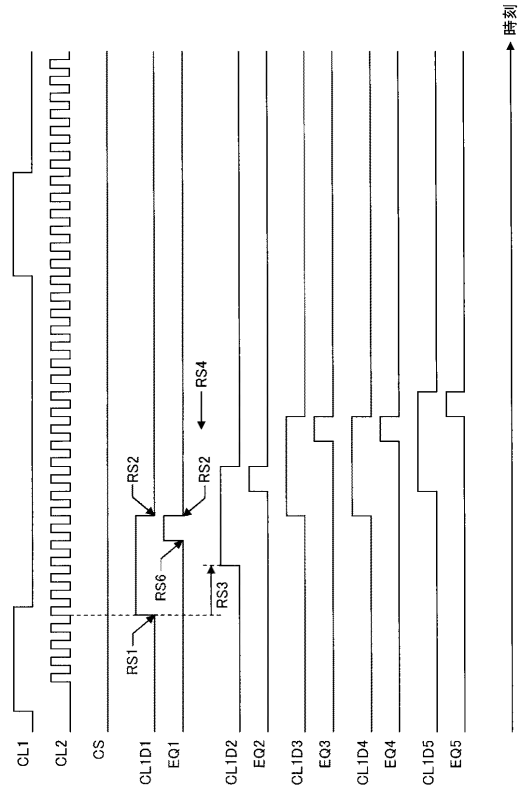
【図8】

図8



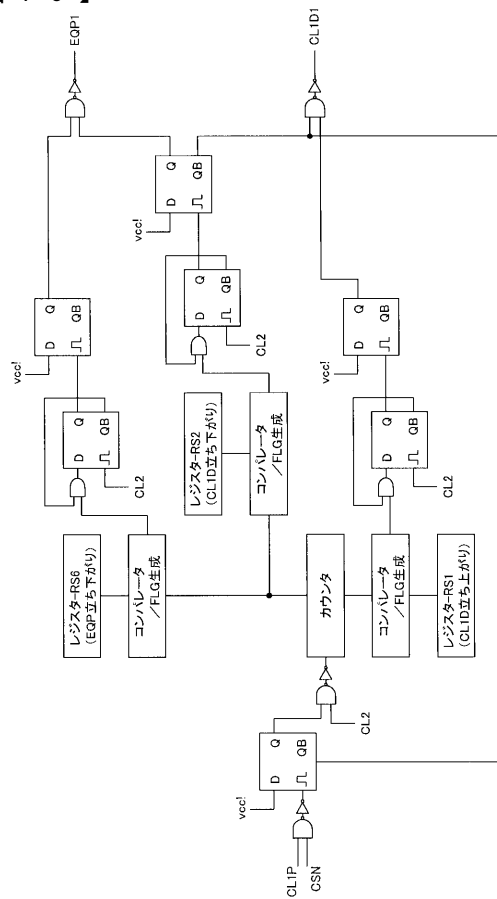
【図9】

図9



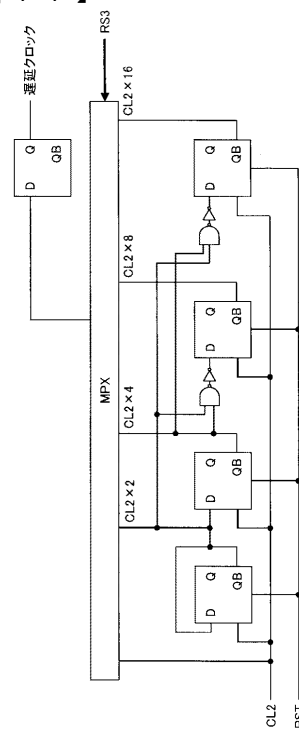
【図10】

図10



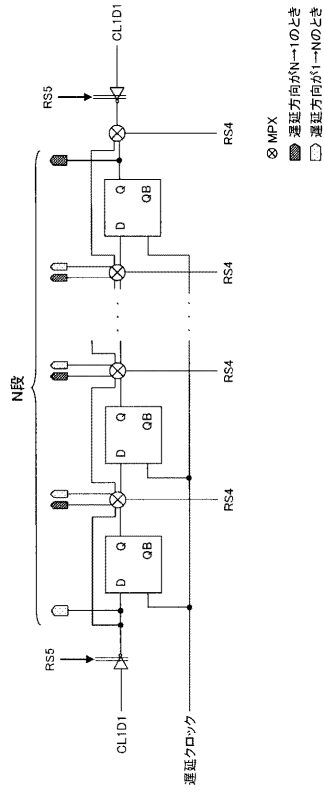
【図11】

図11



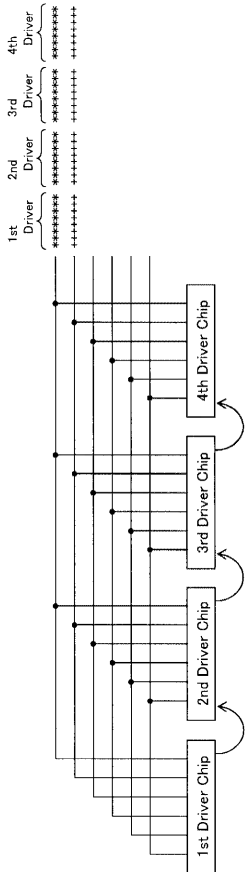
【図 1 2】

図 12



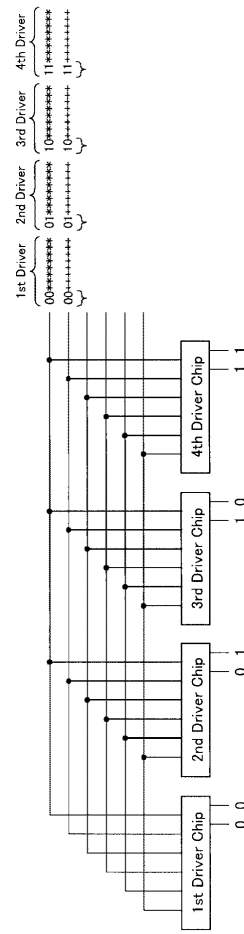
【図 1 4】

図 14



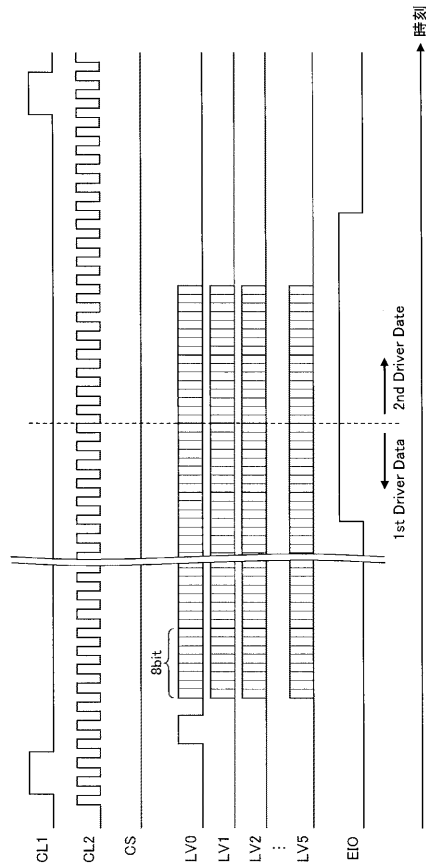
【図 1 3】

図 13

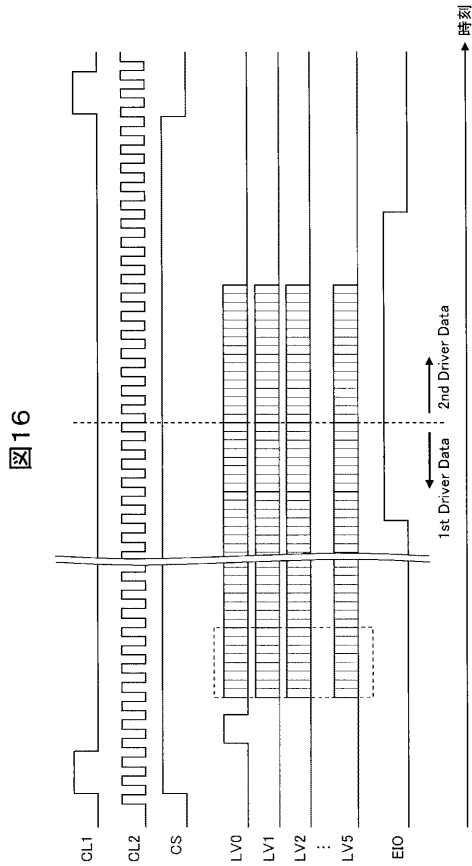


【図 1 5】

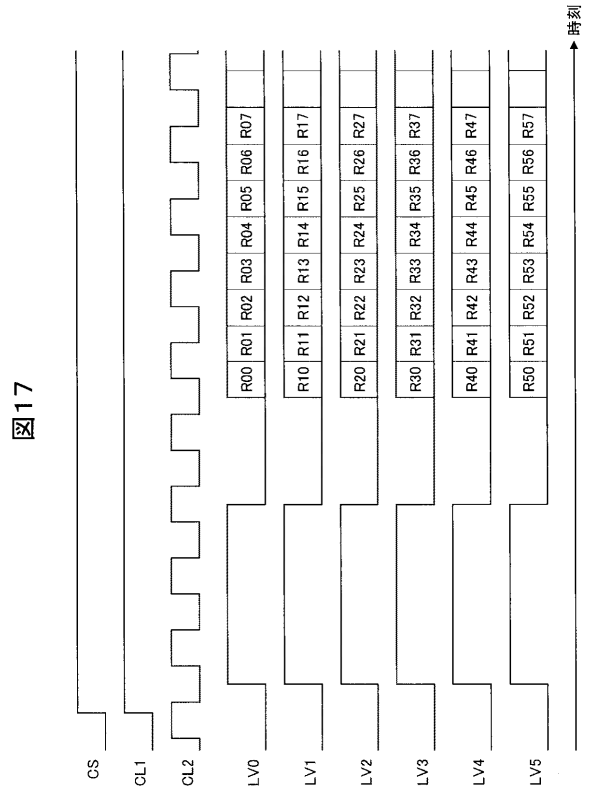
図 15



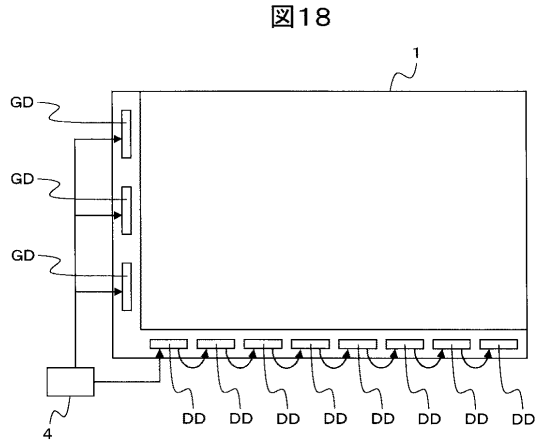
【 図 1 6 】



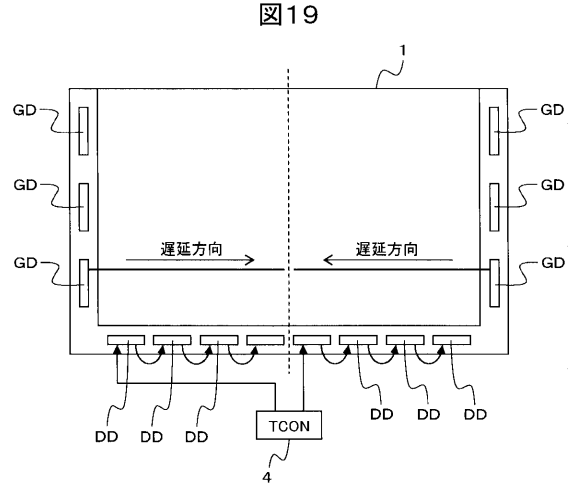
【 図 1 7 】



【 図 1 8 】



【 図 1 9 】



【図 20】

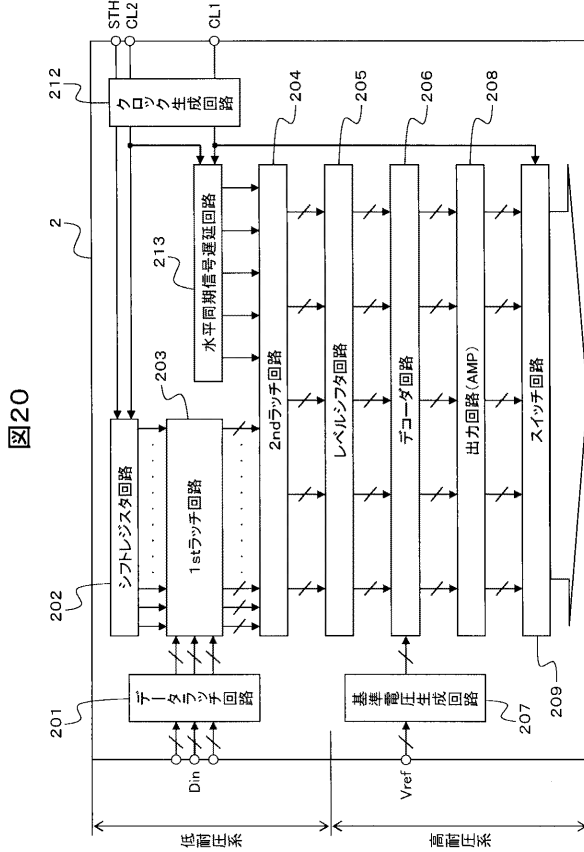


図20

【図 21】

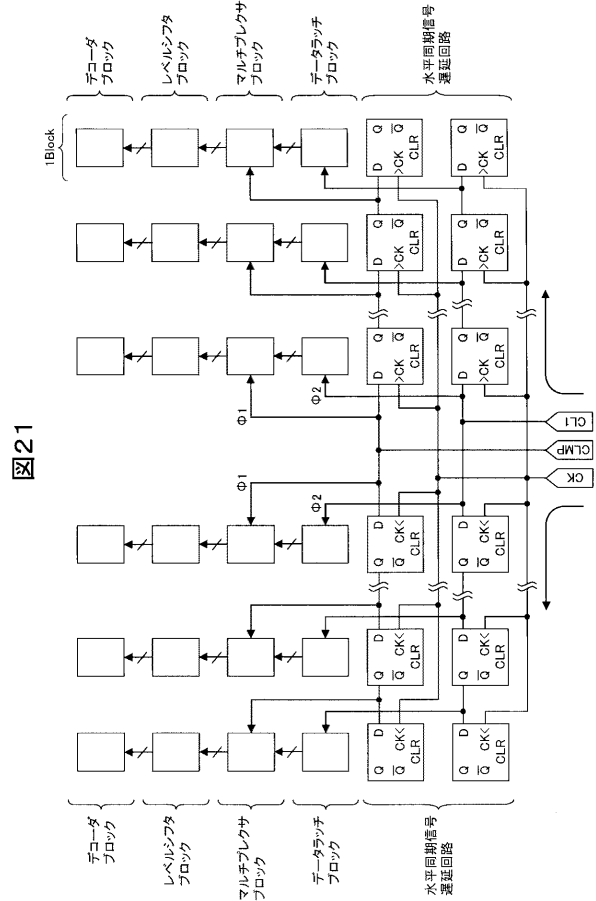


図21

【図 22】

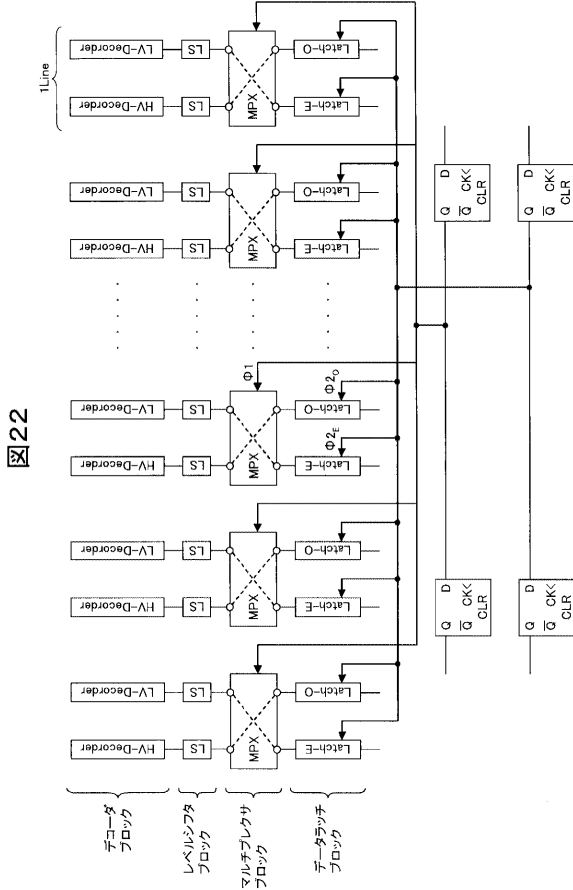
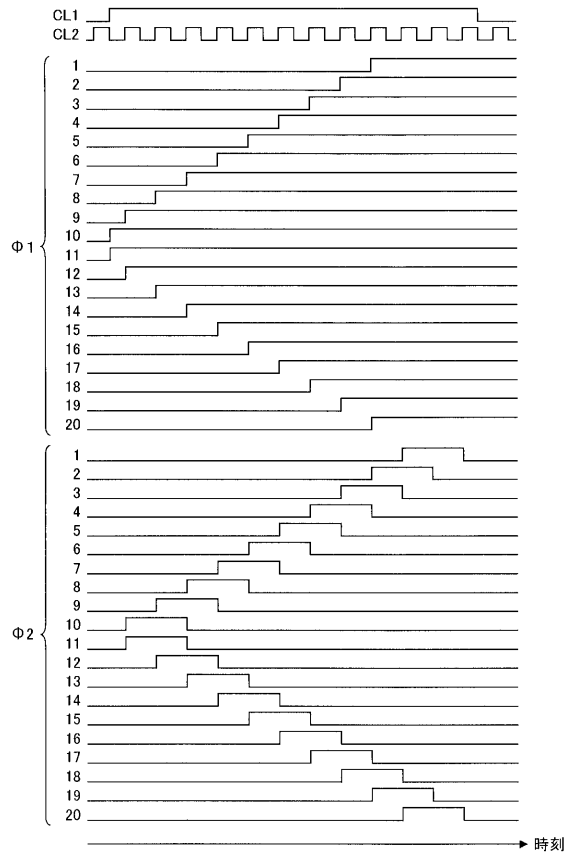


図22

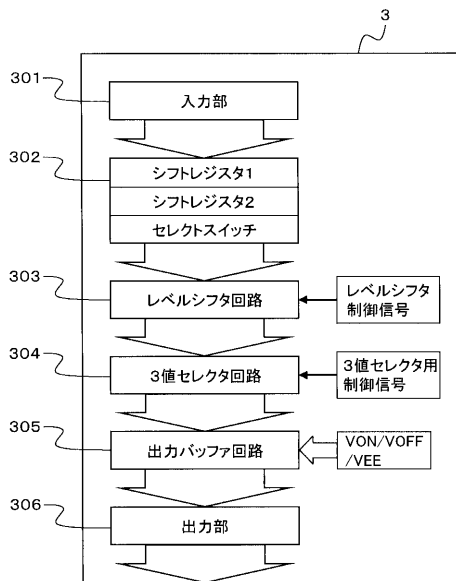
【図 23】

図23



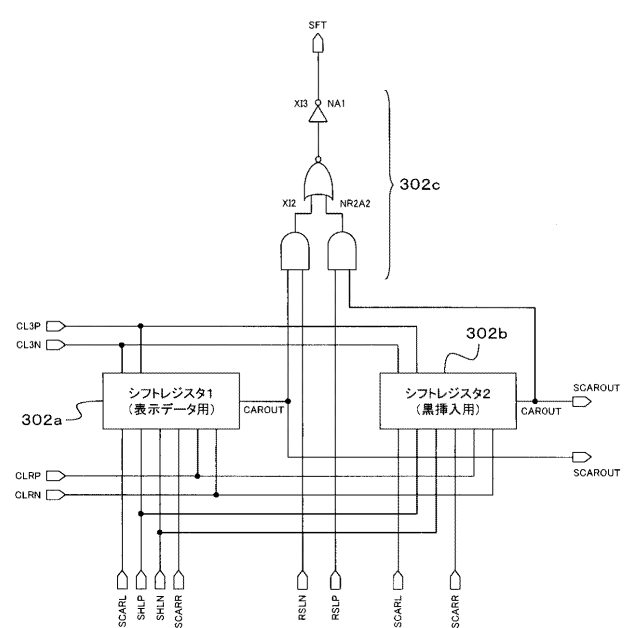
【図24】

図24



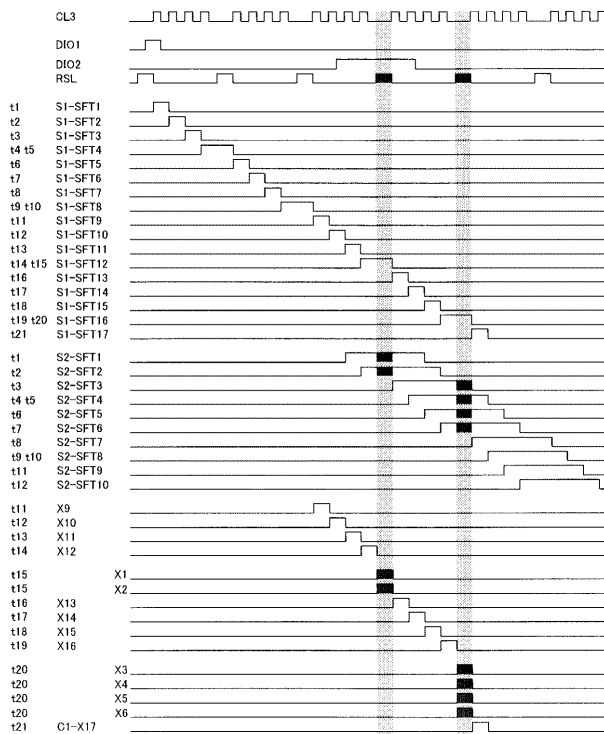
【図25】

図25



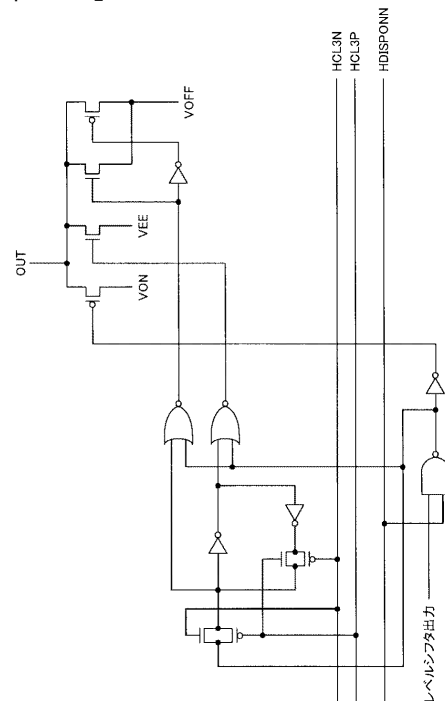
【図26】

図26



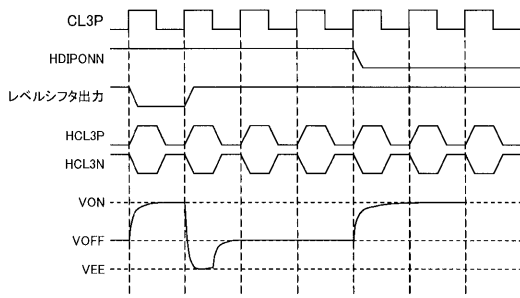
【図27】

図27



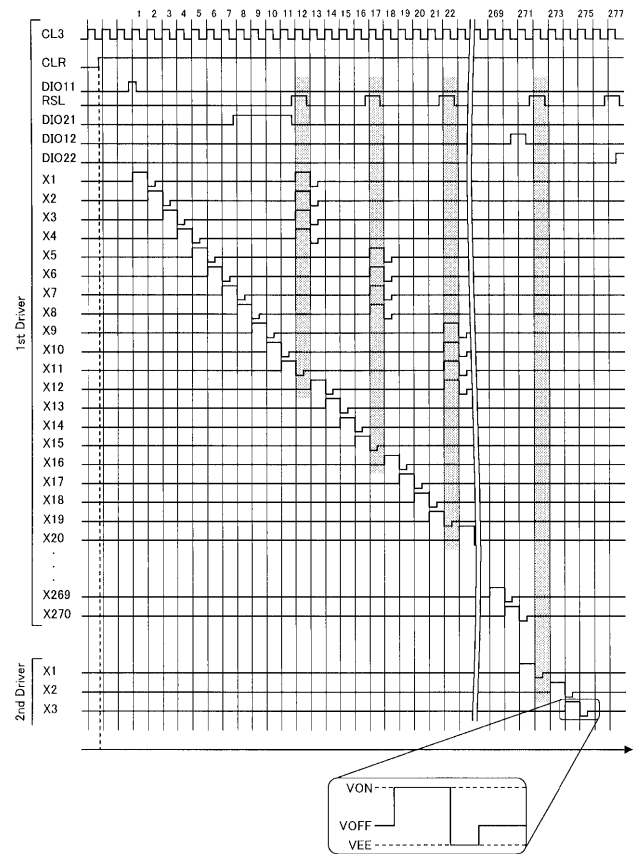
【図 28】

図28



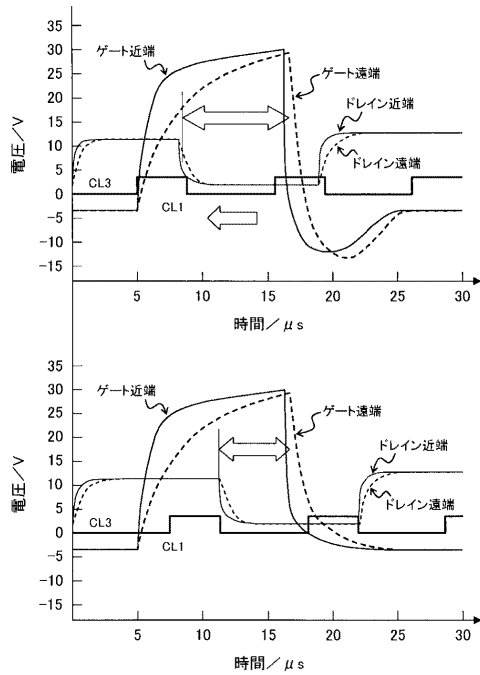
【図 29】

図29



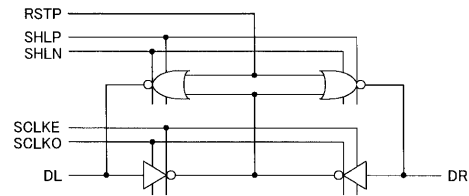
【図 30】

図30

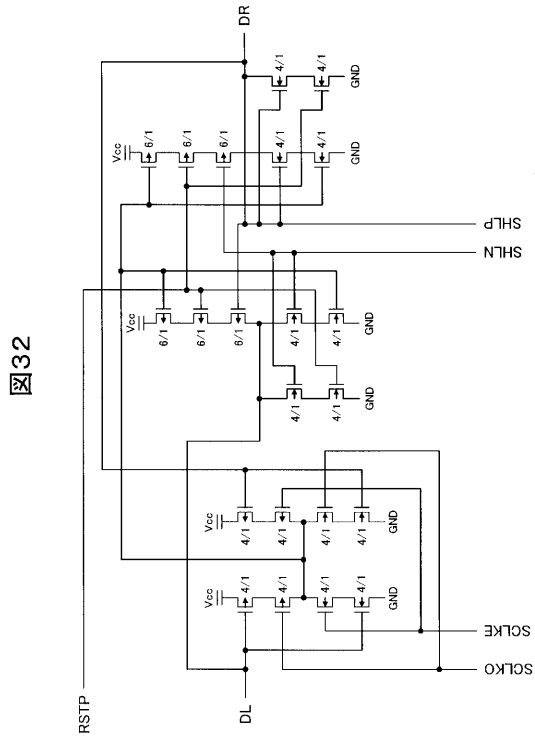


【図 31】

図31

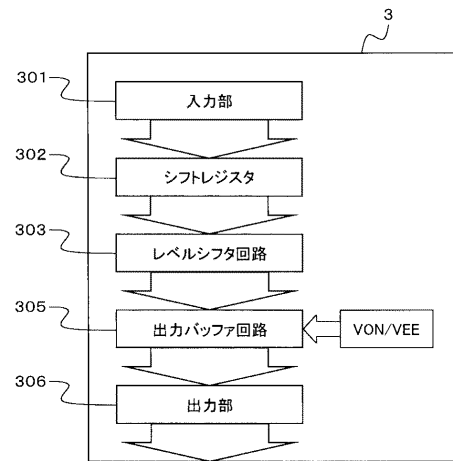


【図 3 2】



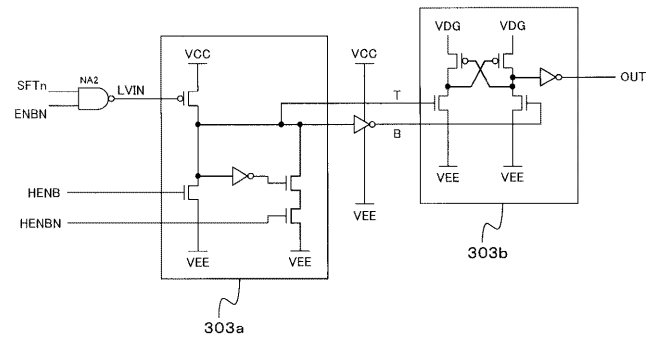
【図 3 3】

図33



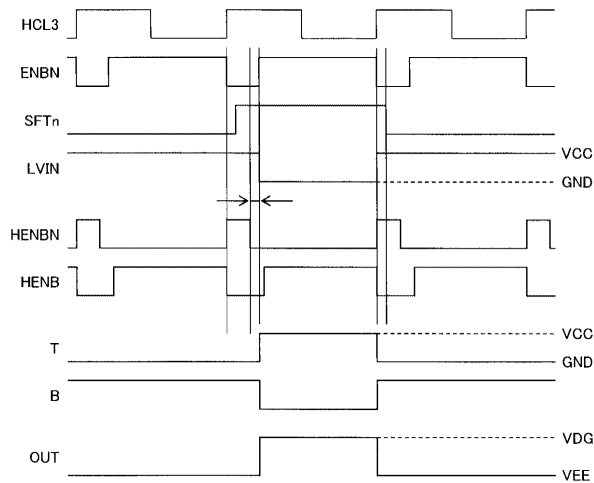
【図 3 4】

図34



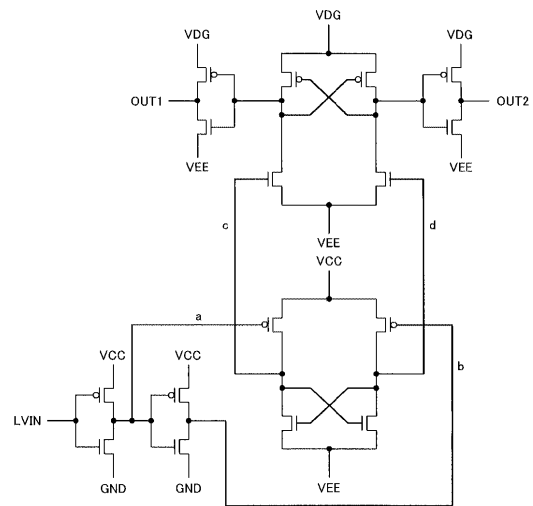
【図 3 5】

図35



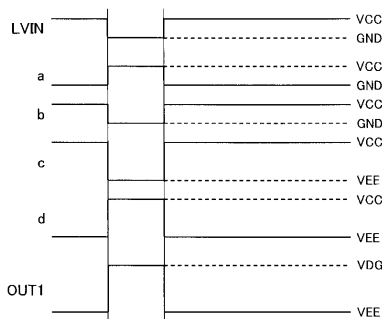
【図 3 6】

図36



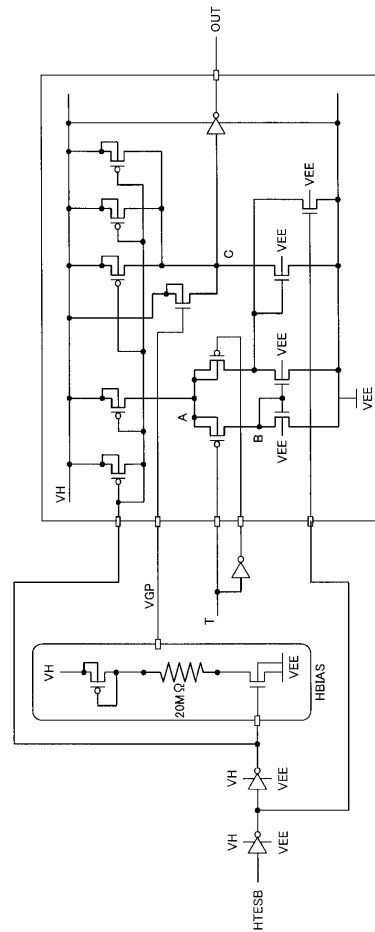
【図 37】

図37



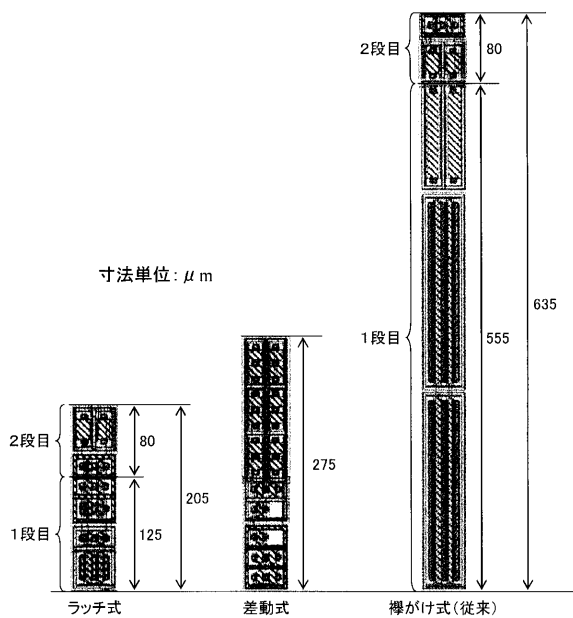
【図 38】

図38



【図 39】

図39



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 L
	G 0 9 G 3/20	6 2 3 H
	G 0 9 G 3/20	6 2 3 G

(72)発明者 菊池 秀徳
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 尾手 幸秀
千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H093 NA16 NA43 NC15 NC16 NC22 NC26 NC34 ND05 ND34
5C006 AF43 AF71 BB16 BC03 BC12 BC23 BC24 BF03 BF04 BF07
BF24 BF25 FA16 FA37 FA41 FA47
5C080 AA10 BB05 DD01 DD12 DD22 DD26 FF11 JJ02 JJ03 JJ04
JJ06

专利名称(译)	显示装置		
公开(公告)号	JP2007171597A	公开(公告)日	2007-07-05
申请号	JP2005369758	申请日	2005-12-22
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	田中靖洋 勇広宣 飯田治久 菊池秀徳 尾手幸秀		
发明人	田中 靖洋 勇 広宣 飯田 治久 菊池 秀徳 尾手 幸秀		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G5/001 G09G3/20 G09G3/3677 G09G3/3688 G09G2310/027 G09G2310/0286 G09G2310/0289 G09G2310/061 G09G2310/08		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.611.A G09G3/20.621.A G09G3/20.621.L G09G3/20.623.H G09G3/20.623.G		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND05 2H093/ND34 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC23 5C006/BC24 5C006/BF03 5C006/BF04 5C006/BF07 5C006/BF24 5C006/BF25 5C006/FA16 5C006/FA37 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD12 5C080/DD22 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZD34		
其他公开文献	JP4869706B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在液晶显示装置中，为了减少像素的TFT元件在栅极线延伸的方向上的写入时间的变化。一种显示装置，具有：显示面板，其中，多条栅极线 and 多条漏极线以矩阵状排列；以及数据驱动器，用于向各条漏极线输出数据信号，该数据驱动器包括：内部控制信号生成电路，其将多条漏极线划分为多个块，并生成内部控制信号，该内部控制信号设置向每个块的漏极线输出数据信号的定时以及块的划分。记录设置，输出数据信号的定时的延迟方向和延迟宽度的设置以及内部控制信号的上升和下降的设置。[选择图]图7

