

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-164175

(P2007-164175A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 575	5C006
G09G 3/20 (2006.01)	G02F 1/133 525	5C080
	G02F 1/133 550	
	G09G 3/20 611A	
審査請求 未請求 請求項の数 20 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2006-330876 (P2006-330876)	(71) 出願人	390019839
(22) 出願日	平成18年12月7日 (2006.12.7)		三星電子株式会社
(31) 優先権主張番号	10-2005-0120740		S a m s u n g E l e c t r o n i c s
(32) 優先日	平成17年12月9日 (2005.12.9)		C o . , L t d .
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 4 1 6
		(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子
		(72) 発明者	李 白 雲
			大韓民国京畿道龍仁市新鳳洞新エルジー 1
			次ビレッジ 1 0 4 棟 9 0 2 号
		F ターム (参考)	2H093 NA16 NA33 NA42 NA53 NC10
			NC12 NC13 NC15 NC22 ND04
			ND10 ND33 ND35 ND39
			最終頁に続く

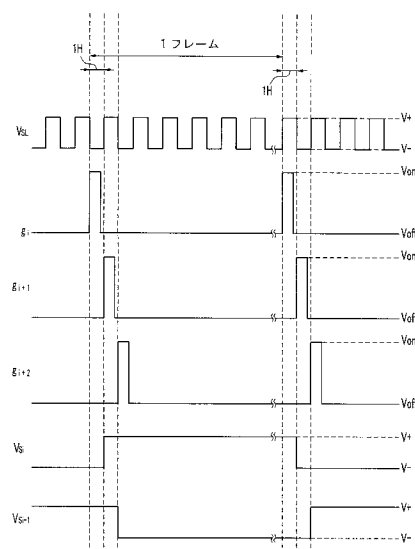
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 データ電圧の極性反転に伴う消費電力を低減し、階調表現に利用可能なデータ電圧の範囲を拡げ、かつ、画素電圧を目標電圧に所定の時間内で確実に到達させ得る表示装置を提供する。

【解決手段】 本発明による表示装置では、維持信号生成部がゲート信号のレベルの変化に従い、特に各画素でゲート信号のレベルがゲートオフ電圧まで下げられて液晶キャパシタの充電が終わった直後に、維持信号のレベルを変化させる。好ましくは、データ電圧の極性が正である場合は維持信号のレベルが上がり、データ電圧の極性が負である場合は維持信号のレベルが下がる。更に好ましくは、維持信号生成部が維持信号のレベルを、同じフレームでは維持電極線ごとに変化させ、同じ維持電極線に対してはフレームごとに変化させる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ゲート信号を伝達する複数のゲート線、
ゲート線と交差し、データ電圧を伝達する複数のデータ線、
ゲート線に対して平行に延び、維持信号を伝達する複数の維持電極線、
マトリックス状に配列され、ゲート線とデータ線とに接続されている複数の画素、及び

ゲート信号のレベルの変化に従って維持信号のレベルを変化させる維持信号生成部、
を有する表示装置。

【請求項 2】

前記維持信号生成部が、各画素について、データ電圧の極性が正である場合は維持信号のレベルを上げ、データ電圧の極性が負である場合は維持信号のレベルを下げる、請求項 1 に記載の表示装置。

【請求項 3】

ゲート信号のレベルが、実質的に 1 水平周期の間、ゲートオン電圧に維持される、請求項 1 に記載の表示装置。

【請求項 4】

前記維持信号生成部が維持信号のレベルを、同じフレームでは維持電極線ごとに変化させ、同じ維持電極線に対してはフレームごとに変化させる、請求項 1 に記載の表示装置。

【請求項 5】

行反転を行う、請求項 1 に記載の表示装置。

【請求項 6】

共通電圧が一定のレベルに維持される、請求項 1 に記載の表示装置。

【請求項 7】

前記維持信号生成部が、ゲート線、データ線、及び維持電極線と共に形成されている、請求項 1 に記載の表示装置。

【請求項 8】

前記維持信号生成部が、維持電極線の一つに維持信号を出力する信号生成回路、を複数有する、請求項 1 に記載の表示装置。

【請求項 9】

前記信号生成回路のそれぞれが、

第 1 ゲート線に接続された制御端子、駆動電圧が印加される入力端子、及び、維持電極線に接続された出力端子、を含む第 1 スイッチング素子、並びに、

前記第 1 ゲート線に隣接する第 2 ゲート線に接続された制御端子、駆動電圧が印加される入力端子、及び前記維持電極線に接続された出力端子、を含む第 2 スイッチング素子、を有する、請求項 8 に記載の表示装置。

【請求項 10】

駆動電圧のレベルが 1 水平周期ごとに、第 1 レベルと、前記第 1 レベルより低い第 2 レベルとの間で切り換わる、請求項 9 に記載の表示装置。

【請求項 11】

前記信号生成回路のそれぞれが、

第 1 ゲート線に接続された制御端子、互いに異なる第 1 駆動電圧と第 2 駆動電圧との一方が印加される入力端子、及び、維持電極線に接続された出力端子、を含む第 1 スイッチング素子、並びに、

前記第 1 ゲート線に隣接する第 2 ゲート線に接続された制御端子、前記第 1 駆動電圧と前記第 2 駆動電圧との他方が印加される入力端子、及び、前記維持電極線に接続された出力端子、を含む第 2 スイッチング素子、を有する、請求項 8 に記載の表示装置。

【請求項 12】

前記第 1 駆動電圧と前記第 2 駆動電圧との各レベルがフレームごとに、第 1 レベルと、

10

20

30

40

50

前記第 1 レベルより低い第 2 レベルとの間で切り換わり、

前記第 1 駆動電圧の波形が前記第 2 駆動電圧の波形とは逆である、

請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記表示装置が、画素列の方向に延びて前記第 1 駆動電圧を伝達する第 1 配線、及び、前記第 1 配線に隣接して画素列の方向に延び、前記第 2 駆動電圧を伝達する第 2 配線、をさらに有し、

前記第 1 配線と前記第 2 配線とが画素行ごとに交差し、

前記第 1 スイッチング素子及び前記第 2 スイッチング素子の各入力端子から延びる配線が、前記第 1 配線及び前記第 2 配線の一方と交差することなく他方に接続されている、
請求項 1 1 に記載の表示装置。

10

【請求項 1 4】

前記表示装置が、画素列の方向に延びて前記第 1 駆動電圧を伝達する第 1 配線、及び、前記第 1 配線に隣接して画素列の方向に延び、前記第 2 駆動電圧を伝達する第 2 配線、をさらに有し、

前記第 1 配線と前記第 2 配線とが互いに平行であり、

前記第 1 スイッチング素子の入力端子が前記第 1 配線と前記第 2 配線との一方に接続され、前記第 2 スイッチング素子の入力端子が前記第 1 配線と前記第 2 配線との他方に接続されている、

請求項 1 1 に記載の表示装置。

20

【請求項 1 5】

前記信号生成回路のそれぞれが、

第 1 選択電圧が印加される入力端子と、ゲート線に接続された制御端子とを含む第 1 スイッチング素子、

第 2 選択電圧が印加される入力端子と、前記ゲート線に接続された制御端子とを含む第 2 スイッチング素子、

前記第 1 スイッチング素子の出力端子に接続された制御端子、互いに異なる第 1 駆動電圧と第 2 駆動電圧との一方が印加される入力端子、及び、維持電極線に接続された出力端子を含む第 3 スイッチング素子、並びに、

前記第 2 スイッチング素子の出力端子に接続された制御端子、前記第 1 駆動電圧と前記第 2 駆動電圧との他方が印加される入力端子、及び、前記維持電極線に接続された出力端子を含む第 4 スイッチング素子、
を有する、請求項 8 に記載の表示装置。

30

【請求項 1 6】

前記第 1 選択電圧及び前記第 2 選択電圧の各レベルがフレームごとに、第 3 レベルと、前記第 3 レベルより低い第 4 レベルとの間で切り換わり、

前記第 1 選択電圧の波形が前記第 2 選択電圧の波形とは逆である、

請求項 1 5 に記載の表示装置。

【請求項 1 7】

前記表示装置が、画素列の方向に延びて前記第 1 駆動電圧を伝達する第 1 配線、及び、前記第 1 配線に隣接して画素列の方向に延び、前記第 2 駆動電圧を伝達する第 2 配線、をさらに有し、

40

前記第 1 配線と前記第 2 配線とが画素行ごとに交差し、

前記第 3 スイッチング素子及び前記第 4 スイッチング素子の各入力端子から延びる配線が、前記第 1 配線及び前記第 2 配線の一方とは交差することなく他方に接続されている、
請求項 1 5 に記載の表示装置。

【請求項 1 8】

前記維持信号生成部がシフトレジスタであり、前記維持電極線の各々に接続されている複数のステージを備えている、請求項 1 に記載の表示装置。

【請求項 1 9】

50

前記維持信号生成部の奇数番目の各ステージまたは偶数番目の各ステージが、維持信号を反転させるインバータ、をさらに有する、請求項 18 に記載の表示装置。

【請求項 20】

前記シフトレジスタが集積回路チップである、請求項 18 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、特に、その駆動装置に関する。

【背景技術】

【0002】

一般的な液晶表示装置 (liquid crystal display、LCD) は、画素電極や共通電極を備えた 2 つの表示パネルと、それらの間に挟まれている、誘電率異方性を示す液晶層とを有する。画素電極は一方の表示パネルの上にマトリックス状に配列されている。各画素電極は薄膜トランジスタ (TFT) などのスイッチング素子に接続されている。画素電極に対しては一行ずつ順番にデータ電圧が印加される。共通電極は他方の表示パネルの全面にわたって形成され、液晶層を隔てて画素電極と対向している。共通電極に対しては共通電圧が印加される。各画素電極と共通電極との間に挟まれた液晶層の部分では、データ電圧と共通電圧との間の差に応じて電界が生成される。この電界の強さを画素ごとに調節して液晶層の光透過率を画素ごとに調節することにより、表示パネルには所望の画像が表示される。

10

20

【0003】

液晶層の同じ部分に一方向の電界が長時間印加されると液晶層のその部分が劣化する。そのような劣化を防止するために、液晶表示装置では一般に、フレームごとに、画素行ごとに、画素列ごとに、または画素ごとに、共通電圧に対するデータ電圧の極性を反転させる (各反転の態様を順に、フレーム反転、行反転、列反転、点反転という)。それにより、液晶層の各部分に生成される電界の方向を適度な時間間隔で反転させると共に、その反転に伴う画面のちらつき (フリッカ) を抑えている。

【0004】

画素電極、共通電極、及びそれらの間に挟まれた液晶層の部分は回路的にはキャパシタと等価である (以下、液晶キャパシタという)。液晶キャパシタとそれに接続されたスイッチング素子との対が一つの画素を構成する基本単位となる。液晶キャパシタの静電容量は主に液晶分子の応答速度で決まる。一般に、印加された電界に対する液晶分子の応答が遅いので、液晶キャパシタの静電容量は大きい。従って、液晶キャパシタに対してデータ電圧と共通電圧とが印加され始めてから、その液晶キャパシタによって保持される電圧 (以下、“画素電圧”という) が目標電圧 (所望の輝度を得られる電圧) に到達するまでには、ある程度の時間がかかる。この時間は更に、画素電圧の初期レベル (すなわち、直前の画素電圧) と目標電圧との間の差によって変わる。特に、共通電圧に対するデータ電圧の極性を反転させる場合、画素電圧の初期レベルと目標電圧との間の差が大きいので、データ電圧と共通電圧との間の差を単に目標電圧に設定するだけでは、スイッチング素子のオン時間中には画素電圧が目標電圧には到達できないことがある。

30

40

【0005】

スイッチング素子のオン時間中に画素電圧を確実に目標電圧に到達させるための手段としては例えば、DCC (dynamic capacitance compensation) 方式が知られている。DCC 方式は、「両端間に印加される電圧が高いほど充電が速い」という液晶キャパシタの特徴を利用する。具体的には、データ電圧 (より正確にはデータ電圧と共通電圧との間の差) を目標電圧より高く設定する。それにより、画素電圧が目標電圧に、より早く到達する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

50

DCC方式を実施するにはフレームメモリとDCC演算用の駆動回路とが液晶表示装置には必要であるので、回路設計の更なる簡単化と製造コストの更なる削減とが困難である。

液晶表示装置が携帯電話などに搭載される場合は特に、液晶表示装置の消費電力の更なる削減が重要である。しかし、データ電圧の極性反転に必要な消費電力を削減することが、表示装置の解像度の向上に伴って困難になっている。特にDCC方式を実施する場合、追加された演算回路等による電力消費を抑えることが更に困難である。

【0007】

携帯電話などに搭載される中小型の液晶表示装置は一般に行反転を行う。行反転は点反転より、階調を表現するためのデータ電圧の範囲が狭い。特にVA (Vertical Alignment) モード液晶表示装置では液晶のしきい値電圧が高いので、階調表現に利用可能なデータ電圧の範囲がしきい値電圧によって更に狭められる、従って、更なる高画質化が難しい。

本発明の目的は、データ電圧の極性反転に伴う消費電力を低く抑え、階調表現に利用可能なデータ電圧の範囲を更に広げ、かつ、画素電圧を目標電圧に所定の時間内で確実に到達させ得る表示装置、を提供することにある。

【課題を解決するための手段】

【0008】

本発明による表示装置は、

ゲート信号を伝達する複数のゲート線、

ゲート線と交差し、データ電圧を伝達する複数のデータ線、

ゲート線に対して平行に延び、維持信号を伝達する複数の維持電極線、

マトリックス状に配列され、ゲート線とデータ線とに接続されている複数の画素、及び

ゲート信号のレベルの変化に従って維持信号のレベルを変化させる維持信号生成部、を有する。特に各画素でゲート信号のレベルがゲートオフ電圧まで下げられ、液晶キャパシタの充電が終わった直後に、維持信号生成部が維持信号のレベルを変化させる。好ましくは、維持信号生成部が、各画素について、データ電圧の極性が正である場合は維持信号のレベルを上げ、データ電圧の極性が負である場合は維持信号のレベルを下げる。好ましくは、維持信号生成部が維持信号のレベルを、同じフレームでは維持電極線ごとに变化させ、同じ維持電極線に対してはフレームごとに变化させる。それにより、本発明による表示装置は好ましくは行反転を行う。その場合、共通電圧は一定のレベルに維持されても良い。

【0009】

維持信号生成部は好ましくは、維持電極線の一つに維持信号を出力する信号生成回路、を複数有する。各信号生成回路は好ましくは、

第1ゲート線に接続された制御端子、駆動電圧が印加される入力端子、及び、維持電極線に接続された出力端子、を含む第1スイッチング素子、並びに、

その第1ゲート線に隣接した第2ゲート線に接続された制御端子、駆動電圧が印加される入力端子、及び、同じ維持電極線に接続された出力端子、を含む第2スイッチング素子、を有する。ここで、駆動電圧のレベルが好ましくは1水平周期ごとに、第1レベルと、第1レベルより低い第2レベルとの間で切り換わる。

【0010】

各信号生成回路はその他に、

第1ゲート線に接続された制御端子、互いに異なる第1駆動電圧と第2駆動電圧との一方が印加される入力端子、及び、維持電極線に接続された出力端子、を含む第1スイッチング素子、並びに、

その第1ゲート線に隣接した第2ゲート線に接続された制御端子、第1駆動電圧と第2駆動電圧との他方が印加される入力端子、及び、同じ維持電極線に接続された出力端子、を含む第2スイッチング素子、を有しても良い。ここで、第1駆動電圧と第2駆動電圧との各レベルは好ましくは、フレームごとに、第1レベルと、第1レベルより低い第2レベ

ルとの間で切り換わり、第1駆動電圧の波形が第2駆動電圧の波形とは逆である。各信号生成回路がそのような構成である場合、好ましくは、表示装置が、画素列の方向に延びて第1駆動電圧を伝達する第1配線、及び、第1配線に隣接して画素列の方向に延び、第2駆動電圧を伝達する第2配線、をさらに有する。更に好ましくは、第1配線と第2配線とが画素行ごとに交差し、第1スイッチング素子及び第2スイッチング素子の各入力端子から延びる配線が、第1配線及び第2配線の一方と交差することなく他方に接続されている。その他に、第1配線と第2配線とが互いに平行であり、第1スイッチング素子の入力端子が第1配線と第2配線との一方に接続され、第2スイッチング素子の入力端子が第1配線と第2配線との他方に接続されていても良い。

【0011】

10

各信号生成回路は更に上記のものとは別に、

第1選択電圧が印加される入力端子と、ゲート線に接続された制御端子とを含む第1スイッチング素子、

第2選択電圧が印加される入力端子と、同じゲート線に接続された制御端子とを含む第2スイッチング素子、

第1スイッチング素子の出力端子に接続された制御端子、互いに異なる第1駆動電圧と第2駆動電圧との一方が印加される入力端子、及び、維持電極線に接続された出力端子、を含む第3スイッチング素子、

第2スイッチング素子の出力端子に接続された制御端子、第1駆動電圧と第2駆動電圧との他方が印加される入力端子、及び、同じ維持電極線に接続された出力端子、を含む第4スイッチング素子、を有していても良い。ここで、好ましくは、第1選択電圧及び第2選択電圧の各レベルがフレームごとに、第3レベルと、第3レベルより低い第4レベルとの間で切り換わり、第1選択電圧の波形が第2選択電圧の波形とは逆である。各信号生成回路がそのような構成である場合、好ましくは、表示装置が、画素列の方向に延びて第1駆動電圧を伝達する第1配線、及び、第1配線に隣接して画素列の方向に延び、第2駆動電圧を伝達する第2配線をさらに有する。更に好ましくは、第1配線と第2配線とが画素行ごとに交差し、第3スイッチング素子及び第4スイッチング素子の各入力端子から延びる配線が、第1配線と第2配線との一方とは交差することなく他方に接続されている。

20

【発明の効果】

【0012】

30

本発明による表示装置では、維持信号生成部がゲート信号のレベルの変化に従って維持信号のレベルを変化させる。特に、各画素でゲート信号のレベルがゲートオフ電圧まで下げられ、液晶キャパシタの充電が終わった直後に、維持信号生成部が維持信号のレベルを（特にデータ電圧とは逆極性に）変化させる。そのとき、その画素では液晶キャパシタとストレージキャパシタとの間で電荷が再配置される。その再配置の結果、安定化した画素では画素電極の電圧の絶対値がデータ電圧の絶対値より増大する。こうして、データ電圧の変動可能範囲を一定に維持したまま、画素電極の実際の電圧の変動可能範囲を拡大できる。特に共通電圧を所定の電圧に固定しても、データ電圧の変動可能範囲を同一に維持したまま、画素電極の電圧と共通電圧との間の差の変動可能範囲、すなわち画素電圧の変動可能範囲を拡大できる。従って、階調表現に利用可能な画素電圧の範囲が広がるので表示装置の画質が向上する。

40

【0013】

更に、維持信号の変動範囲を十分に小さく抑えても画素電極の実際の電圧の変動可能範囲を十分に拡大できる。従って、従来の表示装置の構成で維持信号のレベルを一定に維持したままデータ電圧の変動可能範囲を拡大する場合より、必要な消費電力を削減できる。その上、共通電圧のレベルをデータ電圧の変動可能範囲の中間に固定した場合、共通電圧のレベルをそのまま一定に維持していても、維持信号のレベルの変化により、共通電圧に対するデータ電圧の極性を画素行ごとに反転できる。しかも、画素電圧の変動可能範囲を十分に広く維持できる。このように、共通電圧を一定のレベルに固定したままでも行反転を実行できるので、消費電力をさらに削減できる。

50

【 0 0 1 4 】

また、維持信号生成部が維持信号のレベルを変化させた直後から、各画素の液晶キャパシタとストレージキャパシタとの間で電荷の再配置が安定化するまでの期間では、画素電極の電圧の絶対値が安定化した状態での絶対値より更に大きい。それにより、その期間では画素電圧の絶対値が目標電圧の絶対値より大きく維持されるので、液晶の応答速度が向上する。その結果、本発明による表示装置は、画素電圧を目標電圧に所定の時間内で確実に到達させ得るので、画質が高い。

【 発明を実施するための最良の形態 】

【 0 0 1 5 】

添付した図面を参照しながら、本発明の実施形態について詳細に説明する。

10

まず、図1及び図2を参照しながら、本発明の一実施形態による液晶表示装置の構成について詳細に説明する。図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の1つの画素の構造を示す模式図である。

図1に示したように、本発明の一実施形態による液晶表示装置は、液晶表示パネルアセンブリ300、ゲート駆動部400、データ駆動部500、維持信号生成部700、階調電圧生成部800、及び、信号制御部600を有する。

【 0 0 1 6 】

液晶表示パネルアセンブリ300は、複数の信号線 $G_1 - G_n$ 、 G_d 、 $D_1 - D_m$ 、 $S_1 - S_n$ と、これに接続されてほぼマトリックス状に配列された複数の画素PXとを有する。一方、図2に示したように、液晶表示パネルアセンブリ300は、互いに対向する下部表示パネル100と上部表示パネル200、及びそれらの間に挟まれた液晶層3を有する。

20

【 0 0 1 7 】

信号線は、複数のゲート線 $G_1 - G_n$ 、 G_d 、複数のデータ線 $D_1 - D_m$ 、及び複数の維持電極線 $S_1 - S_n$ を有する。ゲート線 $G_1 - G_n$ 、 G_d はゲート信号（“ 走査信号 ” とも言う）を伝達する。ゲート線は特に、各画素PXに接続されたゲート線 $G_1 - G_n$ の他に、一本の付加ゲート線 G_d を含む。維持電極線 $S_1 - S_n$ は維持信号を伝達し、データ線 $D_1 - D_m$ はデータ電圧を伝達する。ゲート線 $G_1 - G_n$ 、 G_d と維持電極線 $S_1 - S_n$ とは画素マトリックスの行方向で、互いにほとんど平行に延びている。データ線 $D_1 - D_m$ は画素マトリックスの列方向で、互いにほぼ平行に延びている。

30

【 0 0 1 8 】

図2に示されているように、 i 番目（ $i = 1, 2, \dots, n$ ）のゲート線 G_i と、 j 番目（ $j = 1, 2, \dots, m$ ）のデータ線 D_j とに接続された画素PXは、それらの信号線 G_i 、 D_j に接続されたスイッチング素子Q、スイッチング素子Qに接続された液晶キャパシタC_{lc}、及び、スイッチング素子Qと i 番目の維持電極線 S_i とに接続されたストレージキャパシタC_{st}を有する。スイッチング素子Qは、下部表示パネル100に備えられている薄膜トランジスタなどの三端子素子である。スイッチング素子Qの制御端子はゲート線 G_i に接続され、入力端子はデータ線 D_j に接続され、出力端子は液晶キャパシタC_{lc}及びストレージキャパシタC_{st}に接続されている。液晶キャパシタC_{lc}は、下部表示パネル100の画素電極191と上部表示パネル200の共通電極270とを2つの端子とし、それら2つの電極191、270の間に挟まれた液晶層3を誘電体として機能させる。画素電極191はスイッチング素子Qに接続されている。共通電極270は上部表示パネル200の全面に形成され、共通電圧V_{com}の印加を受ける。共通電圧は一定レベルの直流電圧である。尚、図2とは異なり、共通電極が下部表示パネル100に備えられていても良い。その場合、2つの電極191、270の少なくとも1つが線状または棒状に形成されていても良い。ストレージキャパシタC_{st}は、画素電極191と維持電極線 S_i とが絶縁体を挟んで重なっている部分から構成されている。ストレージキャパシタC_{st}は液晶キャパシタC_{lc}を補助する。

40

【 0 0 1 9 】

表示パネルが色表示を実現する方式としては、各画素が基本色の1つを固有に表示する方式（空間分割方式）と、各画素が時間によって異なる基本色を交互に表示する方式（時

50

間分割方式)とがある。各画素の示す基本色の空間的分布、又は時間的变化に応じて所望の色相が表現される。基本色の例としては、赤色、緑色、青色の三原色がある。図2は空間分割方式の一例であり、各画素PXが、画素電極191に対向する上部表示パネル200の領域に基本色の1つを示す色フィルター230を備えている。図2とは異なり、色フィルターが下部表示パネル100の画素電極191の上または下に形成されていても良い。液晶表示パネルアセンブリ300には更に、偏光子(図示せず)が少なくとも1つ備えられている。

【0020】

再び、図1を参照する。

ゲート駆動部400は液晶表示パネルアセンブリ300のゲート線 $G_1 - G_n$ 、 G_d に接続されている。ゲート駆動部400は、ゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} との組み合わせから成るゲート信号をゲート線 $G_1 - G_n$ 、 G_d に対して印加する。ゲート駆動部400は好ましくは、信号線 $G_1 - G_n$ 、 G_d 、 $D_1 - D_m$ 、 $S_1 - S_n$ 、及びスイッチング素子Qと共に、液晶表示パネルアセンブリ300に集積化されている。その他に、ゲート駆動部400が、少なくとも1つの集積回路チップの形態で液晶表示パネルアセンブリ300の上に直接実装されていても良い。更にその他に、可撓性印刷回路膜(図示せず)の上に実装されてT C P (tape carrier package)の形態で液晶表示パネルアセンブリ300に連結されていても、別の印刷回路基板(図示せず)の上に実装されていても良い。

【0021】

維持信号生成部700は液晶表示パネルアセンブリ300の維持電極線 $S_1 - S_n$ とゲート線 $G_1 - G_n$ 、 G_d とに接続され、維持電極線 $S_1 - S_n$ に、高レベル電圧と低レベル電圧とから成る維持信号を印加する。尚、維持信号生成部700が、付加ゲート線 G_d を通じてゲート駆動部400から受信するゲート信号に代え、信号制御部600又は他の信号生成部から必要な信号を受信しても良い。その場合、付加ゲート線 G_d は液晶表示パネルアセンブリ300に形成されなくても良い。

維持信号生成部700は好ましくは、信号線 $G_1 - G_n$ 、 G_d 、 $D_1 - D_m$ 、 $S_1 - S_n$ 、及びスイッチング素子Qと共に液晶表示パネルアセンブリ300に集積化されている。その他に、少なくとも1つの集積回路チップの形態で液晶表示パネルアセンブリ300の上に直接実装されていても良い。更にその他に、可撓性印刷回路膜(図示せず)の上に実装されてT C Pの形態で液晶表示パネルアセンブリ300に連結されていても、別の印刷回路基板(図示せず)の上に実装されていても良い。

【0022】

階調電圧生成部800は、画素PXの透過率に対応づけられた階調電圧の全て、または特定の階調電圧(以下、“基準階調電圧”と言う)を生成する。(基準)階調電圧は好ましくは、共通電圧 V_{com} に対して正のものと負のものとを含む。

データ駆動部500は液晶表示パネルアセンブリ300のデータ線 $D_1 - D_m$ と階調電圧生成部800とに接続されている。データ駆動部500は、外部から受信されるデジタル映像信号DATに基づいて階調電圧生成部800からの階調電圧を選択し、これをデータ電圧としてデータ線 $D_1 - D_m$ に対して印加する。ここで、階調電圧生成部800が、全ての階調電圧ではなく、基準階調電圧のみを提供する場合、データ駆動部500は基準階調電圧を分圧して所望のデータ電圧を生成する。

信号制御部600は、外部から受信される入力映像信号R、G、Bや入力制御信号DE、Hsync、Vsync、MCLKに従い、ゲート駆動部400、データ駆動部500、及び維持信号生成部700などを制御する。

【0023】

データ駆動部500、信号制御部600、階調電圧生成部800の各々は好ましくは、少なくとも1つの集積回路チップの形態で液晶表示パネルアセンブリ300の上に直接実装されている。その他に、可撓性印刷回路膜(図示せず)の上に実装されてT C Pの形態で液晶表示パネルアセンブリ300に連結されていても、別の印刷回路基板(図示せず)の上に実装されても良い。更にその他に、信号線 $G_1 - G_n$ 、 $D_1 - D_m$ 、 $S_1 - S_n$ 、及びスイッチング素子Qと共に、液晶表示パネルアセンブリ300に集積化されていても良い。尚、ゲート駆動部400

、データ駆動部500、信号制御部600、維持信号生成部700、及び階調電圧生成部800が単一のチップに集積化されていても良い。その場合、それらのうちの少なくとも1つ、またはそれらを構成する回路素子の少なくとも1つが、その単一チップに外付けされていても良い。

【0024】

次に、上記の液晶表示装置の動作について詳細に説明する。

信号制御部600が外部のグラフィックコントローラ（図示せず）から、入力映像信号R、G、B、及び入力制御信号を受信する。入力映像信号R、G、Bは各画素PXの輝度情報を含む。ここで、各画素の輝度は、決められた数（例えば、 $1024 = 2^{10}$ 、 $256 = 2^8$ 、または $64 = 2^6$ ）の階調で表されている。入力制御信号の例としては、垂直同期信号Vsync、水平同期信号Hsync、メインクロック信号MCLK、データイネーブル信号DEなどがある。信号制御部600は入力映像信号R、G、Bと入力制御信号とに基づいて入力映像信号R、G、Bを液晶表示パネルアセンブリ300の動作条件に合わせて適切に処理し、デジタル映像信号DATを生成する。信号制御部600は更に入力制御信号に基づき、ゲート制御信号CONT1、データ制御信号CONT2、及び維持制御信号CONT3を生成する。ゲート制御信号CONT1はゲート駆動部400に出力され、データ制御信号CONT2とデジタル映像信号DATとはデータ駆動部500に出力され、維持制御信号CONT3は維持信号生成部700に出力される。ゲート制御信号CONT1は、走査開始を指示する走査開始信号と、ゲートオン電圧Vonの出力周期を制御するクロック信号とを含む。ゲート制御信号CONT1はまた、ゲートオン電圧Vonの持続時間を限定する出力イネーブル信号を含んでいても良い。データ制御信号CONT2は、各行の画素PXに対するデジタル映像信号DATの伝送開始を知らせる水平同期開始信号、データ線 $D_1 - D_m$ に対するデータ電圧の印加を命令するロード信号、及びデータクロック信号を含む。データ制御信号CONT2はまた、共通電圧Vcomに対するデータ電圧の極性（以下、“データ電圧の極性”と略す）の反転を指示する反転信号を含んでいても良い。

【0025】

データ制御信号CONT2に従い、データ駆動部500は、 i 番目（ $i = 1, 2, \dots, n$ ）の行の画素PXに対するデジタル映像信号DATを受信する。データ駆動部500は更に、各デジタル映像信号DATに対応する階調電圧を選択する。それにより、デジタル映像信号DATがアナログ信号であるデータ電圧に変換される。その後、データ駆動部500はデータ電圧を目標のデータ線 $D_1 - D_m$ に対して印加する。

【0026】

ゲート駆動部400はゲート制御信号CONT1に従い、 i 番目のゲート線 G_i （ $i = 1, 2, \dots, n, d$ ）に対するゲート信号のレベルをゲートオン電圧Vonに変える。それにより、そのゲート線 G_i （ $i = 1, 2, \dots, n$ ）に接続されたスイッチング素子Qが導通する（但し、付加ゲート線 G_d にはスイッチング素子Qが接続されていないので、 $i \neq d$ ）。そのとき、データ線 $D_1 - D_m$ に対して印加されたデータ電圧が、導通したスイッチング素子Qを通じて i 番目（ $i = 1, 2, \dots, n, i \neq d$ ）の行の画素PXに対して印加される。

【0027】

ゲート駆動部400はゲートオン電圧Vonを1水平周期（“1H”とも言い、水平同期信号Hsync及びデータイネーブル信号DEの一周期に等しい）の間、維持する。その後、データ駆動部500が（ $i + 1$ ）番目（ $i = 1, 2, \dots, n$ 。ここで、 $n + 1 = d$ とする）の行の画素PXに対するデータ電圧をデータ線 $D_1 - D_m$ に対して印加する。ゲート駆動部400はそのとき、まず、 i 番目のゲート線 G_i に対して印加されるゲート信号のレベルをゲートオフ電圧Voffに変え、次に、（ $i + 1$ ）番目のゲート線 G_{i+1} に対するゲート信号のレベルをゲートオン電圧Vonに変える。その結果、 i 番目の画素行ではスイッチング素子Qが遮断され、画素電極191がフローティング状態となる。

【0028】

維持信号生成部700は、維持制御信号CONT3と、各ゲート線に対して印加されたゲート信号のレベルの変化とに従い、各維持電極線に対して印加される維持信号のレベルを変える。特に後述のように、画素電極191がデータ電圧の印加を受けている期間とフローティン

10

20

30

40

50

グ状態に維持されている期間との間で、維持信号のレベルが変化する。それにより、各画素行ではストレージキャパシタCstの一端子である維持電極の電圧が変化するので、その変化に応じて画素電極191の電圧が変化する（後述参照）。

【0029】

画素PXに対するゲート信号のレベルがゲートオン電圧Vonに維持されている間、その画素PXに対するデータ電圧の印加が継続され、その画素PXの液晶キャパシタC_{lc}とストレージキャパシタCstとが充電される。その画素PXに対するゲート信号のレベルがゲートオフ電圧V_{off}に切り換えられたとき、液晶キャパシタC_{lc}の両端電圧、つまり、画素電圧は、その画素PXに対して印加されたデータ電圧と共通電圧V_{com}との間の差にほぼ等しい。その画素電圧は次のフレームまではほぼ同じレベルを維持する。それにより、各画素PXでは、液晶層3が画素電圧のレベルに対応する配向状態で安定化する。そのとき、液晶層3を通過する光はその液晶層3の配向状態に応じて偏光方向を変化させる。この偏光方向の変化が偏光子によって画素PXの透過率の変化として現れる。こうして、各画素PXが、デジタル映像信号DATの示す階調に応じた輝度で光る。

10

【0030】

以上の過程が全ての画素行に対して繰り返される。それにより、液晶表示装置は1つのフレームの映像を画面に表示する。1つのフレームが終わると次のフレームが始まる。そのとき、データ駆動部500に対して印加される反転信号の状態が制御され、各画素PXに対して印加されるデータ電圧の極性が直前のフレームにおける極性とは反対になる（“フレーム反転”）。また、各画素行ではデータ電圧の極性が全て同一であり、隣接した2つの画素行の間ではデータ電圧の極性が反対である（“行反転”）。

20

【0031】

本発明の上記の実施形態による液晶表示装置は更に、画素電極191に対して正極性のデータ電圧が印加された画素に対しては維持信号のレベルを上げ、画素電極191に対して負極性のデータ電圧が印加された画素に対しては維持信号のレベルを下げる（後述参照）。それにより、正極性のデータ電圧が印加された画素電極191ではその電圧がさらに上がり、負極性のデータ電圧が印加された画素電極191ではその電圧がさらに下がる。従って、画素電極191の電圧の変動可能範囲はデータ電圧の変動可能範囲（すなわち、全ての階調電圧を含む範囲）より広い。その結果、画素の輝度をより広い範囲で表現できる。

【0032】

維持信号生成部700は好ましくは、維持電極線S₁ - S_nの各々に接続された複数の信号生成回路を有する。この信号生成回路群の一例について、図3及び図4を参照しながら詳細に説明する。図3は本発明の一実施形態による信号生成回路の一例を示す回路図であり、図4は、図3に示した信号生成回路で使用される各信号のタイミング図である。

30

【0033】

図3に示したように、各信号生成回路ST_i（i = 1、2、...、n）は入力端IPと出力端OPとを含む。i番目の信号生成回路ST_iでは、入力端IPはi番目のゲート線G_iに接続されてi番目のゲート信号g_iを受信し、出力端OPはi番目の維持電極線S_iに接続されてi番目の維持信号V_{s_i}を出力する。

【0034】

各信号生成回路ST_iは更に、共通の配線SLを通じ、維持制御信号CONT3に含まれる駆動電圧V_{SL}を受ける。図4に示したように、駆動電圧V_{SL}のレベルは高レベル電圧V₊と低レベル電圧V₋との間で切り換わる。駆動電圧V_{SL}の周期は水平周期の約2倍（約2H）であり、デューティ比は約50%である。駆動電圧V_{SL}の波形はフレームごとに（上下方向で）反転する。好ましくは、高レベル電圧V₊が約5Vであり、低レベル電圧V₋が約0Vである。

40

【0035】

図3に示したように、各信号生成回路ST_iは好ましくは、2つのトランジスタTr1、Tr2をスイッチング素子として利用する。2つのトランジスタTr1、Tr2の入力端子に対しては同じ駆動電圧V_{SL}が印加される。各トランジスタTr1、Tr2の出力端子はいずれも出力端OPに接続されている。第1トランジスタTr1の制御端子は入力端IPに接続され、第2トランジ

50

スタTr2の制御端子は次段（すなわち、 $(i+1)$ 番目）の信号発生回路 ST_{i+1} の入力端IPに接続されている。各トランジスタTr1、Tr2は好ましくは、非晶質シリコンまたは多結晶シリコンを含む薄膜トランジスタである。

尚、 n 番目の信号生成回路 ST_n では好ましくは、第2トランジスタTr2の制御端子が付加ゲート線 G_d に接続され、ゲート駆動部400からゲート信号を受信する。その他に、 n 番目の信号生成回路 ST_n では第2トランジスタTr2の制御端子が、信号制御部600など、ゲート駆動部400とは別の信号生成部や外部から制御信号を受信しても良い。

【0036】

これらの信号生成回路群 $ST_1 - ST_n$ の動作について、図3、4を参照しながら説明する。尚、各信号生成回路 ST_i はいずれも内部の構造が共通であり、同様な動作を行う。従って、以下の説明では、図3に示されている i 番目の信号生成回路 ST_i の動作と $(i+1)$ 番目の信号生成回路 ST_{i+1} の動作とを例に挙げる。 i 番目の信号生成回路 ST_i は i 番目の維持電極線 S_i に対して i 番目の維持信号 V_{S_i} を印加する。 $(i+1)$ 番目の信号生成回路 ST_{i+1} は $(i+1)$ 番目の維持電極線 S_{i+1} に対して $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ を印加する。

【0037】

i 番目のゲート線 G_i に対して印加される i 番目のゲート信号 g_i のレベルがゲートオン電圧 V_{on} に切り換わると、 i 番目の信号生成回路 ST_i の第1トランジスタTr1が導通する。それと同時に、駆動電圧 V_{SL} のレベルが低レベル電圧 V_- に切り換わる。従って、導通した第1トランジスタTr1を通じて低レベル電圧 V_- が i 番目の信号生成回路 ST_i の出力端OPに対して印加される。すなわち、 i 番目の維持信号 V_{S_i} のレベルが低レベル電圧 V_- に維持される。一方、 $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ のレベルは直前の高レベル電圧 V_+ に維持される。

【0038】

約1水平周期1Hが経過すると、 i 番目のゲート信号 g_i のレベルがゲートオフ電圧 V_{off} に切り換わるので、 i 番目の信号生成回路 ST_i の第1トランジスタTr1が遮断される。続いて、 $(i+1)$ 番目のゲート線 G_{i+1} に対して印加される $(i+1)$ 番目のゲート信号 g_{i+1} のレベルがゲートオン電圧 V_{on} に切り換わる。それにより、 i 番目の信号生成回路 ST_i の第2トランジスタTr2が導通する。それと同時に、駆動電圧 V_{SL} のレベルが高レベル電圧 V_+ に切り換わる。従って、導通した第2トランジスタTr2を通じて高レベル電圧 V_+ が出力端OPに対して印加される。すなわち、 i 番目の維持信号 V_{S_i} のレベルが高レベル電圧 V_+ に切り換わる。こうして、 i 番目のゲート線 G_i に接続された画素行では、ゲートオン電圧 V_{on} の印加に伴う液晶キャパシタの充電がゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} への切り換えによって完了した直後に、維持信号 V_{S_i} のレベルが低レベル電圧 V_- から高レベル電圧 V_+ に切り換わる。

【0039】

一方、 $(i+1)$ 番目の信号生成回路 ST_{i+1} の第1トランジスタTr1が導通するので、高レベル電圧 V_+ が $(i+1)$ 番目の信号生成回路 ST_{i+1} の出力端OPに対して印加される。すなわち、 $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ のレベルが高レベル電圧 V_+ に維持される。

【0040】

再び、約1水平周期1Hが経過すると、 $(i+1)$ 番目のゲート信号 g_{i+1} のレベルがゲートオフ電圧 V_{off} に切り換わるので、 $(i+1)$ 番目の信号生成回路 ST_{i+1} の第1トランジスタTr1が遮断される。続いて、 $(i+2)$ 番目のゲート線 G_{i+2} に対して印加される $(i+2)$ 番目のゲート信号 g_{i+2} のレベルがゲートオン電圧 V_{on} に切り換わると、 $(i+1)$ 番目の信号生成回路 ST_{i+1} の第2トランジスタTr2が導通する。それと同時に、駆動電圧 V_{SL} のレベルが低レベル電圧 V_- に切り換わる。従って、導通した第2トランジスタTr2を通じて低レベル電圧 V_- が出力端OPに対して印加される。すなわち、 $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ のレベルが低レベル電圧 V_- に切り換わる。こうして、 $(i+1)$ 番目のゲート線 G_{i+1} に接続された画素行では、ゲートオン電圧 V_{on} の印加に伴う液晶キャパシタの充電がゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} への切り換えによって完了した直後に、維持信号 $V_{S_{i+1}}$ のレベルが高レベル電圧 V_+ から低レベル電圧 V_- に切り換わる。

【0041】

以上のような維持信号 V_{Si} のレベルの変化は画素電極の電圧 V_p を以下に示すように変化させる（図2参照）。

ゲート信号のレベルがゲートオン電圧 V_{on} に維持される約1水平周期1Hの間、各画素では、データ線 D_j から導通状態のスイッチング素子 Q を通して画素電極191に対し、データ電圧 V_D が印加される。続いて、ゲート信号のレベルがゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換わると、各画素ではスイッチング素子 Q の遮断により画素電極191がフローティング状態になる。そのとき、同じ画素に含まれる液晶キャパシタ C_{lc} とストレージキャパシタ C_{st} との間で電荷の再配置が生じる。その再配置によって液晶キャパシタ C_{lc} が安定化すると、画素電極191の電圧 V_p が次式（1）に示されているように、データ電圧 V_D とは異なるレベルになる：

10

【0042】

$$V_p = V_D + \Delta = V_D \pm \{C_{st} / (C_{st} + C_{lc})\} (V_+ - V_-) \quad (1)$$

【0043】

ここで、 C_{lc} は液晶キャパシタ C_{lc} の静電容量を示し、 C_{st} はストレージキャパシタ C_{st} の静電容量を示す。 V_+ は維持信号 V_{Si} の高レベル電圧であり、 V_- は維持信号 V_{Si} の低レベル電圧である。式(1)から分かるように、画素電極の電圧 V_p はデータ電圧 V_D から変化量 Δ だけ外れている。この変化量 Δ は特に、液晶キャパシタ C_{lc} とストレージキャパシタ C_{st} との間の静電容量比、及び維持信号 V_{Si} のレベルの変化量によって決まる。更に、その変化量 Δ の極性はデータ電圧 V_D の極性と一致している。

【0044】

20

例えば、データ電圧 V_D の変動可能範囲が約0V～5Vに設定され、液晶キャパシタ C_{st} とストレージキャパシタ C_{lc} との静電容量が互いに同一であるように画素が設計され、かつ維持信号 V_{Si} のレベルの変化量 $V_+ - V_-$ が5Vに設定されている場合、式(1)により、液晶キャパシタ C_{lc} が安定化したときの画素電極191の電圧 V_p はデータ電圧 V_D から変化量 $\Delta = \pm 2.5V$ だけ外れている。特に、データ電圧 V_D が正極性である場合、変化量 Δ が $+2.5V$ であり、負極性である場合、 $-2.5V$ である。従って、画素電極191の電圧 V_p の変動可能範囲がデータ電圧 V_D の変動可能範囲より上下共に2.5Vずつ拡大する。それに伴い、画素電圧の変動可能範囲もやはり拡大する。例えば、共通電圧 V_{com} のレベルが約 $+2.5V$ に固定されている場合、もし変化量 Δ が存在しなければ、画素電圧はデータ電圧 V_D と共通電圧 V_{com} との間の差にほぼ等しいので、画素電圧の変動可能範囲は約 $-2.5V \sim$ 約 $+2.5V$ に留まる。しかし、実際には変化量 $\Delta = \pm 2.5V$ が存在するので、画素電圧の変動可能範囲が約 $-5V \sim$ 約 $+5V$ にまで広がる。

30

【0045】

このように、維持信号の電圧変化（ $V_+ - V_-$ ）によって画素電圧の変動可能範囲が変化量 Δ の2倍に等しい幅だけ広がるので、階調表現の精細度や輝度が向上する。また、共通電圧 V_{com} を一定レベルに固定しても画素電圧の極性を反転させることが可能であるので、共通電圧 V_{com} の極性を反転させる従来の表示装置より消費電力が低減する。具体的には、例えば共通電圧 V_{com} のレベルが約0Vと5Vとの間で切り換わる従来の表示装置では、データ線と共通電極との間の寄生キャパシタに対して印加される電圧の範囲が約 $\pm 5V$ である。一方、本発明の上記の実施形態による表示装置で共通電圧 V_{com} のレベルが約2.5Vに固定されている場合、データ線と共通電極との間の寄生キャパシタに対して印加される電圧の範囲が約 $\pm 2.5V$ まで低減する。従って、その寄生キャパシタで消費される電力が低減するので、液晶表示装置の消費電力が低減する。

40

【0046】

ゲート信号のレベルがゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に切り換わった直後に生じる電荷の再配置が完了し、液晶キャパシタ C_{lc} が安定化した状態では、画素電極191の電圧 V_p が上記の式(1)で表される。しかし、液晶の応答は遅いので、データ電圧の変化に反応して液晶分子の配向状態が再整列を開始した時点から、その配向状態が再び安定化した時点までの間に、液晶キャパシタ C_{lc} の静電容量が実際には変化する。従って、画素電極の電圧 V_p が式(1)で表されるレベルに到達するまでには、ある程度の時間が必要であ

50

る。

【 0 0 4 7 】

データ電圧の変化に反応して液晶分子の配向状態が再整列を開始した時点と、その配向状態が再び安定化した時点との間では、液晶キャパシタC_{lc}の静電容量の変化により、画素電極の電圧V_pが次のように異なる。

データ電圧が変化した直後では液晶分子が直前の配向状態を維持するので、液晶キャパシタC_{lc}の静電容量がしばらくの間、変動しない。例えば、あるフレームで最低の階調（ノーマリーブラックである場合、ブラック階調）に対応するデータ電圧が印加された液晶キャパシタC_{lc}に対し、次のフレームでは別の階調に対応するデータ電圧が印加される場合を想定する。その場合、液晶分子の配向状態が安定化するまでは液晶キャパシタC_{lc}の静電容量が小さく、特に、最低の階調（ノーマリーブラックである場合、ブラック階調）に対応するデータ電圧の印加後に液晶分子の配向状態が安定化した時点での液晶キャパシタC_{lc}の静電容量C_{min}とほぼ等しい。一方、次のフレームではデータ電圧に対応する階調が高いほど、液晶分子の配向状態が再び安定化した時点での液晶キャパシタC_{lc}の静電容量C_{lc}が大きい。

10

【 0 0 4 8 】

例えば、次のフレームでのデータ電圧が最高の階調（ノーマリーブラックである場合、ホワイト階調）に対応する場合、「その印加直後での液晶キャパシタC_{lc}の静電容量C_{min}が、液晶分子の配向状態が再び安定化した時点での液晶キャパシタC_{lc}の静電容量C_{lc}の約1/3倍である：C_{min}=C_{lc}/3」と仮定する。更に、維持信号の電圧変化V₊-V₋を5Vとし、ストレージキャパシタC_{st}の静電容量C_{st}を、液晶分子の配向状態が再び安定化した時点での液晶キャパシタC_{lc}の静電容量C_{lc}と等しく設定する：C_{st}=C_{lc}。

20

【 0 0 4 9 】

最高の階調に対応するデータ電圧が液晶キャパシタC_{lc}に対して印加された後、液晶分子の配向状態が再び安定化すると、画素電極の電圧V_pは上記の式(1)で与えられる。特に、V₊-V₋=5Vであり、かつC_{lc}=C_{st}であるので、式(1)から画素電極の電圧V_pはV_D±2.5[V]に等しい。

一方、データ電圧が液晶キャパシタC_{lc}に対して印加された直後では、液晶キャパシタC_{lc}の静電容量がC_{min}=C_{lc}/3=C_{st}/3であるので、画素電極の電圧V_pは次式(2)で与えられる：

30

【 0 0 5 0 】

$$\begin{aligned} V_p &= V_D + \Delta = V_D \pm \{C_{st} / (C_{st} + C_{min})\} (V_+ - V_-) \\ &= V_D \pm \{C_{st} / (C_{st} + C_{st} / 3)\} (V_+ - V_-) = V_D \pm (3/4) (V_+ - V_-). \end{aligned} \quad (2)$$

【 0 0 5 1 】

特にV₊-V₋=5Vであるので、画素電極の電圧V_pはV_D±3.75[V]に等しい。すなわち、最高の階調に対応するデータ電圧が液晶キャパシタC_{lc}に対して印加された直後では液晶分子が直前のフレームでの配向状態を維持するので、維持信号の電圧変化V₊-V₋による画素電極の電圧V_pの変化量Δが±3.75Vであり、配向状態が安定化した時点でのΔ=±2.5Vより増加する。

【 0 0 5 2 】

40

以上のように、画素の輝度を直前のフレームでの階調から上昇させる場合、データ電圧を切り換えた直後から液晶分子の配向状態が再び安定化するまでは、維持信号の電圧変化V₊-V₋による画素電極の電圧V_pの変化量Δ（の絶対値）がさらに増加する。この作用は、次のように液晶の実際の応答速度を向上させる。

従来技術では、例えば図10に示したように、あるフレームF1の最初の1水平周期で画素電極の電圧V_pを目標レベルV_tに一致させても、スイッチング素子の遮断により画素電極がフローティング状態になると、画素電極の電圧V_pが（その画素に隣接する別の画素に対するデータ電圧などの影響によって）目標レベルV_tから徐々に外れる。その結果、そのフレームF1の間だけでは画素電極の電圧V_pが目標レベルV_tには到達しない。図10では2番目のフレームF2と3番目のフレームF3とで画素電極の電圧V_pが目標レベルV_tに戻されることに

50

より、画素電極の電圧 V_p が目標レベル V_t にほぼ等しく維持され、それにより、画素の透過率 R_c が目標レベル R_t にほぼ到達する。

それに対し、本発明の実施形態では、図9に示したように、あるフレームF1の最初の1水平周期で画素電極の電圧 V_p が目標レベル V_t より、上記の変化量 Δ だけ高い。その結果、そのフレームF1の間に画素電極の電圧 V_p が目標レベル V_t に到達し、画素の透過率 R_c が目標レベル R_t に到達する。こうして、本発明の実施形態は従来技術より、液晶の実際の応答速度が向上する。

【0053】

次に、図5A、図5B、図6を参照しながら、本発明の一実施形態による信号生成回路の他の例について説明する。尚、図5A、図5B、図6では、図3、4に示されている構成要素等と同様な構成要素等に対しては図3、4に示されている符号と同じ符号を付与する。更に、それら同様な構成要素の詳細については、図3、4に関する上記の説明を援用する。

【0054】

図5A/図5Bに示した各信号生成回路 STA_i / STB_i ($i = 1, 2, \dots, n$) は一対のトランジスタ Tr_{11} 、 Tr_{12} を有する。それらのトランジスタは好ましくは非晶質シリコンまたは多結晶シリコンを含む薄膜トランジスタである。図3に示した信号生成回路とは異なり、図5A/図5Bに示した各信号生成回路 STA_i / STB_i では、各トランジスタ Tr_{11} 、 Tr_{12} が異なる配線 SL_1 / SL_{1a} 、 SL_2 / SL_{2a} に接続され、各配線を通じて異なる駆動電圧 V_{SL1} 、 V_{SL2} を受ける。ここで、それらの駆動電圧 V_{SL1} 、 V_{SL2} はいずれも維持制御信号 $CONT3$ に含まれている。図6に示したように、各駆動電圧 V_{SL1} 、 V_{SL2} のレベルは低レベル電圧 V^- と高レベル電圧 V^+ との間で切り換わる。2つの駆動電圧 V_{SL1} 、 V_{SL2} の間には約 180° の位相差があり、すなわち、波形が互いに反転している。各駆動電圧 V_{SL1} 、 V_{SL2} の波形は更に、フレームごとに反転する。特にその波形の反転は、直前のフレームから次のフレームへ移行する間のブランク期間に行われる。従って、各フレームの有効表示期間では、各駆動電圧 V_{SL1} 、 V_{SL2} のレベルが一定に維持される。好ましくは、駆動電圧 V_{SL1} 、 V_{SL2} の低レベル電圧 V^- は約0Vであり、高レベル電圧 V^+ は約5Vである。

【0055】

図5Aに示した各信号生成回路 STA_i 、 STA_{i+1} の結線は、各トランジスタ Tr_{11} 、 Tr_{12} 、 Tr_{21} 、 Tr_{22} の入力端子、第1配線 SL_1 、及び第2配線 SL_2 の間の結線を除き、図3に示した結線と同様である。二つの配線 SL_1 、 SL_2 は画素列の方向に延び、画素行ごとに交差して行方向での互いの位置を交換している。各トランジスタ Tr_{11} 、 Tr_{21} 、 Tr_{12} 、 Tr_{22} の入力端子は直近の配線 SL_1 、 SL_2 に接続されている。それにより、 i 番目の信号生成回路 STA_i では、第1トランジスタ Tr_{11} の入力端子から延びる配線が第2配線 SL_2 と交差することなく第1配線 SL_1 に接続され、第2トランジスタ Tr_{12} の入力端子から延びる配線が第1配線 SL_1 と交差することなく第2配線 SL_2 に接続されている。従って、第1トランジスタ Tr_{11} の入力端子に対しては第1駆動電圧 V_{SL1} が印加され、第2トランジスタ Tr_{12} の入力端子に対しては第2駆動電圧 V_{SL2} が印加される。 $(i+1)$ 番目の信号生成回路 STA_{i+1} では逆に、第1トランジスタ Tr_{21} の入力端子から延びる配線が第1配線 SL_1 と交差することなく第2配線 SL_2 に接続され、第2トランジスタ Tr_{22} の入力端子から延びる配線が第2配線 SL_2 と交差することなく第1配線 SL_1 に接続されている。従って、第1トランジスタ Tr_{21} の入力端子に対しては第2駆動電圧 V_{SL2} が印加され、第2トランジスタ Tr_{22} の入力端子に対しては第1駆動電圧 V_{SL1} が印加される。こうして、2つの駆動電圧 V_{SL1} 、 V_{SL2} が維持電極線 S_i ごとに交互に印加される。更に、各信号生成回路 STA_i 、 STA_{i+1} の第2トランジスタ Tr_{12} の制御端子が後段の信号生成回路 STA_{i+1} 、 STA_{i+2} の入力端 IP に接続され、すなわち、次のゲート線 G_{i+1} 、 G_{i+2} に接続されている(n 番目の信号生成回路 STA_n の第2トランジスタの制御端子は付加ゲート線 G_d に接続されている)。

【0056】

図5Bに示した各信号生成回路 STB_i 、 STB_{i+1} の結線は、各トランジスタ Tr_{11} 、 Tr_{12} 、 Tr_{21} 、 Tr_{22} の入力端子、第1配線 SL_{1a} 、及び第2配線 SL_{2a} の間の結線を除き、図3に示した結線と同様である。二つの配線 SL_{1a} 、 SL_{2a} は、図5Aに示した二つの配線 SL_1 、 SL_2 とは異な

10

20

30

40

50

り、画素列の方向に互いに平行に延びている。 i 番目の信号生成回路 STB_i では、第1トランジスタ $Tr11$ の入力端子から延びる配線が第1配線 $SL1a$ に接続され、第2トランジスタ $Tr12$ の入力端子から延びる配線が第1配線 $SL1a$ と交差して第2配線 $SL2a$ に接続されている。それにより、第1トランジスタ $Tr11$ の入力端子に対しては第1駆動電圧 V_{SL1} が印加され、第2トランジスタ $Tr12$ の入力端子に対しては第2駆動電圧 V_{SL2} が印加される。 $(i+1)$ 番目の信号生成回路 STB_{i+1} では逆に、第1トランジスタ $Tr21$ の入力端子から延びる配線が第1配線 $SL1a$ と交差して第2配線 $SL2a$ に接続され、第2トランジスタ $Tr22$ の入力端子から延びる配線が第1配線 $SL1a$ に接続されている。それにより、第1トランジスタ $Tr21$ の入力端子に対しては第2駆動電圧 V_{SL2} が印加され、第2トランジスタ $Tr22$ の入力端子に対しては第1駆動電圧 V_{SL1} が印加される。こうして、2つの駆動電圧 V_{SL1} 、 V_{SL2} が維持電極線 S_i 10
ごとに交互に印加される。更に、各信号生成回路 STB_i 、 STB_{i+1} の第2トランジスタ $Tr12$ 、 $Tr22$ の制御端子が後段の信号生成回路 STB_{i+1} 、 STB_{i+2} の入力端 IP に接続され、すなわち、同じゲート線 G_{i+1} 、 G_{i+2} に接続されている(n 番目の信号生成回路 STA_n の第2トランジスタの制御端子は付加ゲート線 G_d に接続されている)。

【0057】

図5Aに示した信号生成回路 STA_i 、 STA_{i+1} と、図5Bに示した信号生成回路 STB_i 、 STB_{i+1} とでは動作が互いに同一である。以下、 i 番目の信号生成回路 STX_i ($X=A, B$)、及び $(i+1)$ 番目の信号生成回路 STX_{i+1} の各動作について、図6を参照しながら説明する。 i 番目の信号生成回路 STX_i は i 番目の維持電極線 S_i に対して i 番目の維持信号 V_{S_i} を印加する。 $(i+1)$ 番目の信号生成回路 STX_{i+1} は $(i+1)$ 番目の維持電極線 S_{i+1} に対して $(i+1)$ 番 20
目の維持信号 $V_{S_{i+1}}$ を印加する。

【0058】

i 番目のゲート線 G_i に対して印加される i 番目のゲート信号 g_i のレベルがゲートオン電圧 V_{on} に切り換わると、 i 番目の信号生成回路 STX_i の第1トランジスタ $Tr11$ が導通する。そのとき、第1駆動電圧 V_{SL1} のレベルは低レベル電圧 $V-$ に維持され、第2駆動電圧 V_{SL2} のレベルは高レベル電圧 $V+$ に維持されている。従って、導通した第1トランジスタ $Tr11$ を通じ、低レベル電圧 $V-$ に等しい第1駆動電圧 V_{SL1} が i 番目の信号生成回路 STX_i の出力端 OP に伝達される。すなわち、 i 番目の維持信号 V_{S_i} のレベルが低レベル電圧 $V-$ に維持される。一方、 $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ のレベルは直前の高レベル電圧 $V+$ に維持される。

【0059】

約1水平周期 $1H$ が経過すると、 i 番目のゲート信号 g_i のレベルがゲートオフ電圧 V_{off} に切り換わるので、 i 番目の信号生成回路 STX_i の第1トランジスタ $Tr11$ が遮断される。続いて、 $(i+1)$ 番目のゲート信号 g_{i+1} のレベルがゲートオン電圧 V_{on} に切り換わる。それにより、 i 番目の信号生成回路 STX_i の第2トランジスタ $Tr12$ が導通するので、第2トランジスタ $Tr12$ を通じ、高レベル電圧 $V+$ に等しい第2駆動電圧 V_{SL2} が i 番目の信号生成回路 STX_i の出力端 OP に対して印加される。すなわち、 i 番目の維持信号 V_{S_i} のレベルが高レベル電圧 $V+$ に切り換わる。こうして、 i 番目のゲート線 G_i に接続された画素行では、ゲートオン電圧 V_{on} の印加に伴う液晶キャパシタの充電がゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} への切り換えによって完了した直後に、維持信号 V_{S_i} のレベルが低レベル電圧 $V-$ から高レベル電圧 $V+$ に切り換わる。それにより、画素電極の電圧 V_p が、式(1)または式(2)で表され 40
るように、データ電圧 V_D より変化量 Δ だけ上昇する。

【0060】

一方、 $(i+1)$ 番目の信号生成回路 STX_{i+1} の第1トランジスタ $Tr21$ が導通するので、高レベル電圧 $V+$ に等しい第2駆動電圧 V_{SL2} が $(i+1)$ 番目の信号生成回路 STX_{i+1} の出力端 OP に対して印加される。すなわち、 $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ のレベルが高レベル電圧 $V+$ に維持される。

【0061】

再び、約1水平周期 $1H$ が経過すると、 $(i+1)$ 番目のゲート信号 g_{i+1} のレベルがゲートオフ電圧 V_{off} に切り換わるので、 $(i+1)$ 番目の信号生成回路 STX_{i+1} の第1トランジスタ $Tr21$ が遮断される。続いて、 $(i+2)$ 番目のゲート信号 g_{i+2} のレベルがゲートオン電 50

圧 V_{on} に切り換わると、 $(i+1)$ 番目の信号生成回路 STX_{i+1} の第2トランジスタ $Tr22$ が導通する。それにより、低レベル電圧 V_- に等しい第1駆動電圧 V_{SL1} が $(i+1)$ 番目の信号生成回路 STX_{i+1} の出力端 OP に対して印加される。すなわち、 $(i+1)$ 番目の維持信号 V_{Si+1} のレベルが低レベル電圧 V_- に切り換わる。こうして、 $(i+1)$ 番目のゲート線 G_{i+1} に接続された画素行では、ゲートオン電圧 V_{on} の印加に伴う液晶キャパシタの充電がゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} への切り換えによって完了した直後に、維持信号 V_{Si+1} のレベルが高レベル電圧 V_+ から低レベル電圧 V_- に切り換わる。それにより、画素電極の電圧 V_p が、式(1)または式(2)で表されるように、データ電圧 V_D から変化量 Δ だけ下降する。

【0062】

10

図3及び図4では、駆動電圧 V_{SL} の極性が約1水平周期 $1H$ ごとに反転するのに対し、図5A～図6では、各駆動電圧 V_{SL1} 、 V_{SL2} の極性がフレームごとに反転する。すなわち、図3の信号生成回路と比べ、図5A及び図5Bに示した信号生成回路は駆動電圧の周波数が低い。従って、駆動電圧が更に安定化し、消費電力が低減する。

【0063】

次に、図7を参照しながら、本発明の一実施形態による信号生成回路の更に他の例について説明する。

図7に示した各信号生成回路は、図5Aに示した各信号生成回路と同様に、入力端 IP と出力端 OP とを備えている。しかし、図5Aに示した信号生成回路とは異なり、 i 番目の信号生成回路 STC_i ($i=1, 2, \dots, n$)の入力端 IP が $(i+1)$ 番目のゲート線 G_{i+1} に接続され、 $(i+1)$ 番目のゲート信号 g_{i+1} を受信する(尚、 $n+1=d$ とする)。一方、出力端 OP が i 番目の維持電極線 S_i に接続され、 i 番目の維持信号 V_{Si} を出力する。

20

【0064】

各信号生成回路 STC_i は信号制御部600から、維持制御信号 $CONT3$ に含まれている二つの駆動電圧 V_{SL1a} 、 V_{SL2a} 、及び二つの選択電圧 V_{SEL} 、 V_{SELB} のそれぞれを、異なる配線 $SL1$ 、 $SL2$ 、 $SEL1$ 、及び $SEL2$ を通じて受ける。第1駆動配線 $SL1$ と第2駆動配線 $SL2$ とは好ましくは図7に示されているように、図5Aに示した配線 $SL1$ 、 $SL2$ と同様、画素列の方向に延び、画素行ごとに交差して行方向での互いの位置を交換している。その他に、駆動配線 $SL1$ 、 $SL2$ に代え、図5Bに示した配線 $SL1a$ 、 $SL2a$ と同様な駆動配線が駆動電圧 V_{SL1a} 、 V_{SL2a} を伝達しても良い。第1選択配線 $SEL1$ と第2選択配線 $SEL2$ とは互いにほぼ平行に、画素列の方向に延びている。第1選択配線 $SEL1$ は好ましくは図7に示されているように、画素行ごとに行方向に湾曲し、各信号生成回路 STC_i の第2トランジスタ $Tr12A$ 、 $Tr22A$ を迂回している。その他に、第1選択配線 $SEL1$ が第2選択配線 $SEL2$ と同様に、列方向に真っ直ぐ延びていても良い。

30

【0065】

図8に示したように、各駆動電圧 V_{SL1a} 、 V_{SL2a} は一定レベルの直流電圧である。第1駆動電圧 V_{SL1a} は低レベル電圧 V_- (好ましくは約0V)に維持され、第2駆動電圧 V_{SL2a} は高レベル電圧 V_+ (好ましくは約5V)に維持される。各選択電圧 V_{SEL} 、 V_{SELB} のレベルは低レベル電圧 V_L と高レベル電圧 V_h との間で切り換わる。好ましくは、低レベル電圧 V_L はゲートオフ電圧 V_{off} に等しく、高レベル電圧 V_h はゲートオン電圧 V_{on} に等しい。二つの選択電圧 V_{SEL} 、 V_{SELB} の間には約 180° の位相差があり、すなわち、波形が互いに反転している。各選択電圧 V_{SEL} 、 V_{SELB} の波形は更に、フレームごとに反転する。特にその波形の反転が、直前のフレームから次のフレームへ移行する間のブランク期間に行われる。従って、各フレームの有効表示期間では、各選択電圧 V_{SEL} 、 V_{SELB} のレベルが一定に維持される。

40

【0066】

図7に示したように、各信号生成回路 STC_i は4つのトランジスタ $Tr11A$ 、 $Tr12A$ 、 $Tr13$ 、 $Tr14$ と2つのキャパシタ $C1$ 、 $C2$ とを有する。各トランジスタ $Tr11A$ 、 $Tr12A$ 、 $Tr13$ 、 $Tr14$ は好ましくは、非晶質シリコンまたは多結晶シリコンを含む薄膜トランジスタである。第1トランジスタ $Tr11A$ の入力端子は第1選択配線 $SEL1$ に接続され、第1選択電圧 V_{SEL} を受ける。第2トランジスタ $Tr12A$ の入力端子は第2選択配線 $SEL2$ に接続され、第2選択電圧 V_{SE}

50

L_B を受ける。第1トランジスタTr11Aと第2トランジスタTr12Aとの各制御端子はいずれも同じ入力端IPに接続され、 $(i+1)$ 番目のゲート信号 g_{i+1} を受信する。第1トランジスタTr11Aの出力端子は第3トランジスタTr13の制御端子に接続され、第2トランジスタTr12Aの制御端子は第4トランジスタTr14の制御端子に接続されている。

【0067】

各信号生成回路STC_iでは、第3トランジスタTr13と第4トランジスタTr14との各入力端子が好ましくは直近の駆動配線に接続されている。例えば図7に示されているように、 i 番目の信号生成回路STC_iでは、第3トランジスタTr13の入力端子が第1駆動配線SL1に接続されて第1駆動電圧 V_{SL1a} を受け、第4トランジスタTr14の入力端子が第2駆動配線SL1に接続されて第2駆動電圧 V_{SL2a} を受ける。 $(i+1)$ 番目の信号生成回路STC _{$i+1$} では逆に、第3トランジスタTr23が第2駆動配線SL2に接続されて第2駆動電圧 V_{SL2a} を受け、第4トランジスタTr24の入力端子が第1駆動配線SL1に接続されて第1駆動電圧 V_{SL1a} を受ける。各信号生成回路STC_iでは更に、第3トランジスタTr13と第4トランジスタTr14との各出力端子が同じ出力端OPに接続されている。こうして、2つの駆動電圧 V_{SL1a} 、 V_{SL2a} が維持電極線 S_i ごとに交互に印加される。第3トランジスタTr13の入力端子と制御端子との間には第1キャパシタC1が接続され、第4トランジスタTr14の入力端子と制御端子との間には第2キャパシタC2が接続されている。

【0068】

以下、図7に示されている上記の信号生成回路の動作について、図8を参照しながら説明する。尚、維持電極線 $S_1 - S_n$ の各々に接続された信号生成回路STC₁ - STC_nの構造は同様であるので、以下の説明では、 i 番目の信号生成回路STC_iと $(i+1)$ 番目の信号生成回路STC _{$i+1$} の動作を例に挙げる。 i 番目の信号生成回路STC_iは i 番目の維持電極線 S_i に対して i 番目の維持信号 V_{S_i} を印加する。 $(i+1)$ 番目の信号生成回路STC _{$i+1$} は $(i+1)$ 番目の維持電極線 S_{i+1} に対して $(i+1)$ 番目の維持信号 $V_{S_{i+1}}$ を印加する。

【0069】

i 番目の信号生成回路STC_iでは、入力端IPに対して印加される $(i+1)$ 番目のゲート信号 g_{i+1} のレベルがゲートオン電圧 V_{on} に切り換わると、第1トランジスタTr11Aと第2トランジスタTr12Aとが導通する。そのとき、第1選択電圧 V_{SEL1} のレベルは低レベル電圧VIに維持され、第2選択電圧 V_{SELB} のレベルは高レベル電圧Vhに維持されている。従って、図8に示したように、導通した第1トランジスタTr11Aを通じ、低レベル電圧VIに等しい第1選択電圧 V_{SEL} が第3トランジスタTr13の制御端子に対して印加される。それにより、第1キャパシタC1が放電し、その両端電圧、すなわち第1ゲート駆動電圧 V_{g1} のレベルが下降する。同様に、導通した第2トランジスタTr12Aを通じ、高レベル電圧Vhに等しい第2選択電圧 V_{SELB} が第4トランジスタTr14の制御端子に対して印加される。それにより、第2キャパシタC2が充電され、その両端電圧、すなわち第2ゲート駆動電圧 V_{g2} のレベルが上昇する。

【0070】

ここで、第1ゲート駆動電圧 V_{g1} の実際の最高レベル V_{on}' は第1選択電圧 V_{SEL} の高レベル電圧Vhと第1駆動電圧 V_{SL1a} との間の差からずれ、実際の最低レベル V_{off}' は第1選択電圧 V_{SEL} の低レベル電圧VIと第1駆動電圧 V_{SL1a} との間の差からずれている。つまり、第1ゲート駆動電圧 V_{g1} の最高レベル V_{on}' は第3トランジスタTr13のゲートオン電圧 V_{on} より所定値だけ低く、第1ゲート駆動電圧 V_{g1} の最低レベル V_{off}' は第3トランジスタTr13のゲートオフ電圧 V_{off} より所定値だけ高い。第2ゲート駆動電圧 V_{g2} と第4トランジスタTr14についても同様である。従って、第3トランジスタTr13が徐々に遮断すると共に、第4トランジスタTr14が徐々に導通するので、 i 番目の信号生成回路STC_iの出力端OPの電圧、すなわち、 i 番目の維持信号 V_{S_i} のレベルが低レベル電圧V-から徐々に上昇する。

【0071】

約1水平周期1Hが経過すると、 $(i+1)$ 番目のゲート信号 g_{i+1} のレベルがゲートオフ電圧 V_{off} に切り換わるので、 i 番目の信号生成回路STC_iでは第1トランジスタTr11Aと第2トランジスタTr12Aとが遮断される。しかし、各キャパシタC1、C2が両端電圧をそのまま保

10

20

30

40

50

持するので、第3トランジスタTr13と第4トランジスタTr14とのいずれかが次のフレームまで導通状態に維持される。特に、第4トランジスタTr14が程なく完全に導通するので、第4トランジスタTr14を通じて高レベル電圧V+に等しい第2駆動電圧 V_{SL2a} が出力端OPに対し、次のフレームまで印加され続ける。すなわち、i番目の維持信号 V_{Si} のレベルが次のフレームまで高レベル電圧V+に維持される。こうして、i番目の維持信号 V_{Si} のレベルが低レベル電圧V-から高レベル電圧V+に切り換わる。それにより、i番目の画素行では、画素電極の電圧Vpが、式(1)または式(2)で表されるように、データ電圧 V_D より変化量 Δ だけ上昇する。

【0072】

一方、(i+1)番目の信号生成回路STC_{i+1}では、入力端IPに対して印加される(i+2)番目のゲート信号 g_{i+2} のレベルがゲートオン電圧Vonに切り換わると、第1トランジスタTr21Aと第2トランジスタTr22Aとが導通する。従って、導通した第1トランジスタTr21Aを通じ、低レベル電圧Vlに等しい第1選択電圧 V_{SEL} が第3トランジスタTr23の制御端子に対して印加される。それにより、第1キャパシタC1が放電し、その両端電圧が下降する。同様に、導通した第2トランジスタTr22Aを通じ、高レベル電圧Vhに等しい第2選択電圧 V_{SELB} が第4トランジスタTr24の制御端子に対して印加される。それにより、第2キャパシタC2が充電され、その両端電圧が上昇する。その結果、第3トランジスタTr23は徐々に遮断し、第4トランジスタTr24は徐々に導通する。それに伴い、(i+1)番目の信号生成回路STC_{i+1}の出力端OPの電圧、すなわち、(i+1)番目の維持信号 V_{Si+1} のレベルが高レベル電圧V+から徐々に下降する。

【0073】

約1水平周期1Hが経過すると、(i+2)番目のゲート信号 g_{i+2} のレベルがゲートオフ電圧Voffに切り換わるので、(i+1)番目の信号生成回路STC_{i+1}では第1トランジスタTr21Aと第2トランジスタTr22Aとが遮断される。しかし、各キャパシタC1、C2が両端電圧をそのまま保持するので、第3トランジスタTr23と第4トランジスタTr24とのいずれかが次のフレームまで導通状態に維持される。特に、第4トランジスタTr24が程なく完全に導通するので、第4トランジスタTr24を通じて低レベル電圧V-に等しい第1駆動電圧 V_{SL1a} が出力端OPに対し、次のフレームまで印加され続ける。すなわち、(i+1)番目の維持信号 V_{Si+1} のレベルが低レベル電圧V-に、次のフレームまで維持される。こうして、維持信号 V_{Si+1} のレベルが高レベル電圧V+から低レベル電圧V-に切り換わる。それにより、(i+1)番目の画素行では、画素電極の電圧Vpが、式(1)または式(2)で表されるように、データ電圧 V_D より変化量 Δ だけ下降する。

【0074】

図7、8に示されている各信号生成回路STC_iでは、フレームごとに、第3トランジスタTr13と第4トランジスタTr14とのいずれかが導通状態に維持されるので、各維持電極線S_iの電圧が一定レベルに維持される。従って、各維持電極線S_iの周辺の寄生キャパシタによる電圧変動が抑えられるので、画質が向上する。ここで、第1トランジスタTr11Aと第2トランジスタTr12Aとは各キャパシタC1、C2の充電に利用されるだけであり、また、各キャパシタC1、C2が次のフレームまで各維持電極線S_iの状態を維持するので、第1トランジスタTr11Aと第2トランジスタTr12Aとは小型化が容易である。

【0075】

尚、図7、8に示されている各信号生成回路STC_iに代え、表示パネルの外部に設置された別の駆動ICが維持信号を第1維持電極線S1から順番に印加しても良い。その場合、その駆動ICは好ましくは直列・並列シフトレジスタである。すなわち、偶数番目の維持電極線または奇数番目の維持電極線にインバータが接続され、隣接した2本の維持電極線の間で維持信号のレベルを逆にする。

【0076】

次に、本発明の一実施形態による液晶表示装置のうち、薄膜トランジスタ表示パネルの詳細な構造の一例について、図11～図12Bを参照しながら説明する。

透明なガラスまたはプラスチックなどから成る絶縁基板110の上に複数のゲート線121及

10

20

30

40

50

び複数の維持電極線131が形成される。

ゲート線121は主に行方向に延びている。各ゲート線121は、列方向に突出した複数のゲート電極124と、他の層または外部の駆動回路との接続のために面積の広い端部129を有する。ゲート信号を生成するゲート駆動回路（図示せず）は、基板110の上に実装される可撓性印刷回路膜（図示せず）に実装されたり、基板110の上に直接実装されたり、基板110に集積化されても良い。ゲート駆動回路が基板110の上に集積化されている場合、ゲート線121がそれと直結されても良い。

【0077】

各維持電極線131は主に行方向に延び、幅が列方向に拡張された複数の拡張部137を有する。維持電極線131はまた、他の層または外部の駆動回路との接続のために面積の広い端部を有しても良い。尚、維持電極線131の模様及び配置は多様に変更することができる。各維持電極線131に対しては、高レベル電圧 $V+$ （好ましくは約5V）と低レベル電圧 $V-$ （好ましくは約0V）とがフレームごとに交互に印加される。維持信号を生成する維持信号生成回路（図示せず）は、基板110の上に実装される可撓性印刷回路膜（図示せず）に実装されたり、基板110の上に直接実装されたり、基板110に集積化されても良い。維持信号生成回路が基板110の上に集積化されている場合、維持電極線131がそれと直結されても良い。

10

【0078】

ゲート線121と維持電極線131とは、アルミニウム（Al）やアルミニウム合金などのアルミニウム系金属、銀（Ag）や銀合金などの銀系金属、銅（Cu）や銅合金などの銅系金属、モリブデン（Mo）やモリブデン合金などのモリブデン系金属、クロム（Cr）、タンタル（Ta）、及びチタニウムTiなどから成る。更に、それらが、物理的性質の異なる2つの導電膜（図示せず）を有する多重膜構造であっても良い。一方の導電膜は、信号遅延や電圧降下を減らすことができるように、比抵抗の低い金属（例えば、アルミニウム系金属、銀系金属、銅系金属など）で形成される。他方の導電膜は、特にITO（酸化インジウムスズ）及びIZO（酸化インジウム亜鉛）との物理的、化学的、電気的接触特性に優れた物質（例えば、モリブデン系金属、クロム、タンタル、チタニウムなど）から成る。このような組み合わせの良い例としては、クロム下部膜とアルミニウム（合金）上部膜との組み合わせ、及びアルミニウム（合金）下部膜とモリブデン（合金）上部膜との組み合わせがある。尚、ゲート線121及び維持電極線131はそれらの他にも多様な金属または導電体で作ることができる。ゲート線121及び維持電極線131の各側面は基板110の表面に対して傾いており、その傾斜角は約 30° ～約 80° であるのが好ましい。

20

30

【0079】

ゲート線121及び維持電極線131の上には、窒化シリコン（ SiN_x ）または酸化シリコン（ SiO_x ）などでゲート絶縁膜140が形成される。ゲート絶縁膜140の上には、水素化非晶質シリコン（a-Si:H）または多結晶シリコンなどで複数の線状半導体151が形成される。線状半導体151は主に列方向に延びており、ゲート電極124に向かって延びて出た複数の突出部154を有する。線状半導体151はゲート線121及び維持電極線131付近で幅が広くなって、それらを幅広く覆っている。

【0080】

線状半導体151の上には複数の線状抵抗性接触部材161、及び島状抵抗性接触部材165が形成される。抵抗性接触部材161、165は、リンなどのn型不純物が高濃度でドーピングされているn+水素化非晶質シリコンなどの物質や、シリサイドによって形成される。線状抵抗性接触部材161は複数の突出部163を有し、この突出部163と島状抵抗性接触部材165との対が線状半導体151の突出部154の上に配置される。線状半導体151と抵抗性接触部材161、165との各側面は基板110の表面に対して傾き、その傾斜角は 30° ～ 80° 程度である。

40

【0081】

抵抗接触部材161、165、及びゲート絶縁膜140の上には複数のデータ線171と複数のドレイン電極175が形成される。

データ線171は主に列方向に延びてゲート線121及び維持電極線131と交差する。各デー

50

タ線171は、ゲート電極124に向かって延びた複数のソース電極173と、他の層または外部の駆動回路との接続のために面積の広い端部179とを有する。データ信号を生成するデータ駆動回路（図示せず）は、基板110の上に実装される可撓性印刷回路膜（図示せず）に実装されたり、基板110の上に直接実装されたり、基板110に集積化されても良い。データ駆動回路が基板110の上に集積化される場合、データ線171がそれと直結されても良い。

ドレイン電極175はデータ線171から分離され、ゲート電極124の上方でソース電極173と対向する。各ドレイン電極175は、広い端部と棒状の端部とを有する。広い端部は維持電極線131の拡張部137と重なり、棒状の端部は、屈曲したソース電極173によって囲まれている。1つのゲート電極124、1つのソース電極173、及び1つのドレイン電極175は、線状半導体151の突出部154と共に、1つの薄膜トランジスタ（TFT）を構成する。薄膜トランジスタのチャンネルは、ソース電極173とドレイン電極175との間の突出部154に形成される。

10

【0082】

データ線171及びドレイン電極175は、モリブデン、クロム、タンタル、若しくはチタニウムなどの耐熱性金属、またはそれらの合金から成るのが好ましく、耐熱性金属膜（図示せず）と低抵抗導電膜（図示せず）とを有する多重膜構造であっても良い。多重膜構造の例としては、クロムまたはモリブデン（合金）下部膜とアルミニウム（合金）上部膜との二重膜、モリブデン（合金）下部膜とアルミニウム（合金）中間膜とモリブデン（合金）上部膜との三重膜がある。尚、データ線171及びドレイン電極175はそれらの他にも多様な金属または導電体で形成されることができる。データ線171及びドレイン電極175の各側面

20

【0083】

抵抗性接触部材161、165は、その下の線状半導体151、及びその上のデータ線171またはドレイン電極175の間で接触抵抗を下げる。線状半導体151の大部分はデータ線171より狭いが、上述したように、ゲート線121と接する部分では幅が広い。それにより、その部分では表面の形状が滑らかであるので、データ線171の断線が防止される。線状半導体151には、ソース電極173とドレイン電極175との間をはじめとして、データ線171及びドレイン電極175では遮られずに露出した部分がある。

【0084】

データ線171、ドレイン電極175、及び線状半導体151の露出部分の上には保護膜180が形成される。保護膜180は無機絶縁物または有機絶縁物などから成り、表面が平坦であっても良い。無機絶縁物の例としては窒化シリコンと酸化シリコンとがある。有機絶縁物は感光性を有することができ、その誘電定数は約4.0以下であるのが好ましい。更に、保護膜180が下部無機膜と上部有機膜の二重膜構造であっても良い。それにより、有機膜の優れた絶縁特性を生かしながら、線状半導体151の露出部分に悪影響を与えないようにすることができる。保護膜180には、データ線171の端部179とドレイン電極175とを各々露出させる複数の接触孔182、185が形成される。保護膜180とゲート絶縁膜140とには、ゲート線121の端部129を露出させる複数の接触孔181が形成される。

30

【0085】

保護膜180の上には複数の画素電極191及び複数の接触補助部材81、82が形成される。これらは、ITO若しくはIZOなどの透明な導電物質、または、アルミニウム、銀、クロム若しくはその合金などの反射性金属から成る。

40

【0086】

画素電極191は接触孔185を通じてドレイン電極175と物理的、電氣的に接続され、ドレイン電極175からデータ電圧の印加を受ける。データ電圧が印加された画素電極191は、共通電圧の印加を受ける他の表示パネル（図示せず）の共通電極（図示せず）と共に、それらの電極間に挟まれた液晶層（図示せず）に電場を生成する。それにより、液晶層では液晶分子の配向方向が決まる。このように決められた液晶分子の配向方向に応じ、液晶層を通過する光の偏光方向が変わる。画素電極191と共通電極とは液晶キャパシタを構成し、薄膜トランジスタが遮断された後にも印加された電圧を維持する。一方、画素電極191や

50

ドレイン電極175が維持電極線131と重なって構成するキャパシタがストレージキャパシタである。ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。維持電極線131の拡張部137によって重なり面積が増加してストレージキャパシタの静電容量が増加する。

【0087】

接触補助部材81/82は接触孔181/182を通じてゲート線121の端部129/データ線171の端部179と接続される。接触補助部材81/82はゲート線121の端部129/データ線171の端部179と外部装置との間の接着を補完し、その接着部を保護する。

【0088】

次に、図13～図14Bを参照しながら、本発明の一実施形態による薄膜トランジスタ表示パネルの他の例について説明する。この例による薄膜トランジスタ表示パネルの構造は、図11～図12Bに示した構造とほぼ同様である。しかし、この例による薄膜トランジスタ表示パネルは、図11～図12Bに示した薄膜トランジスタ表示パネルとは異なり、線状半導体151が、薄膜トランジスタが位置する突出部154を除き、データ線171、ドレイン電極175、及びその下部の抵抗性接触層161、165と実質的に同様な平面形状である。つまり、線状半導体151は、データ線171とドレイン電極175、及びそれらの下部の抵抗性接触層161、165で覆われている部分、並びに、ソース電極173とドレイン電極175との間から露出した部分を有する。

【0089】

以上、本発明の好ましい実施形態について詳細に説明した。しかし、本発明の技術的範囲は上記の実施例には限定されない。特許請求の範囲で定義されている本発明の基本概念を利用した当業者による多様な変形及び改良形態もまた、本発明の技術的範囲に属すると解されるべきである。

【図面の簡単な説明】

【0090】

【図1】本発明の一実施形態による液晶表示装置のブロック図

【図2】本発明の一実施形態による液晶表示装置に含まれる1つの画素の構造を示す模式図

【図3】本発明の一実施形態による信号生成回路の回路図

【図4】図3に示した信号生成回路で使用される信号のタイミング図 30

【図5A】本発明の他の実施形態による信号生成回路の回路図

【図5B】本発明の更に他の実施形態による信号生成回路の回路図

【図6】図5Aまたは図5Bに示した信号生成回路で使用される信号のタイミング図

【図7】本発明の別の実施形態による信号生成回路の回路図

【図8】図7に示した信号生成回路で使用される信号のタイミング図

【図9】本発明の実施形態による液晶表示装置での画素電極の電圧と画素の透過率との変化を示すグラフ

【図10】従来の液晶表示装置での画素電極の電圧と画素の透過率との変化を示すグラフ

【図11】本発明の一実施形態による薄膜トランジスタ表示パネルの一例の平面図

【図12A】図11に示されている折線XIIa - XIIaに沿って切断した断面の展開図 40

【図12B】図11に示されている折線XIIb - XIIbに沿って切断した断面の展開図

【図13】本発明の一実施形態による薄膜トランジスタの他の例の平面図

【図14A】図13に示されている折線XIVa - XIVaに沿って切断した断面の展開図

【図14B】図13に示されている折線XIVb - XIVbに沿って切断した断面の展開図

【符号の説明】

【0091】

3 液晶層

100、200 基板

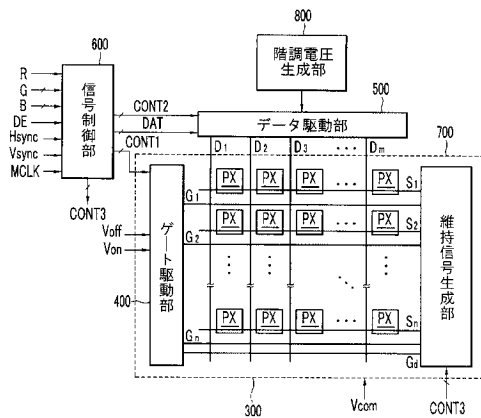
230 色フィルター

270 共通電極

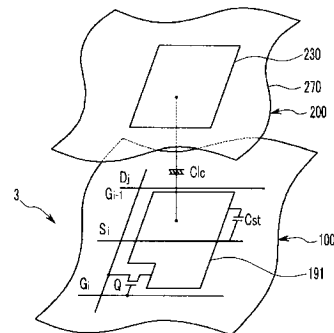
300 液晶表示パネルアセンブリ
 400 ゲート駆動部
 500 データ駆動部
 600 信号制御部
 700 維持信号生成部
 800 階調電圧生成部
 PX 画素
 G1 - Gn ゲート線
 D1 - Dm データ線
 S1 - Sn 維持電極線
 Clc 液晶キャパシタ
 Cst ストレージキャパシタ
 Q スイッチング素子
 Vcom 共通電圧
 CONT1 ゲート制御信号
 CONT2 データ制御信号
 Von ゲートオン電圧
 Voff ゲートオフ電圧
 DAT デジタル映像信号

10

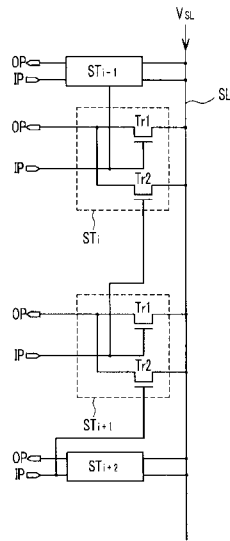
【図 1】



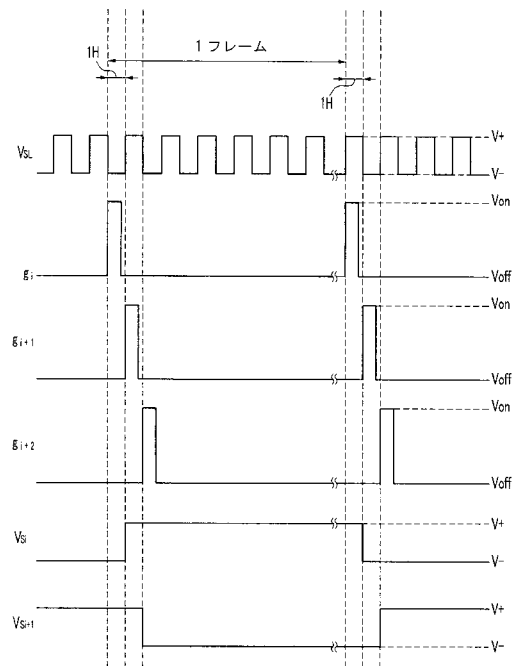
【図 2】



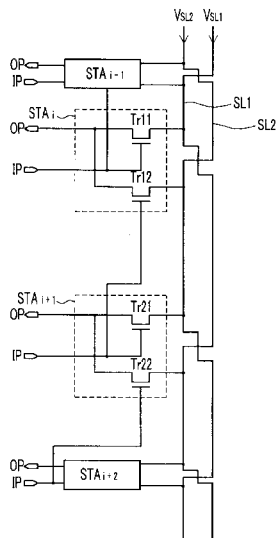
【図 3】



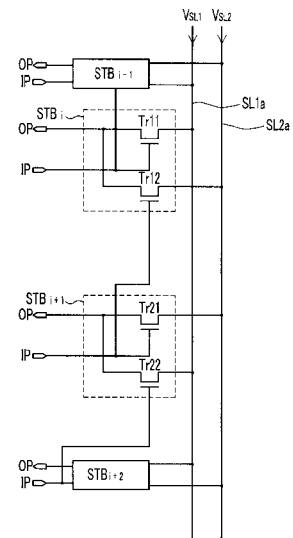
【図 4】



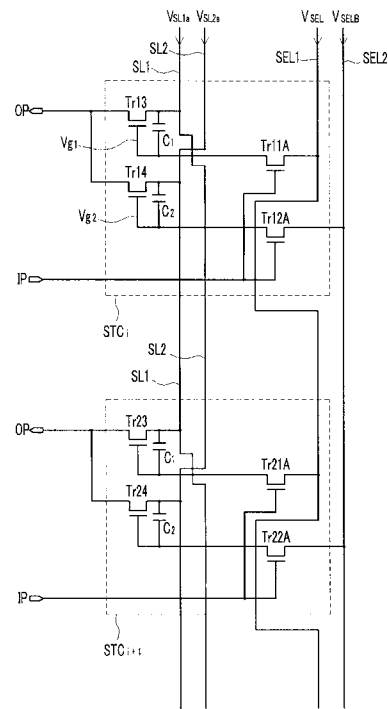
【図 5 A】



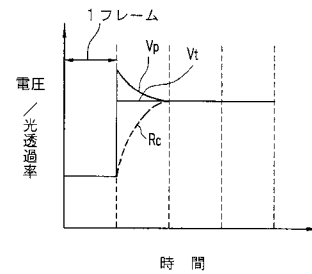
【図 5 B】



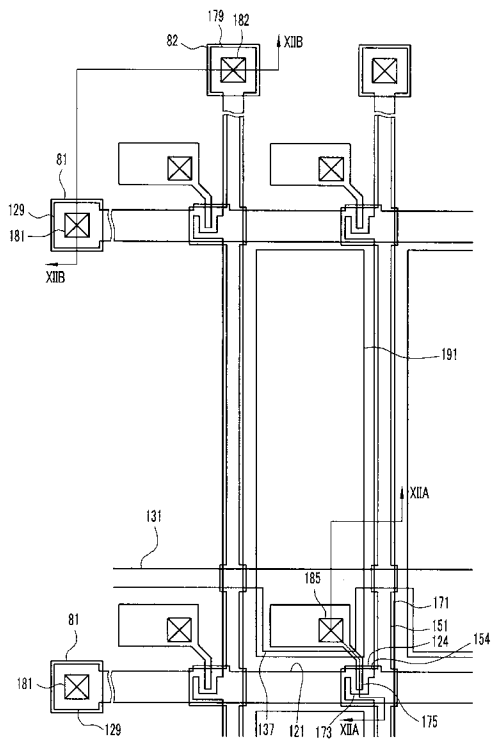
【 図 7 】



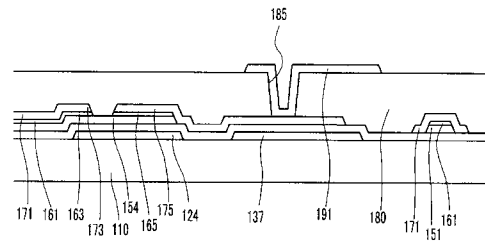
【 図 9 】



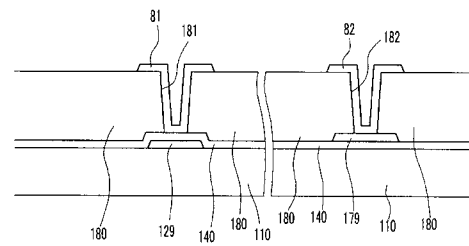
【図 1 1】



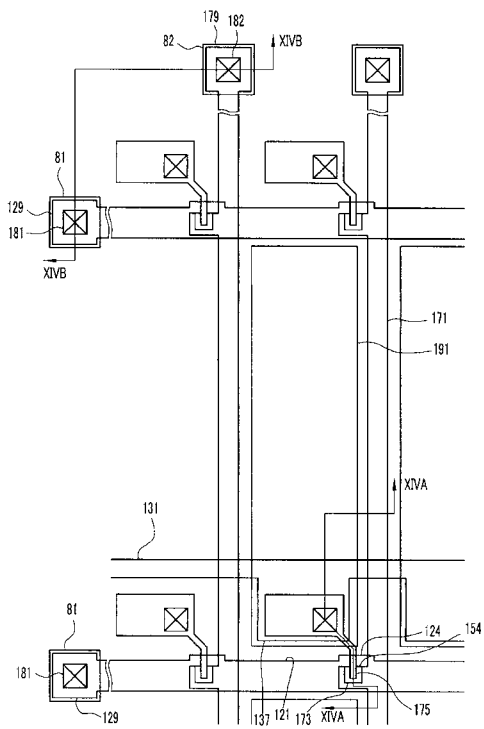
【図 1 2 A】



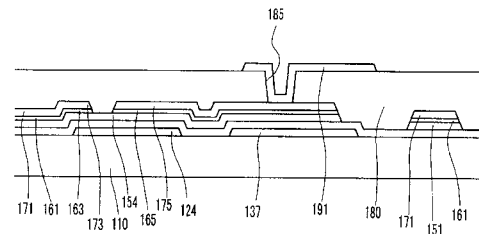
【図 1 2 B】



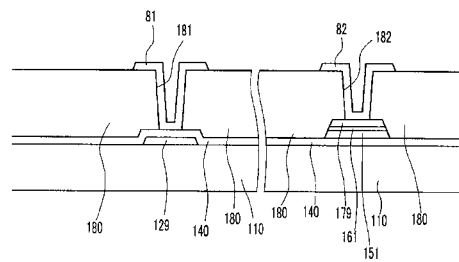
【図 1 3】



【図 1 4 A】



【図 1 4 B】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 2 2 Q

F ターム(参考) 5C006 AA16 AC22 AC28 BB16 BF03 BF27 FA47
5C080 AA10 BB05 DD26 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	表示装置		
公开(公告)号	JP2007164175A	公开(公告)日	2007-06-28
申请号	JP2006330876	申请日	2006-12-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李白雲		
发明人	李 白 雲		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3655 G09G3/3614 G09G3/3648 G09G3/3688 G09G2300/0408 G09G2300/0876 G09G2320/0252		
FI分类号	G09G3/36 G02F1/133.575 G02F1/133.525 G02F1/133.550 G09G3/20.611.A G09G3/20.622.C G09G3/20.622.E G09G3/20.622.Q		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA42 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC15 2H093/NC22 2H093/ND04 2H093/ND10 2H093/ND33 2H093/ND35 2H093/ND39 5C006/AA16 5C006/AC22 5C006/AC28 5C006/BB16 5C006/BF03 5C006/BF27 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZC15 2H193/ZC22 2H193/ZD23 2H193/ZF22 2H193/ZF24 2H193/ZF36		
优先权	1020050120740 2005-12-09 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其中伴随数据电压的极性反转的功耗减小，并且可用于灰度表示的数据电压的范围加宽，并且像素电压可以在规定时间内可靠地达到目标电压。ŽSOLUTION：在显示装置中，存储信号发生器根据栅极信号的电平改变存储信号的电平，尤其是在每个像素中的栅极信号电平降低到栅极截止电压之后立即改变。对液晶电容器充电终止。优选地，当数据电压的极性为正时，存储信号的电平升高，而当数据电压的极性为负时，存储信号的电平降低。更优选地，存储信号发生器改变每个存储电极线一帧的存储信号的电平，并且每帧改变一个存储电极线。Ž

