

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-201760
(P2006-201760A)

(43) 公開日 平成18年8月3日(2006.8.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/133 (2006.01)	G09G 3/20 612G	5C080
	G09G 3/20 622G	
	G09G 3/20 622B	
審査請求 有 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2005-367147 (P2005-367147)	(71) 出願人	000003078
(22) 出願日	平成17年12月20日 (2005.12.20)		株式会社東芝
(31) 優先権主張番号	特願2004-367461 (P2004-367461)		東京都港区芝浦一丁目1番1号
(32) 優先日	平成16年12月20日 (2004.12.20)	(74) 代理人	100109900
(33) 優先権主張国	日本国 (JP)		弁理士 堀口 浩
		(72) 発明者	増子 彰
			神奈川県川崎市幸区小向東芝町1番地 株
			式会社東芝マイクロエレクトロニクスセン
			ター内
		Fターム(参考)	2H093 NC05 NC22 NC34 NC58 ND60
			5C006 AF64 AF67 AF71 BB16 BC03
			BF03 BF25 BF26 BF27 BF33
			BF34 BF42 BF45 BF46 FA33
			FA51
		最終頁に続く	

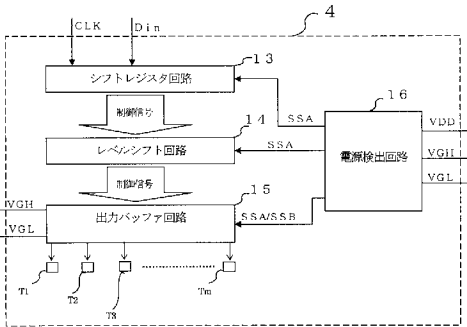
(54) 【発明の名称】 表示装置の駆動回路及び駆動方法

(57) 【要約】

【課題】 走査線負荷のプリチャージを行う場合に電源で発生する過大な電流の発生を抑制する。

【解決手段】 ゲートドライバ回路4には、シフトレジスタ回路13、レベルシフト回路14、出力バッファ回路15、電源検出回路16、出力端子T1、T2、...、Tmが設けられている。電源検出回路16は、ロジック部高電圧VDD、高電圧VGH、及び低電圧VGLに接続され、液晶表示装置30の立ち上げ時など、ロジック部高電圧VDD、高電圧VGH、及び低電圧VGLの電圧が変化した場合、出力バッファ回路15などの動作を制御する信号を生成する。この信号により、出力端子がハイインピーダンス状態“HiZ”に設定され、その後走査線負荷12がプリチャージされて出力端子の信号レベルが“Low”レベルである“VGL”に設定される。

【選択図】 図2



4: ゲートドライバ回路
13: シフトレジスタ回路
14: レベルシフト回路
15: 出力バッファ回路
16: 電源検出回路
CLK: クロック信号
Din: 入力信号
T1, T2, ..., Tm: 出力端子
SSA, SSB: 電源検出回路の出力信号
VCOM: コモン電圧
VDD: ロジック部高電圧
VGH: 高電圧 (画素部の駆動電圧)
VGL: 低電圧 (画素部の充電電圧)

【特許請求の範囲】

【請求項 1】

画像を表示する画素と、画像信号を前記画素に供給するデータラインと、前記画素を選択するシフトレジスタ回路と、電圧を発生する電源とを有する表示装置の駆動回路であって、
前記電圧の立ち上がりを検出する検出回路と、
出力端子と出力バッファ回路を有する駆動回路とを備え、
前記駆動回路は、前記検出回路で検出された前記電圧の立ち上がりに応じて前記出力端子を高いインピーダンス状態にし、次いで前記シフトレジスタ回路で選択された前記画素に非駆動電圧と駆動電圧をそれぞれ順次供給することを特徴とする駆動回路。

10

【請求項 2】

前記出力バッファ回路は、前記検出回路で検出された前記電圧の立ち上がりに応じて前記出力端子の所定の出力端子毎に高いインピーダンス状態にし、次いで前記シフトレジスタ回路で選択された前記画素の 1 画素ごとに非駆動電圧と駆動電圧をそれぞれ順次供給することを特徴とする請求項 1 記載の駆動回路。

【請求項 3】

画像を表示する画素と、画像信号を前記画素に供給するデータラインと、前記画素を選択するシフトレジスタ回路と、電圧を発生する電源とを有する表示装置の駆動回路であって、
前記電圧の立ち上がりを検出する検出回路と、
出力端子と出力バッファ回路を有する駆動回路とを備え、
前記駆動回路は、前記検出回路で検出された前記電圧の立ち上がりに応じて、順次、前記画素に基準電位を供給し、前記出力端子を高いインピーダンス状態にし、次いで前記シフトレジスタ回路で選択された前記画素に非駆動電圧と駆動電圧をそれぞれ順次供給することを特徴とする駆動回路。

20

【請求項 4】

画像を表示する画素と、画像信号を前記画素に供給するデータラインと、前記画素を選択するシフトレジスタ回路と、電圧を発生する電源とを有する表示装置において、
前記電圧の立ち上がりを検出回路によって検出するステップと、
出力端子と出力バッファ回路を有する出力回路によって、前記検出回路で検出された前記電圧の立ち上がりに応じて前記出力端子を高いインピーダンス状態にするステップと、
次いで前記シフトレジスタ回路で選択された前記画素に非駆動電圧と駆動電圧をそれぞれ順次供給するステップと、
を具備することを特徴とする表示装置の駆動方法。

30

【請求項 5】

画像を表示する画素と、画像信号を前記画素に供給するデータラインと、前記画素を選択するシフトレジスタ回路と、電圧を発生する電源とを有する表示装置において、
前記電圧の立ち上がりを検出回路で検出するステップと、
出力端子と出力バッファ回路を有する出力回路によって、前記検出回路で検出された前記電圧の立ち上がりに応じて、順次、前記画素に基準電位を供給し、前記出力端子を高いインピーダンス状態にするステップと、
次いで前記シフトレジスタ回路で選択された前記画素に非駆動電圧と駆動電圧をそれぞれ順次供給するステップと、
を具備することを特徴とする表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置の駆動回路及び駆動方法に関する。

【背景技術】

【0002】

50

F P D (Flat Panel Display) には、液晶 (L C D Liquid crystal display)、F E D (Field Emission Display)、E L D (Electroluminescent Display)、或いは P D P (Plasma Display Panel) などがあり、その中で T F T (Thin Film Transistor) と液晶を用いたアクティブマトリックス液晶表示装置や、T F T と有機 E L を用いたアクティブマトリックス有機 E L 表示装置などが種々の分野に適用されている。

【0003】

アクティブマトリックス液晶表示装置は、信号制御回路、液晶駆動回路、液晶表示画面などから構成されている。液晶駆動回路は走査側の垂直ドライバ回路（以降ゲートドライバ回路と呼称する）とデータ側の水平ドライバ回路（以降ソースドライバ回路と呼称する）からなる。駆動回路としてのソースドライバ回路は、データ線に主として表示のためのデータ信号を出力する機能を有している。一方、駆動回路としてのゲートドライバ回路は、走査線に走査信号を出力する機能を有している。アクティブマトリックス液晶表示装置の内、液晶画面に T F T を用いた表示装置では、ソースドライバ回路はデータ線を介して T F T のソース電極に電氣的に接続され、一方、ゲートドライバ回路は走査線を介して T F T のゲート電極に電氣的に接続されている（例えば、特許文献 1 参照。）。 10

【0004】

近年、パソコンや携帯電話などに用いられる液晶表示装置や有機 E L 表示装置などでは、多彩な表示色を表すために階調数が増加し、例えば、液晶表示装置のソースドライバ回路やゲートドライバ回路から液晶パネルに出力する本数が、ソースドライバ回路で 384 本、ゲートドライバ回路で 256 本と急増している。D C - D C コンバータなどからなる電源が起動すると、ゲートドライバ回路に備えられた L S I 素子の内部状態は安定していないので、D C - D C インバータから各走査線の駆動端子（T F T 回路のゲート電極）に画素を駆動しない低い電圧 V G L と次いで画素を駆動する高い電圧 V G H が供給され、あるいは電源リセット回路から低電圧 V G L が供給される。すなわち、表示パネルの負荷に走査線の全駆動端子から電荷が供給されるから、D C - D C コンバータから、ゲート駆動回路を通して走査線負荷に過大な電流が流れる。 20

【0005】

このため、電源を構成する回路に負担がかかり、配線の溶断や回路のシャットダウンが起こる可能性がある。これに対し、配線の溶断や回路のシャットダウンを抑制するために、配線を太くし、或いは電流供給の能力の高い電源回路を設けた場合、電源回路のコストが上昇するという問題点がある。 30

【特許文献 1】特開 2004-134053 号公報（頁 23、図 4）

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、表示装置の電源投入時に、負荷に過大な電流が流れないように設けられた駆動回路及び駆動方法を提供する。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明の一態様の駆動回路は、画像を表示する画素と、画像信号を前記画素に供給するデータラインと、前記画素を選択するシフトレジスタ回路と、電圧を発生する電源とを有する表示装置の駆動回路であって、前記電圧の立ち上がりを検出する検出回路と、出力端子と出力バッファ回路を有する駆動回路とを備え、前記駆動回路は、前記検出回路で検出された前記電圧の立ち上がりに応じて前記出力端子を高いインピーダンス状態にし、次いで前記シフトレジスタ回路で選択された前記画素に非駆動電圧と駆動電圧をそれぞれ順次供給することの特徴とする。 40

【0008】

更に、上記目的を達成するために、本発明の一態様の表示装置の駆動方法は、画像を表示する画素と、画像信号を前記画素に供給するデータラインと、前記画素を選択するシフトレジスタ回路と、電圧を発生する電源とを有する表示装置において、前記電圧の立ち上 50

がりを検出回路によって検出するステップと、出力端子と出力バッファ回路を有する出力回路によって、前記検出回路で検出された前記電圧の立ち上がりに応じて前記出力端子を高いインピーダンス状態にするステップと、次いで前記シフトレジスタ回路で選択された前記画素に非駆動電圧と駆動電圧をそれぞれ順次供給するステップとを具備することを特徴とする。

【発明の効果】

【0009】

本発明によれば、表示装置の電源投入時に、負荷に過大な電流が流れないように設けられた駆動回路及び駆動方法を提供することができる。

【発明を実施するための最良の形態】

10

【0010】

以下本発明の実施例について図面を参照しながら説明する。

【実施例1】

【0011】

まず、本発明の実施例1に係る表示装置について、図面を参照して説明する。図1はフラットパネル表示装置としての液晶表示装置の構成を示す概略ブロック図である。本実施例では、液晶表示装置の立ち上げ時に、駆動回路としてのゲートドライバ回路にハイインピーダンス状態を設けている。図1に示すように、液晶表示装置30には、ディスプレイコントローラ1、DC-DCコンバータ2、表示パネル(LCD)3、ゲートドライバ回路4、及びソースドライバ回路5が設けられ、例えば、液晶表示装置30はパソコンの表示用として用いられる。

20

【0012】

ディスプレイコントローラ1は、クロック信号などの同期信号、及び赤(R)、緑(G)、青(B)の表示データ情報を入力し、液晶表示装置30の実行演算を行うため、画像データ処理制御用データなどの信号をパラレルデータとしてゲートドライバ回路4及びソースドライバ回路5に出力する。ここで、入力信号Dinは、ゲートドライバ回路4に入力される画像データ処理制御用信号である。DC-DCコンバータ2は、バッテリーなどの外部電源から、表示パネル3に映像を表示するために必要な種々の電圧を発生し、これらの電圧をゲートドライバ回路4及びソースドライバ回路5に供給する電源として機能する。ここで、ゲートドライバ回路4に供給される電源はロジック部高電圧VDD、高電圧VGH及び低電圧VGLである。高電圧VGH及び低電圧VGLは、画素部8のTFT回路を「オン」及び「オフ」するために用いられ、それぞれ駆動電圧及び非駆動電圧と言う。

30

【0013】

ゲートドライバ回路4は、ロジック部高電圧VDD、高電圧VGH、及び低電圧VGLが供給され、入力信号Dinを入力して、表示パネル3の、例えば、256本(m=256)の走査線6に、映像を表示するための電圧を供給する。ソースドライバ回路5は、DC-DCコンバータ2から電源が供給され、ディスプレイコントローラ1から出力された信号を入力して、表示パネル3の“n”本のデータ線7に、映像を表示するための電力を供給する。

40

【0014】

表示パネル3は、“m”本の走査線6と“n”本のデータ線7を有し、走査線6及びデータ線7に囲まれた領域には画素部8がそれぞれ設けられている。画素部8には、ゲート電極が走査線6に接続され、ソース電極がデータ線7に接続されたTFT9、一端がTFT9のドレイン電極に接続され、他端がコモン電圧VCOMに接続された保持容量10、及び一端がTFT9のドレイン電極に接続され、他端がコモン電圧VCOMに接続された画素電極(液晶セル)11が設けられている。

【0015】

そして、走査線6に並行して設けられた画素部8のトータルの容量は、走査線負荷12として表すことができる。この走査線負荷12は、パソコンの表示用としての表示パネル

50

3 の場合、例えば、300PF と比較的大きな容量であり、この容量をプリチャージするために DC-DC コンバータ 2 から供給される電流は 10mA 程度必要となる。このため、表示パネル 3 全体の走査線負荷 12 をプリチャージするために DC-DC コンバータ 2 から供給される全電流 (I) は、

$$I = 10 \times 256 \text{ (本)} \text{ mA} = 2.56 \text{ A}$$

となり、比較的大きな電流が必要となる。

【0016】

次に、ゲートドライバ回路の構成について図 2 乃至図 4 を参照して説明する、図 2 はゲートドライバ回路を示すブロック図、図 3 は出力制御回路を示すブロック図、図 4 はスイッチを示す回路図である。

10

【0017】

図 2 に示すように、ゲートドライバ回路 4 には、シフトレジスタ回路 13、レベルシフト回路 14、出力バッファ回路 15、電源検出回路 16、及び出力端子 T1, T2, . . . , Tm が設けられている。

【0018】

シフトレジスタ回路 13 は、ディスプレイコントローラ 1 から出力されたシフトレジスタ回路 13 の入力信号 Din、及びシフトレジスタ回路 13 の動作に必要な基準信号としてのクロック信号 CLK を入力し、表示パネル 3 の走査線 6 ごとに駆動信号を出力する。レベルシフト回路 14 は、シフトレジスタ回路 13 と出力バッファ回路 15 の間に設けられ、シフトレジスタ回路 13 から出力された出力信号レベル (例えば、1.5V ~ 3V 程度で低電圧) を比較的高電圧な信号レベル (例えば、10V ~ 数十V 程度) に変換する。

20

【0019】

出力バッファ回路 15 は、レベルシフト回路 14 と出力端子 T1, T2, . . . , Tm の間に設けられ、高電圧 VGH 及び低電圧 VGL が供給され、レベルシフト回路 14 から出力された信号を入力し、“m” 本に対応する出力端子 T1, T2, . . . , Tm から、表示パネル 3 に映像を表示するための比較的高電圧 (例えば、10V ~ 数十V 程度) の信号レベルを有する信号をそれぞれ出力する。

【0020】

電源検出回路 16 は、外部電源をもとにして DC-DC コンバータ 2 で生成されたロジック部高電圧 VDD、高電圧 VGH、及び低電圧 VGL が供給され、液晶表示装置 30 の立ち上げ時など、ロジック部高電圧 VDD、高電圧 VGH、及び低電圧 VGL の電圧が変化した場合、シフトレジスタ 13、レベルシフト回路 14、及び出力バッファ回路 15 の動作を制御する電源検出回路 16 の出力信号 SSA 及び出力端子 T1, T2, . . . , Tm に供給される出力信号 SSB を生成する。出力信号 SSA は、電源電圧の立ち上がり信号であり、出力信号 SSB は、例えば、0V の基準電位 GND である。出力信号 SSA は、シフトレジスタ回路 13 とレベルシフト回路 14 を制御するために供給され、出力信号 SSB は、出力バッファ回路 16 に接続された出力端子 T1, T2, . . . , Tm に供給される。

30

【0021】

出力バッファ回路 15 は、図 2 に示されているように、出力端子 T1, T2, . . . , Tm の接続されている。出力バッファ回路 15 は、出力端子 T1, T2, . . . , Tm にそれぞれ対応している出力制御回路 B1, B2, . . . , Bm を有している。しかし、図 3 には出力端子 T1 に対応する出力制御回路 B1 だけが代表的に示されている。出力制御回路 B1 は、スイッチ 17a、スイッチ 17b、及び出力回路 18 から構成され、出力回路 18 と出力端子 T1 の間には電源検出回路 16 の出力信号 SSB が入力される。

40

【0022】

電源検出回路 16 の出力信号 SSB は、液晶表示装置 30 の立ち上げ時、出力端子 T1, T2, . . . , Tm の信号レベルを接地電位である GND (0V) にする役割をする。

【0023】

スイッチ 17a は、高電圧 VGH と出力回路 18 の間に設けられ、電源検出回路 16 の

50

出力信号 S S A を入力して、電源検出回路 1 6 の出力信号 S S A の信号レベルによりオン、オフ動作をする。スイッチ S 1 7 b は、出力回路 1 8 と低電圧 V G L の間に設けられ、電源検出回路 1 6 の出力信号 S S A を入力して、電源検出回路 1 6 の出力信号 S S A の信号レベルによりオン、オフ動作をする。

【0024】

出力回路 1 8 には、P チャンネル MOS トランジスタ P 1、N チャンネル MOS トランジスタ N 1、インバータ I N V 1、及びインバータ I N V 2 が設けられている。

【0025】

インバータ I N V 1 は、レベルシフト回路の出力信号 L S S を入力し、その反転信号を P チャンネル MOS トランジスタ P 1 のゲート電極に出力する。インバータ I N V 2 は、レベルシフト回路の出力信号 L S S を入力し、その反転信号を N チャンネル MOS トランジスタ N 1 のゲート電極に出力する。出力信号 L S S は、シフトレジスタ回路 1 3 の出力信号に対応し、シフトレジスタ回路 1 3 の出力信号のレベルが十分であれば、それを用いてもよい。P チャンネル MOS トランジスタ P 1 は、ソース電極がスイッチ 1 7 a に接続され、ドレイン電極が N チャンネル MOS トランジスタ N 1 のドレイン電極に接続されている。N チャンネル MOS トランジスタ N 1 は、ソース電極がスイッチ 1 7 b に接続されている。

10

【0026】

P チャンネル MOS トランジスタ P 1 のドレイン電極と N チャンネル MOS トランジスタ N 1 の間から出力信号が出力される。なお、MOS トランジスタは MOS F E T (Metal Oxide Semiconductor Field Effect Transistor) とも呼称される。

20

【0027】

図 4 に示すように、スイッチ 1 7 a 及び 1 7 b は、P チャンネル MOS トランジスタ P 1 1、N チャンネル MOS トランジスタ N 1 1、及びインバータ I N V 3 から構成されている。ここで、P チャンネル MOS トランジスタ P 1 1 及び N チャンネル MOS トランジスタ N 1 1 はトランスファークゲートを構成している。

【0028】

電源検出回路 1 6 の出力信号 S S A は、N チャンネル MOS トランジスタ N 1 1 のゲート電極に入力され、インバータ I N V 3 を介して P チャンネル MOS トランジスタ P 1 1 のゲート電極に入力される。P チャンネル MOS トランジスタ P 1 1 及び N チャンネル MOS トランジスタ N 1 1 のソース電極は、高電圧 V G H 或いは低電圧 V H L 側に接続され、P チャンネル MOS トランジスタ P 1 1 及び N チャンネル MOS トランジスタ N 1 1 のドレイン電極は、出力回路 1 8 側に接続されている。

30

【0029】

ここで、電源検出回路 1 6 の出力信号 S S A が “ L o w ” レベルの時に、スイッチ 1 7 a 及び 1 7 b はオフする。電源検出回路 1 6 の出力信号 S S A が “ H i g h ” レベルの時に、スイッチ 1 7 a 及び 1 7 b はオンして、出力回路 1 8 は高電圧 V G H 及び低電圧 V H L に接続される。

【0030】

次に、出力制御回路に入力される信号レベルと出力制御回路から出力される信号レベルの関係について図 5 を参照して説明する。図 5 は出力制御回路に入力される信号レベルと出力制御回路から出力される信号レベルの関係を示す図である。

40

【0031】

図 5 に示すように、電源検出回路 1 6 の出力信号 S S A の信号レベルが “ L o w ” で、レベルシフト回路の出力信号 L S S の信号レベルが “ L o w ” 場合、P チャンネル MOS トランジスタ P 1 及び N チャンネル MOS トランジスタ N 1 には電源が供給されず、出力端子 T 1 はハイインピーダンス状態である “ H i Z ” になる。

【0032】

次に、電源検出回路 1 6 の出力信号 S S A の信号レベルが “ L o w ” で、レベルシフト回路の出力信号 L S S の信号レベルが “ H i g h ” 場合、P チャンネル MOS トランジスタ

50

タ P 1 及び N チャンネル M O S トランジスタ N 1 には電源が供給されず、出力端子 T 1 はハイインピーダンス状態である “ H i Z ” になる。

【 0 0 3 3 】

ここで、レベルシフト回路の出力信号 L S S の信号レベルによらず、電源検出回路 1 6 の出力信号 S S A の信号レベルが “ L o w ” 場合、出力端子 T 1 はハイインピーダンス状態である “ H i Z ” になるので、スイッチ 1 7 a、スイッチ 1 7 b、及び電源検出回路 1 6 の出力信号 S S A の “ L o w ” レベルの信号が、出力端子 T 1 をハイインピーダンス状態である “ H i Z ” にする第 1 の制御手段として機能する。

【 0 0 3 4 】

続いて、電源検出回路 1 6 の出力信号 S S A の信号レベルが “ H i g h ” で、レベルシフト回路の出力信号 L S S の信号レベルが “ L o w ” 場合、P チャンネル M O S トランジスタ P 1 がオフし、N チャンネル M O S トランジスタ N 1 がオンし、出力信号は “ L o w ” レベルである “ V G L ” になる。

10

【 0 0 3 5 】

そして、電源検出回路 1 6 の出力信号 S S A の信号レベルが “ H i g h ” で、レベルシフト回路の出力信号 L S S の信号レベルが “ H i g h ” 場合、P チャンネル M O S トランジスタ P 1 がオンし、N チャンネル M O S トランジスタ N 1 がオフし、出力信号は “ H i g h ” レベルである “ V G H ” になる。

【 0 0 3 6 】

次に、液晶表示装置の動作について図 6 を参照して説明する、図 6 は液晶表示装置の動作を示すタイミングチャートである。

20

【 0 0 3 7 】

図 6 に示すように、電源投入時 D C - D C コンバータ 2 が、例えば、3 V の電圧を有するバッテリーなどの外部電源から、例えば、ロジック部などに電力を供給する 5 V の電圧を有するロジック部高電圧 V D D を発生する。次に、ゲートドライバ回路 4、ソースドライバ回路 5、及び液晶パネル 3 などに電力を供給する、比較的高電圧（例えば、絶対値で 1 0 V ~ 数十 V 程度）の電圧を有する低電圧（負電圧）V G L 及び高電圧（正電圧）V G H を発生する。ここでは、低電圧 V G L を発生したあとで高電圧 V G H を発生しているが、高電圧 V G H を発生したあとで低電圧 V G L を発生してもよい。

【 0 0 3 8 】

30

次に、D C - D C コンバータ 2 がロジック部高電圧 V D D を発生したとき、出力バッファ回路 1 5 を構成する M 個の出力回路 1 8 は、電源検出回路 1 6 の出力信号 S S B を入力し、接地電位である G N D (0 V) をそれぞれ出力端子 T 1 , T 2 , . . . , T m に出力する。このため、出力端子 T 1 , T 2 , . . . , T m の出力信号は、すべて接地電位である G N D (0 V) となる。

【 0 0 3 9 】

ここで、電源投入時、出力端子 T 1 , T 2 , . . . , T m をすべて接地電位に設定している理由は、他の電位に設定した場合、出力端子 T 1 , T 2 , . . . , T m にそれぞれ接続されている走査線負荷 1 2 がすべてプリチャージされ、D C - D C コンバータ 2 に電流が流れるので、それを防止するためである。

40

【 0 0 4 0 】

続いて、D C - D C コンバータ 2 が低電圧 V G L を発生したときに、スイッチ 1 7 a 及び 1 7 b は “ L o w ” レベルの電源検出回路 1 6 の出力信号 S S A を入力し、オフする。そして、出力バッファ回路 1 5 を構成する出力制御回路 B 1 , B 2 , . . . , B m は、全て動作を停止し、ハイインピーダンス状態である “ H i Z ” になる。このため、出力端子 T 1 , T 2 , . . . , T m の信号レベルは、すべてハイインピーダンス状態である “ H i Z ” となる。なお、D C - D C コンバータ 2 が低電圧 V G L を発生した以降、電源検出回路 1 6 の出力信号 S S B は出力バッファ回路 1 5 に入力されない。

【 0 0 4 1 】

そして、出力制御回路 B 1 内のスイッチ 1 7 a 及び 1 7 b に “ H i g h ” レベルの電源

50

検出回路 16 の出力信号 S S A が入力され、オンすると、出力制御回路 B 1 内の出力回路 18 は、高電圧 V G H 及び低電圧 V G L に接続され、“ L o w ” レベルのレベルシフト回路の出力信号 L S S を入力して “ L o w ” レベルである “ V G L ” の信号を出力する。このとき、出力端子 T 1 に接続される走査線負荷 12 がプリチャージされ、D C - D C コンバータ 2 から供給される電流は出力端子 1 個分 (10 m A) だけである。ここで、“ V G L ” とは画素部 8 の T F T 回路を「オン」させない非駆動レベルに対応する。

【 0 0 4 2 】

出力信号 T 1 が “ L o w ” レベルである “ V G L ” になり、所定期間 “ t ” 経過後、出力制御回路 B 1 内の出力回路 18 は、“ H i g h ” レベルのレベルシフト回路の出力信号 L S S を入力して “ H i g h ” レベルである “ V G H ” の信号を出力する。なお、“ V G H ” は画素部 8 の T F T 回路を「オン」させる駆動電圧であって、液晶の表示レベルに対応する。この “ V G H ” の信号が出力端子 T 1 を介して出力端子 T 1 に接続される走査線 6 に出力され、出力端子 T 1 に接続される画素部 8 に画像が表示される。そして、表示期間が終了すると、出力信号は、画素部 8 の T F T 回路を「オフ」させる “ L o w ” レベルの非駆動電圧 “ V G L ” になる。

10

【 0 0 4 3 】

ここで、出力端子 T 1 がハイインピーダンス状態である “ H i Z ” から、“ L o w ” レベルである “ V G L ” にして、走査線負荷 12 をプリチャージする第 2 の制御手段は、スイッチ 17 a 及びスイッチ 17 b と、スイッチ 17 a 及びスイッチ 17 b を ON させる “ H i g h ” レベルの電源検出回路 16 の出力信号 S S A と、“ L o w ” レベルのレベルシフト回路の出力信号 L S S とである。

20

【 0 0 4 4 】

次に、図 6 に示されているように、出力端子 T 2 , T 3 , . . . , T m の各々について出力端子 T 1 と同じ動作が、その動作をずらしながら実行される。すなわち、出力端子 T 2 , T 3 , . . . , T m の各々が高いインピーダンス状態 “ H i Z ” になり、出力端子 T 1 について上述した動作と同様に、それ以降の出力端子について、低電圧 V G L 、低電圧 V G L のプリチャージ期間 “ t ” 後に高電圧 V G H 及び再び低電圧 V G L が順次供給される動作が実行される。

【 0 0 4 5 】

上述したように、本実施例の駆動回路では、ロジック部高電圧 V D D 、高電圧 V G H 、及び低電圧 V G L に接続され、液晶表示装置 30 の立ち上げ時など、ロジック部高電圧 V D D 、高電圧 V G H 、及び低電圧 V G L の電圧が変化した場合、出力バッファ回路 15 などの動作を制御する信号を生成する電源検出回路 16 と、出力回路 18 、スイッチ 17 a 、及びスイッチ 17 b からそれぞれ構成される出力制御回路 B i , (1 ≤ i ≤ m) が設けられている。電源検出回路 16 の出力信号 S S B が入力されると、出力制御回路 B 1 , B 2 , . . . , B m は基準電位 G N D になり、次いで “ L o w ” レベルの出力信号 S S A が入力されると、ハイインピーダンス状態 “ H i Z ” になる。そして、“ H i g h ” レベルの電源検出回路 16 の出力信号 S S A が順次入力されると、出力制御回路 B 1 , B 2 , . . . , B m は所定期間ずれた “ L o w ” レベルである “ V G L ” の信号をそれぞれ出力する。

30

40

【 0 0 4 6 】

このため、出力端子ごとに D C - D C コンバータ 2 から電流が供給され、出力端子 T 1 , T 2 , . . . , T m に接続された走査線負荷 12 が低電圧 V G L で順次プリチャージされるので、D C - D C コンバータ 2 に過大な電流が発生するのを防止することができる。

【 0 0 4 7 】

従って、電源を構成する回路に負担がかかることがなく、配線の溶断や回路のシャットダウンを抑制することができる。また、配線の溶断や回路のシャットダウンを抑制するために、配線を太くし、或いは電流供給の能力の高い電源回路を設ける必要がないので、電源回路のコストを抑制することができる。

【 0 0 4 8 】

50

なお、本実施例では、出力端子ごとに、ハイインピーダンス状態である“H i Z”から順次走査線負荷をプリチャージして、出力端子の出力レベルを“V G L”にしているが、複数個の出力端子ごと、或いはアトランダムにハイインピーダンス状態“H i Z”から走査線負荷をプリチャージしてもよい。また、スイッチ17aを高電圧V G Hと出力回路18の間に、スイッチ17bを低電圧V G Lと出力回路18の間に、それぞれ設けているが、出力回路18と出力端子の間にスイッチを設けたり、レベルシフト回路14と出力回路18の間にスイッチを設けたり、或いはシフトレジスタ回路13とレベルシフト回路14の間にスイッチを設けてもよい。そして、スイッチ17a及び17bにトランスファークロウ構成のスイッチを用いているが、トランスファークロウ構成のスイッチの代わりにPチャンネルMOSトランジスタやNチャンネルMOSトランジスタからなるスイッチなどを用いてもよい。更に、MOSトランジスタの代わりに、ゲート電極膜に絶縁膜を用いたM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)を用いてもよい。

10

【実施例2】

【0049】

次に、本発明の実施例2に係る駆動回路について、図面を参照して説明する。図7は、ゲートドライバ回路の出力制御回路を示す回路図である。本実施例では、ゲートドライバ回路の出力制御回路の構成を実施例1とは別の構成にし、出力端子をハイインピーダンス状態にしてから、アトランダムに走査線負荷をプリチャージしている。

【0050】

20

以下、実施例1と同一構成部分には、同一符号を付してその部分の説明を省略し、異なる部分のみ説明する。

【0051】

出力バッファ回路15は出力制御回路B1、B2、・・・、Bmから構成されるが、図7には、出力制御回路B1、B2、・・・、Bmの代表として、出力制御回路B1のみ示されている。出力制御回路B1は、信号レベル制御部19及び出力選択回路20からそれぞれ構成されている。出力制御回路B1、B2、・・・、Bmに出力端子T1、T2、・・・、Tmがそれぞれ接続されている。

【0052】

出力制御回路B1、B2、・・・、Bmは、出力端子T1、T2、・・・、Tmにそれぞれ接続されている。ここで、シフトレジスタ回路13の出力信号をランダムに出力制御回路B_i、($1 \leq i \leq m$)に供給するように構成することによって、それに接続される出力端子T_i、($1 \leq i \leq m$)をランダムに指定することができる。この実施例では、記述の都合で、その指定を出力端子T1、T_j、T_k、・・・、T_mとしました。また、同様に、2以上の出力制御回路B_i、($1 \leq i \leq m$)を所定の順序で指定することもできる。

30

【0053】

信号レベル制御部19は、インバータI_{NV}4、2入力NAND回路NAND1、及び2入力NOR回路NOR1から構成されている。2入力NAND回路NAND1は、電源検出回路16の出力信号SSA及びレベルシフト回路の出力信号LSSを入力し、論理演算して2入力NAND回路の出力信号Aを出力する。2入力NOR回路NOR1は、レベルシフト回路の出力信号LSS、及び電源検出回路16の出力信号SSAをインバータI_{NV}2により反転した信号を入力し、論理演算して2入力NOR回路の出力信号Bを出力する。

40

【0054】

出力選択回路20は、PチャンネルMOSトランジスタP1及びNチャンネルMOSトランジスタN1から構成されている。PチャンネルMOSトランジスタP1は、ソース電極が高電圧V G Hに接続され、ゲート電極に2入力NAND回路の出力信号Aが入力され、ドレイン電極がNチャンネルMOSトランジスタN1のドレイン電極に接続されている。NチャンネルMOSトランジスタN1は、ゲート電極に2入力NOR回路の出力信号B

50

を入力し、ソース電極が低電圧VGLに接続されている。そして、PチャンネルMOSトランジスタP1及びNチャンネルMOSトランジスタN1は、2入力NAND回路の出力信号A及び2入力NOR回路の出力信号Bを入力し、出力端子T1に出力信号を供給する。

【0055】

PチャンネルMOSトランジスタP1のドレイン電極及びNチャンネルMOSトランジスタN1のドレイン電極と出力端子T1の間には電源検出回路16の出力信号SSBが入力される。電源検出回路16の出力信号SSBは、液晶表示装置30の立ち上げ時、出力信号レベルを接地電位であるGND(0V)にする役割をする。

【0056】

次に、出力制御回路に入力される信号レベルと、出力制御回路から出力される信号レベルの関係について図8を参照して説明する。図8は信号レベル制御部に入力される信号レベルと出力端子から出力される信号レベルの関係を示す図である。

【0057】

図8に示すように、電源検出回路16の出力信号SSAの信号レベルが“Low”で、レベルシフト回路の出力信号LSSの信号レベルが“Low”場合、2入力NAND回路の出力信号Aが“High”レベル、2入力NOR回路の出力信号Bが“Low”レベルとなる。このため、PチャンネルMOSトランジスタP1及びNチャンネルMOSトランジスタN1がオフし、出力端子T1はハイインピーダンス状態である“HiZ”になる。

【0058】

次に、電源検出回路16の出力信号SSAの信号レベルが“Low”で、レベルシフト回路の出力信号LSSの信号レベルが“High”場合、2入力NAND回路の出力信号Aが“High”レベル、2入力NOR回路の出力信号Bが“Low”レベルとなる。このため、PチャンネルMOSトランジスタP1及びNチャンネルMOSトランジスタN1がオフし、出力端子T1はハイインピーダンス状態である“HiZ”になる。

【0059】

ここで、レベルシフト回路の出力信号LSSの信号レベルによらず、電源検出回路16の出力信号SSAの信号レベルが“Low”場合、出力端子T1はハイインピーダンス状態である“HiZ”になるので、信号レベル制御部19及び電源検出回路16の出力信号SSAの“Low”レベルの信号が、出力端子T1をハイインピーダンス状態である“HiZ”にする第1の制御手段として機能する。

【0060】

続いて、電源検出回路16の出力信号SSAの信号レベルが“High”で、レベルシフト回路の出力信号LSSの信号レベルが“Low”場合、2入力NAND回路の出力信号A及び2入力NOR回路の出力信号Bが“High”レベルとなる。このため、PチャンネルMOSトランジスタP1がオフし、NチャンネルMOSトランジスタN1がオンし、出力信号は“Low”レベルである“VGL”になる。

【0061】

そして、電源検出回路16の出力信号SSAの信号レベルが“High”で、レベルシフト回路の出力信号LSSの信号レベルが“High”場合、2入力NAND回路の出力信号A及び2入力NOR回路の出力信号Bが“Low”レベルとなる。このため、PチャンネルMOSトランジスタP1がオンし、NチャンネルMOSトランジスタN1がオフし、出力信号は“High”レベルである“VGH”になる。

【0062】

次に、液晶表示装置の動作について図9を参照して説明する。図9は液晶表示装置の動作を示すタイミングチャートである。なお、電源投入時の動作は実施例1と同じなので説明を省略する。

【0063】

図9に示すように、DC-DCコンバータ2が低電圧VGLを発生したとき、出力選択回路20に接続される高電圧VGH及び低電圧VGLが所定の電圧に達しておらず、しか

10

20

30

40

50

も電源検出回路16の出力信号SSAが“Low”レベルなので、出力端子T1, T2, . . . , Tmは、それぞれハイインピーダンス状態である“HiZ”になる。出力選択回路20に接続される高電圧VGH及び低電圧が所定の電圧に達したあと、電源検出回路16の出力信号SSAが“Low”レベルの間、出力端子T1, T2, . . . , Tmは、それぞれハイインピーダンス状態である“HiZ”になる。

【0064】

そして、電源検出回路16が電源の立ち上がりを検出すると、出力信号SSBを出力バッファ回路15に供給するため、出力端子T1, T2, . . . , Tmは、基準電位GNDになる。次いで出力制御回路B1の信号レベル制御部19に“High”レベルの電源検出回路16の出力信号SSA及び“Low”レベルのレベルシフト回路の出力信号LSSが入力されると、出力制御回路B1の出力選択回路16は、“Low”レベルである“VGL”の信号を出力する。このとき、出力端子T1に接続される走査線負荷12がプリチャージされ、DC-DCコンバータ2から供給される電流は出力端子1個分(10mA)だけである。出力信号が“Low”レベルである“VGL”になり、所定期間経過後、出力制御回路Bj, (1 < j < m)の信号レベル制御部19に“High”レベルの電源検出回路16の出力信号SSA及び“High”レベルのレベルシフト回路の出力信号LSSが入力されると、出力制御回路Bj, (1 < j < m)の出力選択回路16は、“High”レベルである“VGH”の信号を出力する。この“VGH”の信号が出力端子Tj, (1 < j < m)に接続される走査線6に出力され、画素部8が駆動表示される。そして、表示期間が終了すると、出力信号は“Low”レベルである“VGL”になる。

【0065】

ここで、出力端子T1, T2, . . . , Tmをハイインピーダンス状態である“HiZ”から、“Low”レベルである“VGL”にして、走査線負荷12をプリチャージする第2の制御手段は、信号レベル制御部19と、“High”レベルの電源検出回路16の出力信号SSAと、“Low”レベルのレベルシフト回路の出力信号LSSとである。

【0066】

図9に示されているように、その他の出力端子Tk, ..., Tm (1 < k < m, k ≠ j)がアトランダムに選択されることにより、同様な駆動が、それぞれ実行される。さらに、上述の指定とは異なり、出力バッファ回路Bi, (1 ≤ i ≤ m)が2以上所定の順序で選択されるようにシフトレジスタ回路13の出力信号を組み合わせると、その選択に対応する2以上の出力端子が上述した動作が2以上所定の順序で実行される。

【0067】

上述したように、本実施例の液晶表示装置30は、電源投入時の電圧の立ち上げ時など、ロジック部高電圧VDD、高電圧VGH、及び低電圧VGLの電圧が変化した場合、出力バッファ回路15などの動作を制御する信号を生成する電源検出回路16と、信号レベル制御部19及び出力選択回路16からそれぞれ構成される出力制御回路B1, B2, . . . , Bmが設けられている。“Low”レベルの電源検出回路16の出力信号SSAが入力されると、出力端子T1, T2, . . . , Tmはハイインピーダンス状態である“HiZ”になる。そして、“High”レベルの電源検出回路16の出力信号SSAが入力され、“Low”レベルのレベルシフト回路の出力信号LSSが入力されると、出力制御回路B1, B2, . . . , Bmは“Low”レベルである“VGL”の信号をそれぞれ出力する。

【0068】

このため、出力端子ごとにDC-DCコンバータ2から電流が供給され、出力端子T1, T2, . . . , Tmにそれぞれ接続された走査線負荷12が別々あるいはグループ毎にプリチャージされるので、DC-DCコンバータ2に過大な電流が発生するのを防止することができる。

【0069】

従って、電源を構成する回路に負担がかかることがなく、配線の溶断や回路のシャットダウンを抑制することができる。また、配線の溶断や回路のシャットダウンを抑制するた

10

20

30

40

50

めに、配線を太くし、或いは電流供給の能力の高い電源回路を設けた必要がないので、電源回路のコストを抑制することができる。

【0070】

本発明は、上記実施例に限定されるものではなく、発明の趣旨を逸脱しない範囲で、種々、変更してもよい。

【0071】

例えば、実施例では、LCDと同様にライン毎に走査をして表示を行うFED(Field Emission Display)、有機ELなどのELD(Electroluminescent Display)、或いはPDP(Plasma Display Panel)等に用いられるゲートドライバ回路としての駆動回路に適用してもよい。また、高電圧側に設けられたPチャンネルMOSトランジスタと低電圧側に設けられたNチャンネルMOSトランジスタ構成の出力バッファを用いているが、高電圧側に設けられた第1のPチャンネルMOSトランジスタと低電圧側に設けられた第2のPチャンネルMOSトランジスタ構成の出力バッファや、高電圧側に設けられた第1のNチャンネルMOSトランジスタと低電圧側に設けられた第2のNチャンネルMOSトランジスタ構成の出力バッファを用いてもよい。この場合、ゲート電極に入力される信号レベルの適宜変更するのが好ましい。

10

【図面の簡単な説明】

【0072】

【図1】本発明の実施例1に係る液晶表示装置の構成を示す概略ブロック図。

【図2】本発明の実施例1に係るゲートドライバ回路を示すブロック図。

20

【図3】本発明の実施例1に係る出力制御回路を示すブロック図。

【図4】本発明の実施例1に係るスイッチを示す回路図。

【図5】本発明の実施例1に係る出力制御回路に入力される信号レベルと出力端子から出力される信号レベルの関係を示す図。

【図6】本発明の実施例1に係る液晶表示装置の動作を示すタイミングチャート。

【図7】本発明の実施例2に係る出力制御回路を示す回路図。

【図8】本発明の実施例2に係る信号レベル制御部に入力される信号レベルと出力端子から出力される信号レベルの関係を示す図。

【図9】本発明の実施例2に係る液晶表示装置の動作を示すタイミングチャート。

【符号の説明】

30

【0073】

- 1 ディスプレイコントローラ
- 2 DC-DCコンバータ
- 3 表示パネル(LCD)
- 4 ゲートドライバ回路
- 5 ソースドライバ回路
- 6 走査線
- 7 データ線
- 8 画素部
- 9 TFT
- 10 保持容量
- 11 画素電極(液晶セル)
- 12 走査線負荷
- 13 シフトレジスタ回路
- 14 レベルシフト回路
- 15 出力バッファ回路
- 16 電源検出回路
- 17 a、17 b スイッチ
- 18 出力回路
- 19 信号レベル制御部

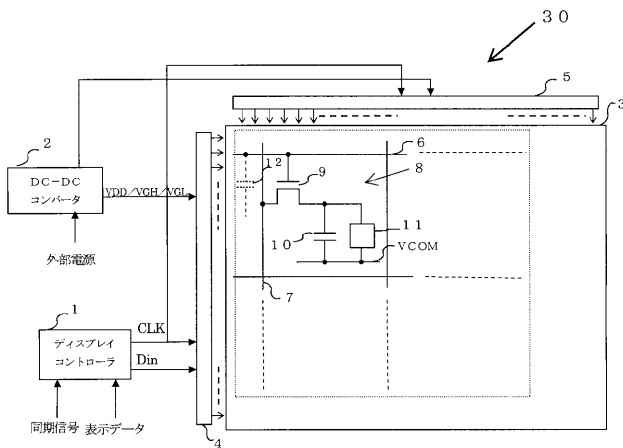
40

50

20 出力選択回路
 30 液晶表示装置
 A 2入力NAND回路の出力信号
 B 2入力NOR回路の出力信号
 B1, B2, . . . , Bm 出力制御回路
 CLK クロック信号
 Din 入力信号
 INV1、INV2、INV3、INV4 インバータ
 LSS レベルシフト回路の出力信号
 N1、N11 NチャンネルMOSトランジスタ
 NAND1 2入力NAND回路
 NOR1 2入力NOR回路
 T1, T2, . . . , Tm 出力端子
 P1、P11 PチャンネルMOSトランジスタ
 SSA、SSB 電源検出回路の出力信号
 VCOM コモン電圧
 VDD ロジック部高電圧
 VGH 高電圧（画素部の駆動電圧）
 VGL 低電圧（画素部の非駆動電圧）

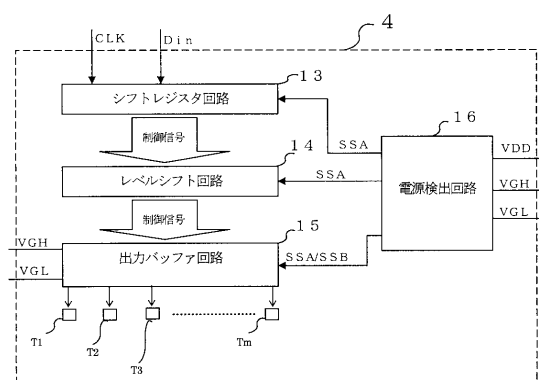
10

【図1】



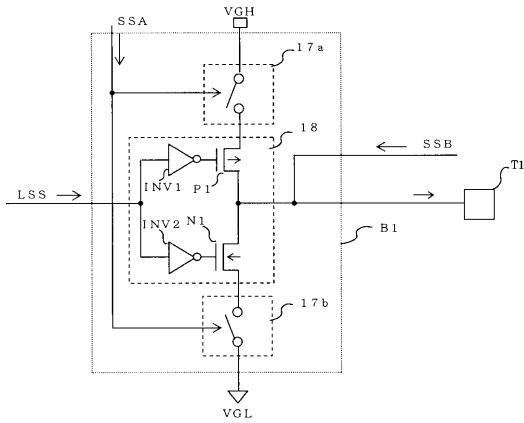
- | | |
|-----------------|----------------|
| 1: ディスプレイコントローラ | 12: 走査線負荷 |
| 2: DC-DCコンバータ | 13: シフトレジスタ回路 |
| 3: 表示パネル (LCD) | 14: レベルシフト回路 |
| 4: ゲートドライバ回路 | 15: 出力バッファ回路 |
| 5: ソースドライバ回路 | 16: 電源検出回路 |
| 6: 走査線 | 17a, 17b: スイッチ |
| 7: データ線 | 18: 出力回路 |
| 8: 画素部 | 19: 信号レベル制御部 |
| 9: TFT | 20: 出力選択回路 |
| 10: 保持容量 | 30: 液晶表示装置 |
| 11: 画素電極 (液晶セル) | |

【図2】



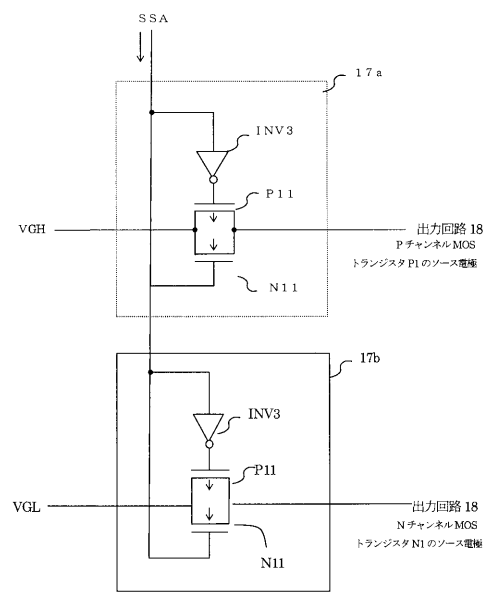
- | | |
|---------------|--------------------------|
| 4: ゲートドライバ回路 | CLK: クロック信号 |
| 13: シフトレジスタ回路 | Din: 入力信号 |
| 14: レベルシフト回路 | T1, T2, . . . , Tm: 出力端子 |
| 15: 出力バッファ回路 | SSA, SSB: 電源検出回路の出力信号 |
| 16: 電源検出回路 | VCOM: コモン電圧 |
| | VDD: ロジック部高電圧 |
| | VGH: 高電圧 (画素部の駆動電圧) |
| | VGL: 低電圧 (画素部の非駆動電圧) |

【図 3】



INV1、INV2：インバータ
 N1：NチャンネルMOSトランジスタ
 P1：PチャンネルMOSトランジスタ
 LSS：レベルシフト回路14の出力信号
 SSA、SSB：電源検出回路16の出力信号
 VGH：高電圧（画素部の駆動電圧）
 VGL：低電圧（画素部の非駆動電圧）
 B1：出力制御回路
 T1：出力端子
 17a、17b：スイッチ
 18：出力回路

【図 4】



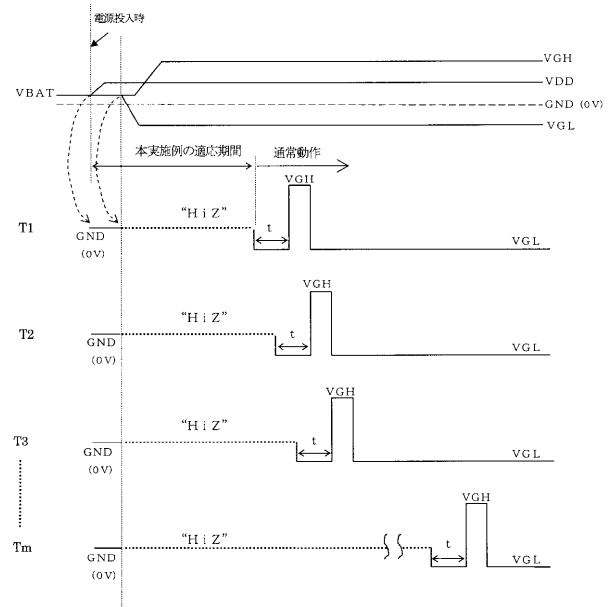
INV3：インバータ
 N11：NチャンネルMOSトランジスタ
 P11：PチャンネルMOSトランジスタ
 SSA：電源検出回路16の出力信号
 VDD：ロジック部高電圧
 VGH：高電圧（画素部の駆動電圧）
 VGL：低電圧（画素部の非駆動電圧）
 17a、17b：スイッチ

【図 5】

SSA	LSS	T1
"Low"	"Low"	"HiZ"
"Low"	"High"	"HiZ"
"High"	"Low"	"VGL"
"High"	"High"	"VGH"

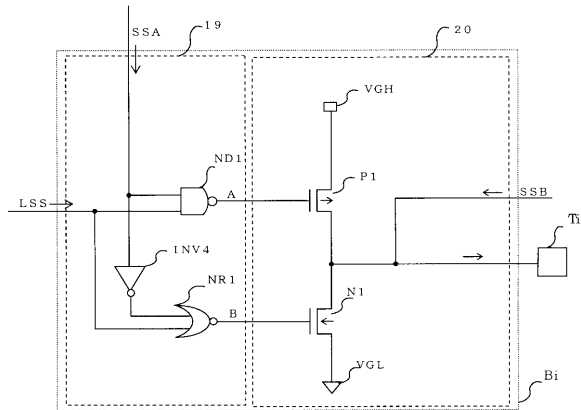
SSA：電源検出回路16の出力信号
 LSS：レベルシフト回路14の出力信号
 T1：出力端子

【図 6】



T1、T2、T3... Tm：出力端子
 VBAT：バッテリー電源電圧
 VGH：高電圧（画素部の駆動電圧）
 VGL：低電圧（画素部の非駆動電圧）
 GND：接地電位
 HiZ：高インピーダンス

【図 7】



18: 出力回路
19: 信号レベル制御部
20: 出力選択回路
A: 2入力NAND回路ND1の出力信号
B: 2入力NOR回路NR1の出力信号
Bi: 出力制御回路
Ti: 出力端子
INV4: インバータ

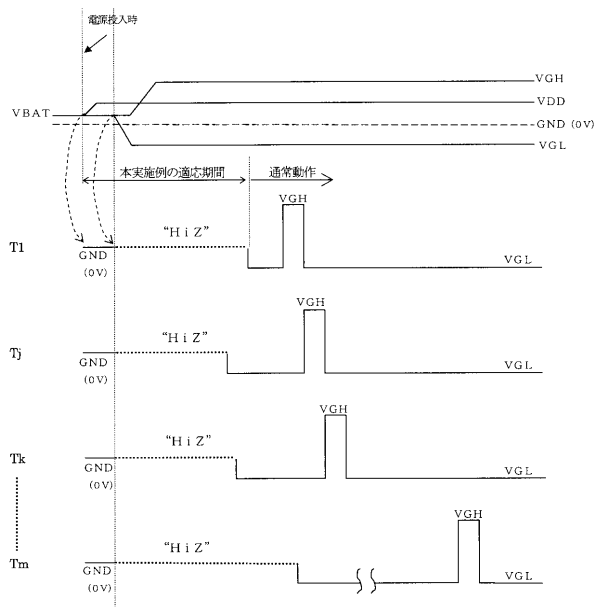
LSS: レベルシフト回路14の出力信号
VGH: 高電圧 (画素部の駆動電圧)
VGL: 低電圧 (画素部の非駆動電圧)
SSA, SSB: 電源検出回路16の出力信号
N1: NチャンネルMOSトランジスタ
P1: PチャンネルMOSトランジスタ
ND1: 2入力NAND回路
NR1: 2入力NOR回路

【図 8】

SSA	LSS	A	B	Ti
"Low"	"Low"	"High"	"Low"	"HiZ"
"Low"	"High"	"High"	"Low"	"HiZ"
"High"	"Low"	"High"	"High"	"VGL"
"High"	"High"	"Low"	"Low"	"VGH"

LSS: レベルシフト回路14の出力信号
SSA, SSB: 電源検出回路16の出力信号
A: 2入力NAND回路ND1の出力信号
B: 2入力NOR回路NR1の出力信号
Ti: 出力端子

【図 9】



Ti, Tj, Tk, ..., Tm: 出力端子
VBAT: バッテリ電源電圧
VGH: 高電圧 (画素部の駆動電圧)
VGL: 低電圧 (画素部の非駆動電圧)
GND: 接地電位
HiZ: 高インピーダンス

フロントページの続き

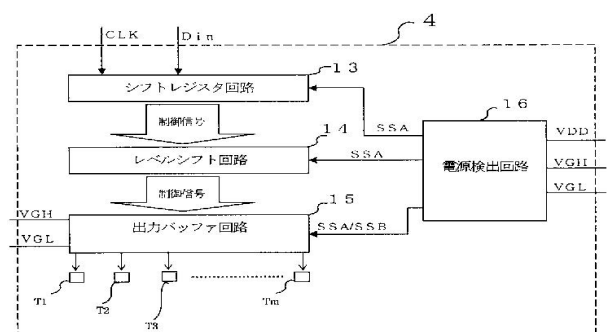
(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 7 0 D
	G 0 9 G 3/20	6 7 0 M
	G 0 2 F 1/133	5 2 0
	G 0 2 F 1/133	5 5 0

Fターム(参考) 5C080 AA10 BB05 DD09 DD19 DD24 DD27 FF03 FF11 JJ02 JJ03
JJ04

专利名称(译)	显示装置的驱动电路和驱动方法		
公开(公告)号	JP2006201760A	公开(公告)日	2006-08-03
申请号	JP2005367147	申请日	2005-12-20
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	增子彰		
发明人	增子 彰		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.G G09G3/20.622.G G09G3/20.622.B G09G3/20.622.C G09G3/20.670.D G09G3/20.670.M G02F1/133.520 G02F1/133.550		
F-TERM分类号	2H093/NC05 2H093/NC22 2H093/NC34 2H093/NC58 2H093/ND60 5C006/AF64 5C006/AF67 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BF03 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF42 5C006/BF45 5C006/BF46 5C006/FA33 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD19 5C080/DD24 5C080/DD27 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZH21		
代理人(译)	堀口博		
优先权	2004367461 2004-12-20 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：在对扫描线负载进行预充电时，抑制电源中产生的过大电流的产生。栅极驱动器电路4设置有移位寄存器电路13，电平移位电路14，输出缓冲电路15，电源检测电路16以及输出端子T1，T2，...，Tm。电源检测电路16连接到逻辑部分高电压VDD，高电压VGH和低电压VGL。变化，产生控制输出缓冲电路15等的操作的信号。通过该信号，将输出端子设置为高阻抗状态“HiZ”，然后对扫描线负载12进行预充电，并且将输出端子的信号电平设置为“VGL”，即“低”电平。[选择图]图2



4：ゲートドライバ回路
13：シフトレジスタ回路
14：レベルシフト回路
15：出力バッファ回路
16：電源検出回路

CLK：クロック信号
Din：入力信号
T1, T2, ..., Tm：出力端子
SSA, SSB：電源検出回路の出力信号
VCOM：共通電圧
VDD：ロジック動作電圧
VGH：高電圧（画素部の駆動電圧）
VGL：低電圧（画素部の非駆動電圧）