

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-106320

(P2006-106320A)

(43) 公開日 平成18年4月20日(2006.4.20)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 622B	5C080
G11C 19/00 (2006.01)	G09G 3/20 622E	
G11C 19/28 (2006.01)	G09G 3/20 670K	
審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く		

(21) 出願番号 特願2004-292419 (P2004-292419)

(22) 出願日 平成16年10月5日 (2004.10.5)

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町 1 番 7 号

(74) 代理人 100106909

弁理士 棚井 澄雄

(74) 代理人 100064908

弁理士 志賀 正武

(72) 発明者 藤由 達巳

東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社内

F ターム (参考) 2H093 NC16 NC22 NC34 NC35 ND47

5C006 AC22 AF42 AF75 BB16 BC03

BC20 BF03 BF34 BF37

5C080 AA10 BB05 DD19 DD29 FF07

FF11 JJ02 JJ03 JJ04

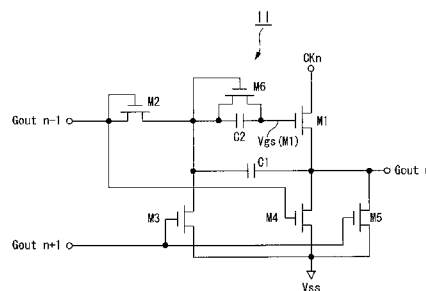
(54) 【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【課題】 液晶表示装置を駆動するゲートドライバを構成するシフトレジスタが有するレジスタ回路内の出力トランジスタにおいて、閾値電圧のシフトを防止することができる液晶表示装置の駆動回路を実現する。

【解決手段】 トランジスタM6とキャパシタC2の組は、液晶表示装置を駆動する出力トランジスタM1のゲートに印加される電圧を、出力トランジスタM1のオフ期間において、負のバイアス電圧に降下する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

多段接続された複数のレジスタ回路を有するシフトレジスタを備え、
前記レジスタ回路は、
液晶表示装置を駆動する出力トランジスタと、
前記出力トランジスタのゲートに印加される電圧を制御する電圧制御回路とを有し、
前記電圧制御回路は、
前記出力トランジスタのオフ期間において、負のバイアス電圧を前記出力トランジスタのゲートに印加することを特徴とする液晶表示装置の駆動回路。

【請求項 2】

10

前記レジスタ回路は、
前段のレジスタ回路の出力パルスにより前記出力トランジスタをオンさせるための正の電圧を発生し、後段のレジスタ回路の出力パルスにより前記正の電圧を、前記出力トランジスタをオフさせる電圧にする電圧発生回路をさらに有し、
前記電圧制御回路は、
前記電圧発生回路から供給される電圧を一定値だけ降下させて、前記出力トランジスタのゲートに印加する電圧降下手段を有することを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 3】

20

前記電圧降下手段は、
電圧降下用トランジスタと、該電圧降下用トランジスタのソースおよびドレイン間に設けられたキャパシタとの組み合わせから成ることを特徴とする請求項 2 に記載の液晶表示装置の駆動回路。

【請求項 4】

前記レジスタ回路は、
前段のレジスタ回路の出力パルスにより前記出力トランジスタをオンさせるための正の電圧を発生し、後段のレジスタ回路の出力パルスにより前記正の電圧を、前記出力トランジスタをオフさせる電圧にする電圧発生回路をさらに有し、
前記電圧制御回路は、

前記後段の出力パルスにより、前記負のバイアス電圧の発生を開始するバイアス電圧発生手段を有することを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

30

【請求項 5】

前記出力トランジスタは、アモルファスシリコンを用いて形成されることを特徴とする請求項 1 から 4 のいずれかの項に記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動回路に関する。

40

【背景技術】

【0002】

従来の液晶表示装置の駆動回路に係る技術としては、例えば特許文献 1 に記載の技術が知られている。この特許文献 1 に記載の従来の技術では、液晶表示装置を駆動するゲートドライバを、多段接続された複数のレジスタ回路を有するシフトレジスタにより構成している。そして、該一段分のレジスタ回路においては、直前段のレジスタ回路の出力パルスにより入力トランジスタ・スイッチがオンして、出力トランジスタのゲートに関連するキャパシタを充電することにより、該出力トランジスタがオンするために十分な正のゲート電圧 V_{gs} を確保する。次いで、次々段のレジスタ回路の出力パルスによりクランピング・トランジスタがオンして該キャパシタンスを放電し、出力トランジスタがオンしない正

50

のゲート電圧 V_{gs} を確保する。

【特許文献 1】特開平 8 - 87897 号公報（第 4 - 5 頁、第 3 図）

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、上述した従来の技術では、出力トランジスタが、自身のゲート電圧 V_{gs} によってストレスを受けることにより閾値電圧 V_{th} がシフトし、この閾値電圧 V_{th} のシフトが進むことにより、スイッチとしての機能を十分に果たすことができなくなる場合がある。例えば、アモルファスシリコン（ $a-Si$ ）を用いて、液晶表示装置のアクティブマトリックス基板における TFT（Thin Film Transistor：薄膜トランジスタ）を形成し、
10 該 TFT によってゲートドライバをアクティブマトリックス基板上に内蔵化する場合に、上記した閾値電圧シフトの問題が生じている。 $a-Si$ は安価な製造プロセスとして注目されており、上記した閾値電圧シフトの問題を解決して液晶表示装置の動作寿命を改善することが重要な課題となっている。

【0004】

本発明は、このような事情を考慮してなされたもので、その目的は、液晶表示装置を駆動するゲートドライバを構成するシフトレジスタが有するレジスタ回路内の出力トランジスタにおいて、閾値電圧のシフトを防止することができる液晶表示装置の駆動回路を提供することにある。

【課題を解決するための手段】

【0005】

上記の課題を解決するために、本発明に係る液晶表示装置の駆動回路は、多段接続された複数のレジスタ回路を有するシフトレジスタを備え、前記レジスタ回路は、液晶表示装置を駆動する出力トランジスタと、前記出力トランジスタのゲートに印加される電圧を制御する電圧制御回路とを有し、前記電圧制御回路は、前記出力トランジスタのオフ期間において、負のバイアス電圧を前記出力トランジスタのゲートに印加することを特徴とする。
。

この構成によれば、出力トランジスタのゲートにソース、ドレインに対して負のバイアス電圧を印加する期間を設けることができるので、出力トランジスタをオンするための正のゲート電圧により発生した正のシフト量を、負のゲート電圧により発生する負のシフト
30 量で相殺することができる。

【0006】

本発明に係る液晶表示装置の駆動回路においては、前記レジスタ回路は、前段のレジスタ回路の出力パルスにより前記出力トランジスタをオンさせるための正の電圧を発生し、後段のレジスタ回路の出力パルスにより前記正の電圧を、前記出力トランジスタをオフさせる電圧にする電圧発生回路をさらに有し、前記電圧制御回路は、前記電圧発生回路から供給される電圧を一定値だけ降下させて、前記出力トランジスタのゲートに印加する電圧降下手段を有することを特徴とする。

この構成によれば、出力トランジスタをオンオフさせる電圧を降下させることにより、負のバイアス電圧を発生させることができる。
40

【0007】

本発明に係る液晶表示装置の駆動回路においては、前記電圧降下手段は、電圧降下用トランジスタと、該電圧降下用トランジスタのソースおよびドレイン間に設けられたキャパシタとの組み合わせから成ることを特徴とする。

この構成によれば、トランジスタの閾値電圧を利用することにより、簡単な構成で電圧降下手段を実現することができる。

【0008】

本発明に係る液晶表示装置の駆動回路においては、前記レジスタ回路は、前段のレジスタ回路の出力パルスにより前記出力トランジスタをオンさせるための正の電圧を発生し、後段のレジスタ回路の出力パルスにより前記正の電圧を、前記出力トランジスタをオフさ
50

せる電圧にする電圧発生回路をさらに有し、前記電圧制御回路は、前記後段の出力パルスにより、前記負のバイアス電圧の発生を開始するバイアス電圧発生手段を有することを特徴とする。

この構成によれば、後段の出力パルスを利用することにより、出力トランジスタのオフ期間において負のバイアス電圧の発生を開始することができる。

【 0 0 0 9 】

本発明に係る液晶表示装置の駆動回路においては、前記出力トランジスタは、アモルファスシリコンを用いて形成されることを特徴とする。

この構成によれば、アモルファスシリコン (a - S i) を用いて、液晶表示装置のアクティブマトリックス基板における T F T を形成し、該 T F T によってゲートドライバをアクティブマトリックス基板上に内蔵化する場合に生じる、閾値電圧シフトの問題を解決し、動作寿命の改善を図ることができる。

10

【発明の効果】

【 0 0 1 0 】

本発明によれば、出力トランジスタのゲートにソース、ドレインに対して負のバイアス電圧を印加する期間を設けることができるので、出力トランジスタをオンするための正のゲート電圧により発生した正のシフト量を、負のゲート電圧により発生する負のシフト量で相殺することができる。

【 0 0 1 1 】

これにより、出力トランジスタの閾値電圧のシフトを大幅に抑制することが可能となり、シフトレジスタの動作寿命を改善することができる。この結果、液晶表示装置の動作寿命が改善される。

20

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、図面を参照し、本発明の各実施形態について順次説明する。

図 1 は、本発明の各実施形態に係るシフトレジスタ 1 0 の構成を示すブロック図である。このシフトレジスタ 1 0 は、液晶表示装置を駆動するゲートドライバを構成するものである。このゲートドライバは、液晶表示装置のアクティブマトリックス基板における T F T によってアクティブマトリックス基板上に内蔵化されている。さらに、該アクティブマトリックス基板における T F T は、 a - S i を用いて形成されている。

30

【 0 0 1 3 】

図 1 に示されるように、シフトレジスタ 1 0 は、複数のレジスタ回路 1 1 を有し、それら複数のレジスタ回路 1 1 が多段接続されている。シフトレジスタ 1 0 には、図示されないクロック発生回路から、スタートパルス S T P 及びクロック C K 1 , C K 2 が入力される。

【 0 0 1 4 】

スタートパルス S T P 及びクロック C K 1 , C K 2 は、図 3 に示される波形を有する。スタートパルス S T P は、図 1 の一段目 (初段) のレジスタ回路 1 _ 1 1 から出力パルス G o u t 1 を出力開始するための信号であり、レジスタ回路 1 _ 1 1 に入力されている。クロック C K 1 , C K 2 は、2 相クロックであり、順次後段のレジスタ回路 1 1 へとデータを転送するための信号である。クロック C K 1 は、奇数段目のレジスタ回路 1 1 に入力されている。クロック C K 2 は、偶数段目のレジスタ回路 1 1 に入力されている。

40

【 0 0 1 5 】

各レジスタ回路 1 1 の出力パルス G o u t 1 , G o u t 2 , G o u t 3 , G o u t 4 , . . . は、ゲートドライバとしての出力信号である。これら出力パルスは、液晶表示装置のアクティブマトリックス基板上の各画素に対応する T F T を順次駆動する。

【 0 0 1 6 】

[第 1 の実施形態]

図 2 は、本発明の第 1 の実施形態に係るレジスタ回路 1 1 の内部構成を示すブロック図である。この図 2 には、シフトレジスタ 1 0 の n 段目のレジスタ回路 1 1 を示している。

50

図 3 は、図 2 に示すレジスタ回路 1 1 の動作を説明するためのタイミングチャートである。以降、図 3 のタイミングチャートを参照しながら、二段目のレジスタ回路 2 _ 1 1 を例に挙げてレジスタ回路 1 1 の構成及び動作を説明する。

【 0 0 1 7 】

図 2 において、まず、前段である一段目のレジスタ回路 1 _ 1 1 の出力パルス $G_{out} 1$ がレジスタ回路 2 _ 1 1 に入力されると ($T 1$ 時点)、トランジスタ $M 2$ 及び $M 4$ がオンし、キャパシタ $C 1$ の両電極間には $[(G_{out} 1 \text{ の波高値}) - (M 2 \text{ の閾値電圧})]$ の電位差が発生する。この時、トランジスタ $M 6$ はオンし、キャパシタ $C 2$ の両電極間にはトランジスタ $M 6$ の順方向の閾値電圧の電位差が発生する。これにより、出力トランジスタ $M 1$ のゲート電圧 $V_{gs} (M 1)$ は、

10

$V_{gs} (M 1) = (G_{out} 1 \text{ の波高値}) - (M 2 \text{ の閾値電圧}) - (M 6 \text{ の閾値電圧})$ となる。

この時の出力トランジスタ $M 1$ のゲート電圧 $V_{gs} (M 1)$ は、出力トランジスタ $M 1$ が出力パルス $G_{out} 2$ を発生するために必要な電流を流すために十分なものとして確保する。この条件を満たすように、クロック $CK 1$, $CK 2$ の波高値の設定を行う。

【 0 0 1 8 】

次いで、クロック $CK 2$ が入力されると ($T 2$ 時点)、出力トランジスタ $M 1$ はオンしているので、該クロック $CK 2$ の波形がそのまま出力パルス $G_{out} 2$ として現れる。これにより、キャパシタ $C 1$ の両電極間の電位差は保持されるので、キャパシタ $C 1$ のトランジスタ $M 2$ 側の電極はクロック $CK 2$ の波高値の電位分上昇する。次いで、クロック $CK 2$ の波形の立下りにより ($T 2'$ 時点)、キャパシタ $C 1$ の両電極間の電位差は保持されたまま出力パルス $G_{out} 2$ の波形も立下がる。

20

【 0 0 1 9 】

次いで、後段である三段目のレジスタ回路 3 _ 1 1 の出力パルス $G_{out} 3$ が入力されると ($T 3$ 時点)、トランジスタ $M 3$ 及び $M 5$ がオンし、キャパシタ $C 1$ の両電極間の電位は接地電位 V_{ss} にリセットされる。この時、キャパシタ $C 2$ の両電極間は、トランジスタ $M 6$ によるダイオード接続の逆方向の電位となるためにカットオフし、該キャパシタ $C 2$ の両電極間の電位差はそのまま保たれる。

【 0 0 2 0 】

これにより、出力トランジスタ $M 1$ のゲート電圧 $V_{gs} (M 1)$ は、接地電位 V_{ss} よりも、トランジスタ $M 6$ の順方向の閾値電圧の電位差分だけ低い電位となる。つまり、出力トランジスタ $M 1$ のゲートには、ソース、ドレインに対して負のバイアス電圧が印加される。この状態は、次のパルス出力動作の開始時点 (出力パルス $G_{out} 1$ の入力時点 ($T 1$ 時点)) まで継続される。つまり、出力トランジスタ $M 1$ のオフ期間において、出力トランジスタ $M 1$ のゲートには、ソース、ドレインに対して負のバイアス電圧が印加され続ける。これにより、出力トランジスタ $M 1$ の閾値電圧に関し、正のゲート電圧により発生した正のシフト量を、該負のゲート電圧により発生する負のシフト量で相殺することができる。

30

【 0 0 2 1 】

このように第 1 の実施形態によれば、出力トランジスタ $M 1$ のゲートにソース、ドレインに対して負のバイアス電圧を印加する期間を設けることができるので、出力トランジスタ $M 1$ をオンするための正のゲート電圧により発生した正のシフト量を、負のゲート電圧により発生する負のシフト量で相殺することができる。これにより、出力トランジスタ $M 1$ の閾値電圧のシフトを大幅に抑制することが可能となり、シフトレジスタ 1 0 の動作寿命を改善することができる。この結果、液晶表示装置の動作寿命が改善される。

40

【 0 0 2 2 】

なお、実際の駆動状態においては、出力トランジスタ $M 1$ のゲートに印加する電圧の正 / 負のデューティ比は「正 : 負 = 1 : 100 以上」であるので、負の電圧レベルは 1 ~ 2 V 程度でも十分に効果が得られる。

【 0 0 2 3 】

50

また、出力トランジスタM 1の閾値電圧のシフトをより一層抑制したい場合には、負のバイアス電圧を大きくすればよい。具体的には、図4に示されるように、トランジスタM 7（電圧降下用トランジスタ）及びキャパシタC 3の組をトランジスタM 6（電圧降下用トランジスタ）及びキャパシタC 2の組に直列接続して挿入することにより、負のバイアス電圧を大きくすることができる。また、必要に応じて該トランジスタ及びキャパシタの組を増減することにより、出力トランジスタM 1の閾値電圧のシフトの抑制能力を制御することができる。このとき、出力トランジスタM 1のゲート電圧 $V_{gs}(M1)$ は、該トランジスタ及びキャパシタの組の数に応じて低下するが、クロックCK 1, CK 2の波高値を変更したり、出力トランジスタM 1のW/Lを変更することにより、ゲート電圧 $V_{gs}(M1)$ を必要な電圧に調整することができる。

10

【0024】

[第2の実施形態]

図5は、本発明の第2の実施形態に係るレジスタ回路11の内部構成を示すブロック図である。この図5には、シフトレジスタ10のn段目のレジスタ回路11を示している。図6は、図5に示すレジスタ回路11の動作を説明するためのタイミングチャートである。以降、図6のタイミングチャートを参照しながら、二段目のレジスタ回路2__11を例に挙げてレジスタ回路11の構成及び動作を説明する。

【0025】

第2の実施形態では、図5に示されるように、出力トランジスタM 1のゲートに接続されるノードに、キャパシタC 2とトランジスタM 6を直列に接続することにより、出力トランジスタM 1のゲートに負のバイアス電圧を印加する。

20

【0026】

トランジスタM 6において、キャパシタC 2と接続されている端子とは逆側の端子は、ハイレベルの電圧 V_{gh} に設定する。例えばクロックCK 1, CK 2のハイレベルの電圧に設定する。

なお、出力トランジスタM 1の出力パルス $G_{out}2$ が出力されるまで（T 2時点）の動作は、上記した第1の実施形態と同様であるので、ここではその説明を省略する。

【0027】

後段である三段目のレジスタ回路3__11の出力パルス $G_{out}3$ がレジスタ回路2__11に入力されると（T 3時点）、トランジスタM 3がオンし、出力トランジスタM 1のゲート電圧 $V_{gs}(M1)$ は接地電位 V_{ss} にクランプされる。この時、トランジスタM 6もオンするので、キャパシタC 2の両電極間には[電圧 $V_{gh} - (M6の閾値電圧)$]の電位差が発生する。

30

【0028】

次いで、レジスタ回路3__11の出力パルス $G_{out}3$ の波形が立ち下がると、トランジスタM 6がオフする。次いで、四段目のレジスタ回路4__11の出力パルス $G_{out}4$ が入力されると（T 4時点）、トランジスタM 7がオンし、キャパシタC 2に蓄えられている電荷により、出力トランジスタM 1のゲート電圧 $V_{gs}(M1)$ がマイナス電位にクランプされる。このマイナス電位は、トランジスタM 2, M 3がオフとなる閾値電圧 $V_{th}(M2, M3)$ により制限される。この状態は、次のパルス出力動作の開始時点（出力パルス $G_{out}1$ の入力時点（T 1時点））まで継続される。つまり、出力トランジスタM 1のオフ期間において、出力トランジスタM 1のゲートには、ソース、ドレインに対して負のバイアス電圧が印加され続ける。これにより、出力トランジスタM 1の閾値電圧に関し、正のゲート電圧により発生した正のシフト量を、該負のゲート電圧により発生する負のシフト量で相殺することができる。

40

【0029】

このように第2の実施形態によれば、出力トランジスタM 1のゲートにソース、ドレインに対して負のバイアス電圧を印加する期間を設けることができるので、出力トランジスタM 1をオンするための正のゲート電圧により発生した正のシフト量を、負のゲート電圧により発生する負のシフト量で相殺することができる。これにより、第1の実施形態と同

50

様に、出力トランジスタ M 1 の閾値電圧のシフトを大幅に抑制することが可能となり、シフトレジスタ 1 0 の動作寿命を改善することができる。この結果、液晶表示装置の動作寿命が改善される。

【 0 0 3 0 】

以上、本発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

【図面の簡単な説明】

【 0 0 3 1 】

【図 1】本発明の各実施形態に係るシフトレジスタ 1 0 の構成を示すブロック図である。

【図 2】本発明の第 1 の実施形態に係るレジスタ回路 1 1 の内部構成を示すブロック図である。 10

【図 3】図 2 に示すレジスタ回路 1 1 の動作を説明するためのタイミングチャートである。

【図 4】本発明の第 1 の実施形態に係るレジスタ回路 1 1 の他の内部構成を示すブロック図である。

【図 5】本発明の第 2 の実施形態に係るレジスタ回路 1 1 の内部構成を示すブロック図である。

【図 6】図 5 に示すレジスタ回路 1 1 の動作を説明するためのタイミングチャートである。

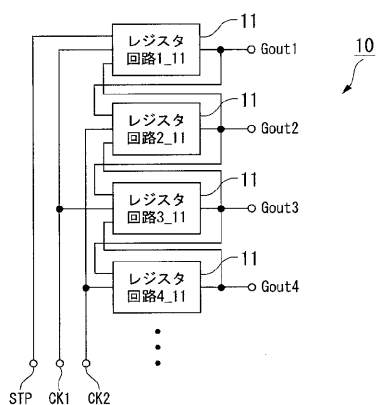
【符号の説明】

20

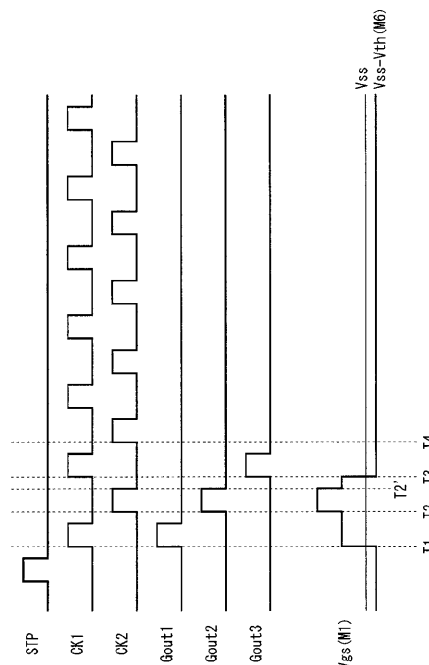
【 0 0 3 2 】

1 0 ... シフトレジスタ、 1 1 ... レジスタ回路、 M 1 ... 出力トランジスタ、 M 6 , M 7 ... トランジスタ、 C 2 , C 3 ... キャパシタ。

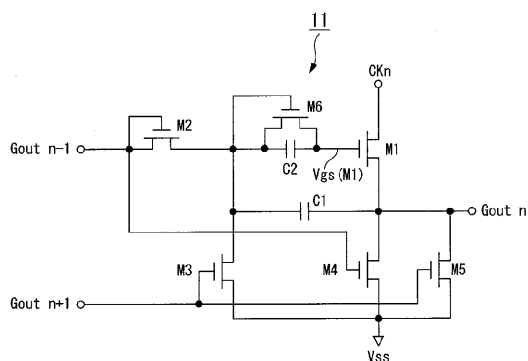
【図 1】



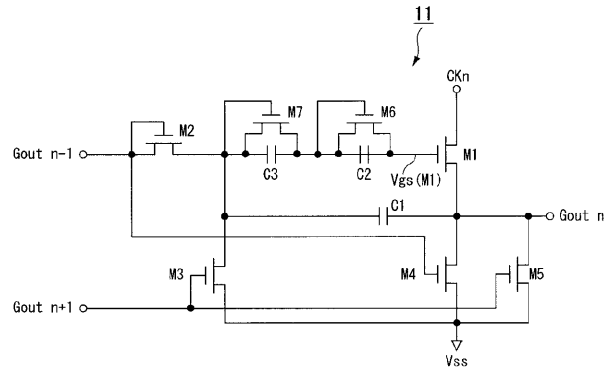
【図 3】



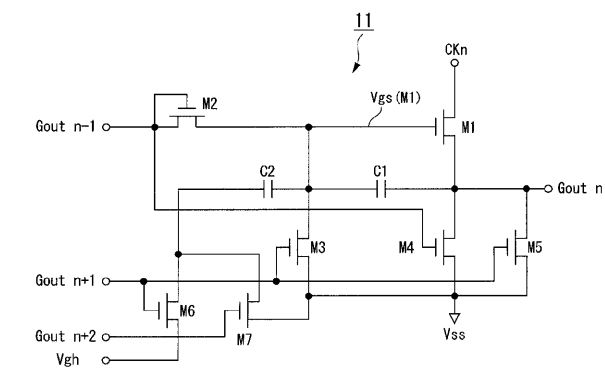
【図 2】



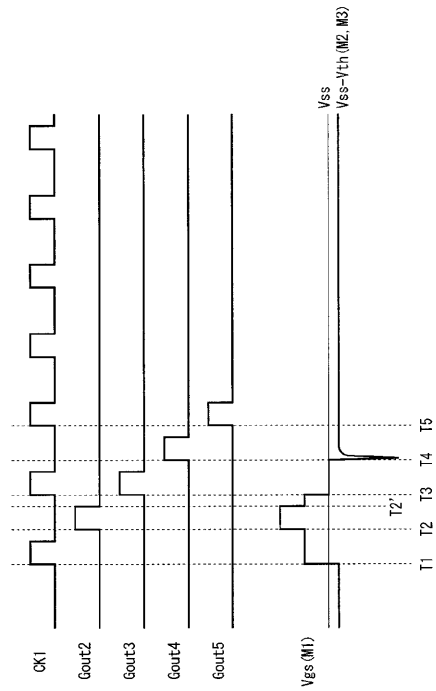
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 1 1 C 19/00	J
	G 1 1 C 19/28	D

专利名称(译)	液晶显示装置的驱动电路		
公开(公告)号	JP2006106320A	公开(公告)日	2006-04-20
申请号	JP2004292419	申请日	2004-10-05
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	藤由達巳		
发明人	藤由 達巳		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G11C19/00 G11C19/28		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/184		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.B G09G3/20.622.E G09G3/20.670.K G11C19/00.J G11C19/28.D G11C19/00 G11C19/28.230		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND47 5C006/AC22 5C006/AF42 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF34 5C006/BF37 5C080/AA10 5C080/BB05 5C080/DD19 5C080/DD29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 5B074/AA02 5B074/CA01		
代理人(译)	塔奈澄夫		
外部链接	Espacenet		

摘要(译)

液晶显示装置的驱动电路，能够防止构成用于驱动液晶显示装置的栅极驱动器的移位寄存器的移位寄存器所包括的寄存器电路中的输出晶体管中的阈值电压的偏移。一对晶体管M6和电容器C2在输出晶体管M1的截止期间将施加给驱动液晶显示装置的输出晶体管M1的栅极的电压降低至负偏置电压。[选择图]图2

