

【特許請求の範囲】

【請求項 1】

複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号と前記画像信号の反転信号とを時間的に移動して列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、

10

前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持する複数のサンプルホールド部と、

前記サンプルホールド部から出力されるデータと予め用意された所定のデータとを選択するスイッチ部と、

前記スイッチ部から出力されるデータを前記画素電極に出力するインバータ部とを備えたことを特徴とする液晶画像表示装置。

【請求項 2】

複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号と前記画像信号の反転信号とを列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、

20

前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持する複数のサンプルホールド部と、

前記サンプルホールド部から出力されるデータとその反転データとを選択するスイッチ部と、

前記スイッチ部から出力されるデータを前記画素電極に出力するインバータ部とを備えたことを特徴とする液晶画像表示装置。

30

【請求項 3】

複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号を列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、

前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持するサンプルホールド部と、

40

前記サンプルホールド部から出力されるデータの反転データを出力する第1のインバータ部と、

前記サンプルホールド部から出力されるデータと前記第1のインバータ部から出力される反転データとを前記各画素の外部より配線される外部コントロール信号電極により選択するスイッチ部と、

前記スイッチ部から出力されるデータを前記画素電極に出力する第2のインバータ部とを備えたことを特徴とする液晶画像表示装置。

【請求項 4】

複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期

50

間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号を列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、

前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持するサンプルホールド部と、

前記サンプルホールド部から出力されるデータの反転データを出力する第1のインバータ部と、

前記サンプルホールド部から出力されるデータと前記第1のインバータ部から出力される反転データにより前記各画素の外部より配線される複数の外部入力信号電極を選択するスイッチ部と、

前記スイッチ部から出力されるデータを前記画素電極に出力する第2のインバータ部とを備えたことを特徴とする液晶画像表示装置。

【請求項5】

複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号と前記画像信号の反転信号とを列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、

前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持する複数のサンプルホールド部と、

前記サンプルホールド部から出力されるデータとその反転データにより前記各画素の外部より配線される複数の外部入力信号を選択するスイッチ部と、

前記スイッチ部から出力されるデータを前記画素電極に出力するインバータ部とを備えたことを特徴とする液晶画像表示装置。

【請求項6】

前記各サブフレームは、所定のデータとその反転データとからなり、前記サブフレームの表示期間における半分の表示期間は前記所定のデータで表示し、残りの半分の表示期間は前記反転データを表示することを特徴とする請求項1乃至5のいずれかに記載の液晶画像表示装置。

【請求項7】

前記各サブフレームは、液晶を駆動しない休止期間を有し、前記スイッチ部は前記休止期間を形成するために全画素に同一データを出力することを特徴とする請求項1乃至5のいずれかに記載の液晶画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば投射型のディスプレイやビューファインダ、ヘッドマウントディスプレイ等に設けられる液晶表示素子等の液晶画像表示装置に係り、特に、液晶をパルス幅変調で駆動して階調性を高くした液晶画像表示装置に関する。

【背景技術】

【0002】

一般に、液晶画像表示装置として、例えば液晶を用いたアクティブマトリクス型の液晶画像表示装置が知られている（特許文献1、特許文献2、特許文献3）。

この種の従来のアクティブマトリクス型の液晶画像表示装置の液晶駆動方法において、デジタル駆動方法の場合には、特許文献1に示されるように、応答速度が低いとされる

10

20

30

40

50

液晶変調素子とPWM (Pulse Width Modulation) 駆動の組み合わせによっても良好な階調表現が行われるようにする方法が提案されている。また、特許文献2に示される駆動方法では、1フレームの各サブフレームの電圧が反転し、各サブフレームの電圧の正負の極性の和が1フレームにおいて"0"となるよう設定している。

【0003】

特許文献3においては、各サブフレームにおいて、液晶を駆動する電圧を正極、負極と反転させ、いかなるデータが入力されても、1個のサブフレームにおいて液晶に加わる電圧が"0"となるようにしている。そのため、各サブフレームの表示期間は、特許文献2の場合とは異なって自由に設定でき、これにより階調性の高い、信頼性の高い特性を得るようにしている。

10

【0004】

【特許文献1】特開2002-351431号公報

【特許文献2】特開2002-169517号公報

【特許文献3】特表2002-514796号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献1及び2において示された液晶画像表示装置においては、例えば動画表示をおこなう場合、入力されるデータは各フレームで異なり、1フレームと2フレームで液晶に加わる電圧が"0"とはならず、この結果、長時間に亘って液晶を駆動した場合には、液晶が劣化して信頼性が低下する、という問題があった。

20

【0006】

また特許文献3において示された液晶画像表示装置においては、その駆動を実現するために、外部から電圧を加える電圧供給端子1、電圧供給端子2のそれぞれに液晶特性にあわせた電圧値1、電圧値2を設定し、サブフレーム毎に電圧値1、電圧値2をコントロールする必要がある、それをコントロールする外部コントロール回路として、D/A変換回路、アナログスイッチ、オペアンプなどが必要となるので装置全体のコストが高くなる、という問題があった。また、表示画像の階調性を向上させるためにサブフレーム数を増加し1サブフレームの表示期間が短くなる場合、例えばサブフレームの短い表示期間が10 μ sec以下になる場合、外部コントロール回路で電圧値1、電圧値2をコントロールすると外部コントロール回路の出力増幅部の特性が影響しその応答速度が1 μ sec程度になり、階調性の制御に問題があった。

30

本発明は、以上のような問題点に着目し、これを有効に解決すべく創案されたものである。本発明の目的は、各サブフレームにおいて駆動電圧の正負のバランスをとり、各サブフレームにおける駆動電圧変化をロジック回路で制御し駆動電圧変化を高速化することにより、表示画像の階調性と信頼性を高め、更にコストを削減することが可能な液晶画像表示装置を提供することにある。

【課題を解決するための手段】

【0007】

40

請求項1に係る発明は、複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号と前記画像信号の反転信号とを時間的に移動して列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持する複数のサンプルホールド部と、前記サンプルホールド部から出力されるデータと予め用意された所定のデータとを選択するスイッチ部と、前記スイッチ

50

部から出力されるデータを前記画素電極に出力するインバータ部とを備えたことを特徴とする液晶画像表示装置である。

【0008】

請求項2に係る発明は、複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号と前記画像信号の反転信号とを列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持する複数のサンプルホールド部と、前記サンプルホールド部から出力されるデータとその反転データとを選択するスイッチ部と、前記スイッチ部から出力されるデータを前記画素電極に出力するインバータ部とを備えたことを特徴とする液晶画像表示装置である。

【0009】

請求項3に係る発明は、複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号を列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持するサンプルホールド部と、前記サンプルホールド部から出力されるデータの反転データを出力する第1のインバータ部と、前記サンプルホールド部から出力されるデータと前記第1のインバータ部から出力される反転データとを前記各画素の外部より配線される外部コントロール信号電極により選択するスイッチ部と、前記スイッチ部から出力されるデータを前記画素電極に出力する第2のインバータ部とを備えたことを特徴とする液晶画像表示装置である。

【0010】

請求項4に係る発明は、複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号を列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装置において、前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持するサンプルホールド部と、前記サンプルホールド部から出力されるデータの反転データを出力する第1のインバータ部と、前記サンプルホールド部から出力されるデータと前記第1のインバータ部から出力される反転データにより前記各画素の外部より配線される複数の外部入力信号電極を選択するスイッチ部と、前記スイッチ部から出力されるデータを前記画素電極に出力する第2のインバータ部とを備えたことを特徴とする液晶画像表示装置である。

【0011】

請求項5に係る発明は、複数の画素電極に対して共通に対向電極を配置してマトリクス状に形成された複数の画素を有すると共に、前記複数の画素電極に供給する画像信号の各フレームを1フレーム期間より短期間であるサブフレームに分割し、前記サブフレームを前記画像信号の階調レベルに応じて選択的にオン、またはオフして前記画像信号に基づいた各フレームの画像表示をする表示手段と、前記表示手段の画素電極に対して画像信号と前記画像信号の反転信号とを列方向に加える列信号電極駆動手段と、前記表示手段の画素電極に対して走査信号を行方向に加える行走査電極駆動手段と、を有する液晶画像表示装

置において、前記各画素は、前記列信号電極駆動手段より供給される画像信号のデータを保持する複数のサンプルホールド部と、前記サンプルホールド部から出力されるデータとその反転データにより前記各画素の外部より配線される複数の外部入力信号を選択するスイッチ部と、前記スイッチ部から出力されるデータを前記画素電極に出力するインバータ部とを備えたことを特徴とする液晶画像表示装置である。

【0012】

この場合、例えば請求項6に規定するように、前記各サブフレームは、所定のデータとその反転データとからなり、前記サブフレームの表示期間における半分の表示期間は前記所定のデータで表示し、残りの半分の表示期間は前記反転データを表示する。

また例えば請求項7に規定するように、前記各サブフレームは、液晶を駆動しない休止期間を有し、前記スイッチ部は前記休止期間を形成するために全画素に同一データを出力する。

【発明の効果】

【0013】

本発明に係る液晶画像表示装置によれば、次のように優れた作用効果を発揮することができる。

各サブフレームにおいて駆動電圧の正負バランスをとり、各サブフレームにおける駆動電圧変化をロジック回路でコントロールすることにより駆動電圧変化を高速化することにより、階調性を高めて液晶画像表示装置の信頼性を高めることができる。

また、外部コントロール回路が簡素化されコストを低くすることができる。

【発明を実施するための最良の形態】

【0014】

以下に、本発明に係る液晶画像表示装置の一実施例を添付図面に基づいて詳述する。

<第1実施例>

図1は一般的な液晶画像表示装置を含む画像表示システムを示す概略構成図、図2は本発明の液晶画像表示装置の第1実施例を示すブロック構成図、図3はデータ反転部内の1つのデータ反転回路を示すブロック図、図4は液晶画像表示装置の1つの画素の画素駆動回路の一例を示すブロック図、図5は液晶画素表示装置の1つの画素の画素駆動回路の一例を示す回路構成図、図6は液晶の駆動電圧と出射光強度との関係を示すグラフである。

【0015】

まず、図1に基づいて画像表示システムについて説明する。図1は液晶を用いたアクティブマトリクス型の画像表示システムの一例を示す。図1中において、この画像表示システムは、光学系2と液晶画像表示装置4とにより主に構成される。光学系2は、ここでは偏光ビームスプリッタ6と投射レンズ8とを有しており、この投射レンズ8を通った光をスクリーン10に投射してここに表示画像を投映できるようになっている。尚、図1中の光路上において"・"印はS成分を示し、光路に直交する"ー"印はP成分を示す。また上記液晶画像表示装置4は、複数の画素電極PEと、これに対向して共通に設けられる透明な対向電極CEと、これらの画素電極PEと対向電極CEとの間に封入された液晶LCとにより、主に構成されている。

【0016】

P成分とS成分とからなる入射光L1が、偏光ビームスプリッタ6に入って反射し、液晶画像表示装置4に向けて出射する。この出射光はS成分のみであり、このS成分の光は、液晶画像表示装置4の液晶LCにおいて画像信号に応じた変調を受けて、この液晶画像表示装置4から出射される。

従って、この出射光はP成分とS成分とからなる。この出射光が再度、偏光ビームスプリッタ6に入射してこれを直進して通過すると出射光L2はP成分のみとなり、このP成分の出射光L2が投射レンズ8を介してスクリーン10上に表示画像が投映されることになる。尚、上記画素電極PEは後述するトランジスタよりなる画素駆動回路により動作される。

【0017】

次に、図 2 を主に参照して液晶画像表示装置 4 の構成について説明する。

この液晶画像表示装置 4 は、複数の画素電極 P E に対して共通に対向電極 C E を配置してマトリクス状に形成された複数の画素 P x を有する表示手段 1 2 と、この表示手段 1 2 の画素電極 P E に対して画像信号を列方向に加える列信号電極駆動手段としての列信号電極駆動回路 1 4 と、上記表示手段 1 2 の画素電極 P E に対して行方向に走査する行走査電極駆動手段としての行走査電極駆動回路 1 6 とを主に有している。ここで上記列信号電極駆動回路 1 4 は、内部に水平方向に延びるデータシフトレジスタ 1 4 A 及び通常にデータに対して反転された反転データを形成するためのデータ反転部 1 4 B を有している。また上記行走査電極駆動回路 1 6 は、内部に全表示行数に相当する段数のラインシフトレジスタ 1 6 A を有している。データ反転部 1 4 B では、各列信号電極 D に対して図 3 に示すようなデータ反転回路 4 1 を接続して構成されている。 10

【0018】

このデータ反転回路 5 0 は、インバータ 5 1 とスイッチ部 5 2 からなる。上記データシフトレジスタ 1 4 A から出力されたデータ B をデータシフトレジスタ出力電極 F を通じてスイッチ部 5 2 に入力し、データシフトレジスタ出力電極 F はインバータ 5 1 に接続され、インバータ 5 1 から出力される反転電極 X F には入力データの反転データである X B が出力されスイッチ部 5 2 に入力される。スイッチ部 5 2 においては、図示しないサブフレーム表示イネーブ信号に同期した反転コントロール信号 I N V によって、入力データ B とその反転データ X B を選択的に切り替えて列信号電極 D に順次出力する。 20

【0019】

上記表示手段 1 2 は、内部に例えば液晶 L C (図 1 参照) を封入したアクティブマトリックス型の表示手段よりなり、この表示手段 1 2 は、図示しないアクティブマトリックス基板上に、複数の列信号電極 D 1、D 2、… D i が並行して配置されており、これら各列信号電極 D 1、D 2、… D i と直交する方向に複数の第 1 の行走査電極 W 1、W 2、… W k が配置されており、これと平行して第 2 の行走査電極 X 1、X 2、… X k が配置されている。尚、以降、符号 D 1～D i をまとめてそれぞれ符号 D と表し、符号 W 1～W k を W、符号 X 1～X k を X と表す場合がある。各列信号電極 D と行走査電極 W、X の交差部には、画素 P x が配置されていると共に、これに対応して画素駆動回路が存在する。 30

【0020】

このような構成の列信号電極駆動回路 1 4 では画像信号 V i d e o が入力されると共に、図示しない駆動タイミングパルス発生回路により供給される水平スタート信号 H S T 及び水平シフトクロック H C K により水平方向のデータシフトレジスタ 1 4 A が駆動され、データ反転部 1 4 B を通じて列信号電極 D 1、D 2、… D i に順次出力する。 40

【0021】

一方、行走査電極駆動回路 1 6 は、上記のように全表示行数に相当する段数を有するラインシフトレジスタ 1 6 A を介して第 1 の行走査電極 W 1、W 2、… W k 及び第 2 の行走査電極 X 1、X 2、… X k に対して 1 水平期間ごとに (行毎) に順次走査パルスを出力する。その結果、第 1 の行走査電極 W 1、W 2、… W k 及び第 2 の行走査電極 X 1、X 2、… X k に接続された画素 P x の後述する第 1 のサンプルホールド部及び第 2 のサンプルホールド部に 1 行ずつ、画素信号のデータが保持される。 40

【0022】

そして、この表示手段 1 2 では、上記複数の画素電極に供給する画像信号をフレーム単位で行なう際に、上記画像信号の各フレームを複数の 1 フレーム期間より短期間であるサブフレームに分割し、上記サブフレームを上記画像信号の階調レベルに応じて選択的にオン、またはオフして上記画像信号に基づいた 1 フレームの画像表示をする。

【0023】

例えば一例として、1 フレームは 3 0 のサブフレーム (以下、「S F」とも称す) よりなり、各 S F 毎に表示期間が異なり、例えば S F 1 は表示期間が 5 μ s e c に設定され、S F の数が大きくなるに従って表示期間が少しずつ増加し、例えば S F 3 0 は表示期間が 3 0 0 μ s e c になる。そして、これらの S F 1～S F 3 0 を任意の組み合わせに従って 50

選択的にオンさせることにより、例えば255階調レベルを表示することができる。ここで、SF1からSF30までのSFのうちオンとなるSFの数を徐々に増やしたとき、液晶LCを駆動する実効値電圧と出射光強度との関係を図6に示す。この時、画素電極PEの電位と対向電極CEとの電位差が液晶の駆動電圧である。そして出射光強度が大きくなり始める電圧を閾値電圧 V_{th} 、出射光強度が飽和し始める飽和電圧 V_{sat} とする。

【0024】

次に1つの画素に対応する画素駆動回路の一例を図4及び図5を参照して説明する。この画素駆動回路は、上記列信号電極駆動回路14より供給される画素信号のデータを保持するサンプルホールド部20と、サンプルホールド部20からの出力データをスイッチ部21、インバータ部22を通じて画素電極PEに電圧を出力する。上記サンプルホールド部20は、複数のDRAM回路またはSRAM回路からなり、ここでは第1サンプルホールド部20Aと第2サンプルホールド部20Bとよりなる。

10

【0025】

スイッチ部21は、上記第2サンプルホールド部20Bから出力されるデータを全画素共通に配線されたデータ選択電極VDに加わるデータ選択電圧 V_d によりインバータ部22に転送し、また全画素共通に配線されたデータ初期化制御信号電極V0に加わるデータ初期化制御信号 V_o により上記サンプルホールド部20Bのデータを0に初期化する。データ選択電圧 V_d とデータ初期化制御信号 V_o はロジック信号であり、画素電極PEに加わる画素信号 V_{pe} の応答速度は $0.1\mu sec$ より十分小さくできる。ここで、ロジック信号におけるハイ状態を1、ロー状態を0とする。

20

インバータ部22は、前記スイッチ部21から出力されるデータに基づいてそれぞれ全画素共通に配線された第1液晶駆動電圧電極VA及び第2液晶駆動電圧電極VBに加わる第1液晶駆動電圧 V_a 、第2液晶駆動電圧 V_b を選択的に切り替えて画素電極PEに向けて出力する。上記第1液晶駆動電圧 V_a 、第2液晶駆動電圧 V_b の各電圧は時間とともに変化せず固定されている。

【0026】

具体的には、上記サンプルホールド部20は、直列に接続された2つのスイッチングトランジスタ T_{r1} 、 T_{r2} を有し、一方のスイッチングトランジスタ T_{r1} のゲートを行走査電極に接続し、例えばソースを列信号電極Dに接続している。後段のスイッチングトランジスタ T_{r2} の出力側には、トランジスタ T_{r3} と T_{r4} からなるスイッチ回路が形成され、コンデンサC2に保持されたデータをトランジスタ T_{r3} のゲートに接続されたデータ初期化制御信号 V_o により0に初期化し、また、トランジスタ T_{r4} のゲートに接続されたデータ選択電圧 V_d によりインバータ部22に入力する。

30

【0027】

また、インバータ部22は、pチャネルトランジスタ T_{r5} 、nチャネルトランジスタ T_{r6} を含み、それぞれ第1液晶駆動電圧電極VA、第2液晶駆動電圧電極VBを接続する。前記データ初期化制御信号 V_o が0かつデータ選択電圧 V_d が1の場合、コンデンサC2に保持されたデータにより画素電極PE側には第1液晶駆動電圧 V_a または第2液晶駆動電圧 V_b が出力される。前記データ初期化制御信号 V_o が1かつデータ選択電圧 V_d が0の場合、全画素電極PEに第1液晶駆動電圧 V_b が加わる。以上説明した、各トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r6} は、遮断領域と飽和領域で動作する“スイッチ”として動作する。そのため、各トランジスタに入力されるゲート電圧はソースに入力される電圧に対して所定のバイアス電圧を加え、スイッチとして動作するように考慮し設計されている。以下の実施例1～実施例5におけるいずれの画素駆動回路においても、トランジスタはスイッチ動作をおこない、同様の構成である。

40

【0028】

ここで上記画素駆動回路の動作をまとめると、列信号電極駆動回路14のデータ反転部14Bから出力される1列分のデータBは行走査電極Wにパルスが入力されると列信号電極Dを通じて、対応する行の画素のスイッチングトランジスタ T_{r1} がオンとなりコンデンサC1にデータBが蓄積される。次に対応する行走査電極Xにパルスが入力され、対応

50

する行の画素のスイッチングトランジスタ $T r 2$ がオンとなり、コンデンサ $C 1$ に蓄積されたデータ B がコンデンサ $C 2$ に保持される。列信号電極駆動回路 14 に入力する反転コントロール信号 $I N V$ が変化し、列信号電極駆動回路 14 のデータ反転部 $14 B$ から出力されるデータが $X B$ に設定され、行走査電極 W にパルスが入力されると対応する行の画素のコンデンサ $C 1$ にデータ $X B$ が保持される。この時、対応する行のコンデンサ $C 1$ にはデータ $X B$ が、コンデンサ $C 2$ にはデータ B が保持されている。

【0029】

この動作を全ての行についておこない、全画素のコンデンサ $C 1$ とコンデンサ $C 2$ にデータが保持される。コンデンサ $C 2$ に保持されたデータはスイッチ部 21 を通じてインバータ部 22 に入力する。データ初期化制御信号 $V o$ が 0 かつデータ選択電圧 $V d$ が 1 に設定し、コンデンサ $C 2$ のデータ B に対応して第 1 液晶駆動電圧 $V a$ または第 2 液晶駆動電圧 $V b$ が画素電極 $P E$ に加わり、 1 サブフレームにおける表示期間が開始する。 1 サブフレームの表示期間における例えば半分において、データ選択電圧 $V d$ を 0 としトランジスタ $T r 4$ を遮断状態に設定し、データ初期化制御信号 $V o$ を 1 とし、コンデンサ $C 2$ のデータ B を 0 に初期化し、データ初期化制御信号 $V o$ を 0 に戻す。行走査電極 X に全行同時にパルスを入力しコンデンサ $C 1$ に保持されたデータ $X B$ をコンデンサ $C 2$ に転送し、データ選択電圧 $V d$ を 1 に変化させ、コンデンサ $C 2$ に保持されたデータ $X B$ がインバータ部 22 に入力され、 1 サブフレームの後半は前半とは異なる第 2 液晶駆動電圧 $V b$ または第 1 液晶駆動電圧 $V a$ を画素電極 $P E$ に加わる。

10

【0030】

さて、以上のように構成された液晶画像表示装置の動作について、図 7 に示す電圧波形のタイミングチャートも参照して説明する。図 7 は画素駆動回路中の各部の電圧波形を示すタイミングチャートである。

20

図 7 に示すように、本実施例では、各サブフレーム $S F$ のデータは反転関係にある 2 個のデータ (B 及び $X B$) からなり、それぞれの表示期間は前半、後半で等しくなるよう設定する。すなわちデータ B の表示期間と反転データ $X B$ の表示期間は互いに等しくなるように設定されている。

【0031】

各サブフレームは、列信号電極駆動回路 14 から全画素にデータが転送されるデータアドレス期間と、その転送されたデータに基づきデータを表示する表示期間からなる。各サブフレームにおいてデータアドレス期間は同一である。データアドレス期間においては、黒表示状態とするため、データ初期化制御信号 $V o$ を 1 にデータ選択電圧 $V d$ を 1 に設定し、初期化された 0 がトランジスタ $T r 4$ を通じてインバータ部 22 に入力し、全画素の画素電極 $P E$ に液晶の飽和電圧 $V s a t$ を加え、対向電極 $C E$ も液晶の飽和電圧 $V s a t$ が加わるよう設定する。この期間においては液晶に加わる電圧は $0 V$ に設定される。

30

【0032】

各サブフレームにおいて、サブフレームにより表示期間は異なる。データアドレス期間において、列信号電極駆動回路 14 から各画素のコンデンサ $C 2$ にデータ B が転送され、コンデンサ $C 1$ に $X B$ が転送される。データ初期化制御信号 $V o$ を 0 、かつデータ選択電圧 $V d$ が 1 を設定し、全画素同時にコンデンサ $C 2$ のデータ B に対応する第 1 液晶駆動電圧 $V a$ または第 2 液晶駆動電圧 $V b$ 電圧を画素電極に加え 1 サブフレームにおける表示を開始する。 1 サブフレームの表示期間における例えば半分において、データ選択電圧 $V d$ を 0 としトランジスタ $T r 4$ を遮断状態に設定し、データ初期化制御信号 $V o$ を 1 とし、コンデンサ $C 2$ のデータ B を 0 に初期化し、データ初期化制御信号 $V o$ を 0 に戻す。行走査電極 X に全行同時にパルスを入力しコンデンサ $C 1$ に保持されたデータ $X B$ をコンデンサ $C 2$ に転送し、データ選択電圧 $V d$ を 1 に変化させ、コンデンサ $C 2$ に保持されたデータ $X B$ がインバータ部 22 に入力され、 1 サブフレームの後半は前半とは異なる第 2 液晶駆動電圧 $V b$ または第 1 液晶駆動電圧 $V a$ を画素電極 $P E$ に加える。

40

【0033】

サブフレームの表示期間の前半においては、コンデンサ $C 2$ のデータが 1 のとき画素電

50

極 P E では V_{th} 、コンデンサ C 2 のデータが 0 のとき画素電極 P E では V_{sat} が加わり、対向電極 C E には $(V_{th} + V_{sat})$ を加える。サブフレームの表示期間の後半においては、前半とはデータが反転し前半においてコンデンサ C 2 のデータが 1 のとき後半においてはコンデンサ C 2 のデータが 0 となり画素電極 P E では V_{sat} 、前半においてコンデンサ C 2 のデータが 0 のとき後半においてはコンデンサ C 2 のデータが 1 となり画素電極 P E では V_{th} が加わり、対向電極 C E には 0 V を加える。

【0034】

この結果、液晶に加わる電圧は、サブフレームの表示期間の前半においてコンデンサ C 2 のデータが 1 のときサブフレームの前半では $-V_{sat}$ 、サブフレームの後半では $+V_{sat}$ が加わり、サブフレームの表示期間の前半においてコンデンサ C 1 のデータが 0 のときサブフレームの前半では $-V_{th}$ 、サブフレームの後半では $+V_{th}$ が加わり、コンデンサ C 2 のデータが 1 または 0 によらずサブフレーム表示期間の前半と表示期間の後半では、液晶に加わる電圧の絶対値は同じで +、- の符号が異なり、1 サブフレームにおいて液晶に加わる電圧は 0 V になる。1 サブフレームにおけるアドレス期間及び表示期間においても、液晶に加わる電圧は 0 V となる。

次のサブフレームでは、以上説明した動作と同様の動作を繰り返す。この場合、アドレス期間である休止期間は同一であるが、表示期間は前期間とは異なる。サブフレームの個数だけ同様の動作を繰り返し、1 フレームを終了する。

【0035】

以上の動作の結果、液晶画像表示において、各サブフレームにおいて駆動電圧の正負のバランスをとるように駆動し、各サブフレームにおける駆動電圧変化をロジック回路で制御し駆動電圧変化を高速化することにより、画像表示の階調性が高くなって同時に信頼性も高くできる。

【0036】

<第2実施例>

次に本発明の液晶画像表示装置の第2実施例について説明する。

図8は本発明の液晶画像表示装置の第2実施例を示すブロック構成図、図9は画素駆動回路のブロック図、図10は画素駆動回路の一例を示す図、図11は画素駆動回路の各部の電圧波形を示すタイミングチャートである。尚、図1～図7に示す構成部分と同一構成部分については同一符号を付してその説明を省略する。この第2実施例では、図8に示すように、列信号電極駆動回路14、行走査電極駆動回路16、表示手段12からなる。ここで、上記列信号電極駆動回路14は、内部に水平方向に延びるデータシフトレジスタ14Aを有し、各列信号電極Dに対して、そのデータを反転した反転データを画素に供給する反転列信号電極XD ($XD1$ 、 $XD2 \dots XD_i$) を有しており、対応する列信号電極と平行に設けられている。また、上記行走査電極駆動回路16は、内部に全表示行数に相当する段数のラインシフトレジスタ16Aを有し、全表示行数に相当する行走査電極W ($W1$ 、 $W2 \dots W_k$) が列信号電極D、XDとは直交して配列される。

【0037】

画素駆動回路の基本ブロックは図9に示すように、サンプルホールド部20とインバータ部22の間に、外部コントロール信号電極Y、XY、Zに加わる外部コントロール信号y、xy、zに基づいて出力を選択するスイッチ部21を設けている。

画素駆動回路の一例を図10に示す。サンプルホールド部20は2個のDRAMメモリよりなり、列信号電極Dに接続したスイッチングトランジスタTr10に接続したコンデンサC10を設け、また反転列信号電極XDに接続したスイッチングトランジスタTr11に接続したコンデンサC11を設ける。スイッチ部21はトランジスタTr12、Tr13、Tr14からなり、それぞれのトランジスタのゲートは全画素共通に配線される第1外部コントロール信号電極XY、第2外部コントロール電極Y、第3外部コントロール信号Zに接続される。

【0038】

第1外部コントロール信号電極XYに加わる電圧をxy、第2外部コントロール信号電

10

20

30

40

50

極 Y に加わる電圧を y 、第 3 外部コントロール信号電極 Z に加わる電圧を z とする。外部コントロール信号 x 、 y 、 z のいずれかの電圧が 1 に設定されその結果オンとなるトランジスタからの出力がインバータ部 22 に入力される。これらの外部コントロール信号はロジック信号であり応答速度は $0.1 \mu\text{sec}$ より十分小さくできる。

インバータ部 22 は、前記スイッチ部 21 から出力されるデータに基づいてそれぞれ全画素共通に配線された第 1 液晶駆動電圧電極 V A 及び第 2 液晶駆動電圧電極 V B に加わる第 1 液晶駆動電圧 V a、第 2 液晶駆動電圧 V b を選択的に切り替えて画素電極 P E に向けて出力する。上記第 1 液晶駆動電圧 V a には液晶の閾値電圧 V t h、上記第 2 液晶駆動電圧 V b には液晶の飽和電圧 V s a t が加えられ時間とともに変化せず固定されている。

【0039】

さて、以上のように構成された液晶画像表示装置の動作について、図 11 に示す電圧波形のタイミングチャートも参照して説明する。各サブフレームは、列信号電極駆動回路 14 から全画素にデータが転送されるデータアドレス期間と、その転送されたデータに基づきデータを表示する表示期間からなる。各サブフレームにおいてデータアドレス期間は同一である。データアドレス期間においては、黒表示状態とするため、第 3 外部コントロール信号 z を 1、第 1 外部コントロール信号 x 、 y 及び第 2 外部コントロール信号 y を 0 に設定すると、インバータ入力 0 になり、全画素の画素電極 P E の電圧は V s a t が加わり、対向電極も V s a t が加わるよう設定する。この期間においては液晶に加わる電圧は 0 V に設定される。アドレス期間において、列信号電極駆動回路 14 から全画素のコンデンサ C 10、C 11 にそれぞれデータ B、データ X B が転送される。

【0040】

サブフレームの表示期間においては、第 3 外部コントロール信号 z は 0 、第 1 外部コントロール信号 x 、 y または第 2 外部コントロール信号 y は 1 に設定される。例えば、コンデンサ C 10 のデータ B が第 1 外部コントロール信号 x 、 y が 1 に設定されオンになったトランジスタ T r 12 を通じてインバータ部 22 に入力し、入力データ B に対応して画素電極電圧 P E は V t h または V s a t が選択され、サブフレームの表示期間が始まる。サブフレームの半分の表示期間において、第 3 外部コントロール信号 z は 0 、第 1 外部コントロール信号 x 、 y 及び第 2 外部コントロール信号 y はサブフレームの前半とは異なる状態に変化する。コンデンサ C 11 のデータ X B がオンになったトランジスタ T r 13 を通じてインバータ部 22 に入力し、入力データ X B に対応して画素電極電圧 P E は V t h または V s a t が選択され、サブフレームの前半の表示期間に選択された画素電極電圧とは異なる V t h または V s a t が選択され、サブフレームの後半の表示期間において画素電極電圧が設定される。

【0041】

サブフレームの表示期間の前半においては、コンデンサ C 10 のデータが 1 のとき第 1 外部コントロール信号 x 、 y が 1 と設定すると画素電極 P E では V t h が加わり、対向電極 C E には電圧 (V t h + V s a t) を加える。サブフレームの表示期間の後半においては、コンデンサ C 10 及びコンデンサ C 11 のデータはサブフレーム前半と変化せず、第 1 外部コントロール信号 x 、 y を 1 から 0 へ変化し、第 2 外部コントロール信号 y を 0 から 1 へ変化させることにより画素電極 P E では V s a t が加わり対向電極 C E には 0 V を加える。この結果、液晶に加わる電圧は、コンデンサ C 10 のデータが 1 のとき、サブフレームの前半では $-V s a t$ 、サブフレームの後半では $+V s a t$ が加わり、コンデンサ C 10 のデータが 0 のときサブフレームの前半では $-V t h$ 、サブフレームの後半では $+V t h$ が加わり、コンデンサ C 10 のデータが 1 または 0 によらず液晶に加わる電圧は、サブフレーム表示期間の前半と表示期間の後半では、絶対値は同じで $+$ 、 $-$ の符号が異なり、1 サブフレームにおいて液晶に加わる電圧は 0 V になる。

【0042】

1 サブフレームにおけるアドレス期間及び表示期間においても、液晶に加わる電圧は 0 V となる。各サブフレームにおいて、サブフレームにより表示期間は異なる。表示期間は x 、 y の設定によりコントロールできる。次のサブフレームでは、以上説明した動作と

10

20

30

40

50

同様の動作を繰り返す。この場合、アドレス期間は同一であるが、表示期間は前期間とは異なる。サブフレームの個数だけ同様の動作を繰り返し、1フレームを終了する。

この第2実施例においても、液晶画像表示において、各サブフレームにおいて駆動電圧の正負のバランスをとるように駆動し、各サブフレームにおける駆動電圧変化をロジック回路で制御し駆動電圧変化を高速化することにより、画像表示の階調性が高くなって同時に信頼性も高くできる。

【0043】

<第3実施例>

次に本発明の液晶画像表示装置の第3実施例について説明する。

図12は本発明の液晶画像表示装置の第3実施例を示すブロック構成図、図13は画素駆動回路のブロック図、図14は画素駆動回路の一例を示す図である。そして、ここでの画素駆動回路の各部の電圧波形を示すタイミングチャートは先の図11に示す場合と同じである。尚、図1～図7に示す構成部分と同一構成部分については同一符号を付してその説明を省略する。

この第3実施例では、図12に示すように、列信号電極駆動回路14、行走査電極駆動回路16、表示手段12からなる。ここで、上記列信号電極駆動回路14は、内部に水平方向に延び全表示列数に相当する段数のデータシフトレジスタ14Aを有し、全表示列数に相当し画素部にデータを供給する列信号電極D(D1、D2…Di)を有す。また上記行走査電極駆動回路16は、内部に全表示行数に相当する段数のラインシフトレジスタ16Aを有し、全表示行数に相当する行走査電極W(W1、W2…Wk)が列信号電極Dとは直交して配列される。

【0044】

画素駆動回路の基本ブロックは図13に示すように、サンプルホールド部20と、サンプルホールド部20に保持されたデータを反転する第1インバータ部31と、外部コントロール信号電極Y、XY、Zに加わる外部コントロール信号y、xy、zに基づいてサンプルホールド部20からのデータBと第1インバータ部31からのデータXBと0Vを選択するスイッチ部21と、スイッチ部21からの出力を画素電極PEに出力する第2インバータ部22からなる。

画素駆動回路の一例を図14に示す。サンプルホールド部20は1個のDRAMメモリよりなり、列信号電極Dに接続したスイッチングトランジスタTr20に接続したコンデンサC20を設ける。第1インバータ部31は、pチャネルトランジスタTr21とnチャネルトランジスタTr22からなる。

【0045】

スイッチ部21はトランジスタTr23、Tr24、Tr25からなり、それぞれのトランジスタのゲートは全画素共通に配線される第1外部コントロール信号電極XY、第2外部コントロール電極Y、第3外部コントロール信号Zに接続される。第1外部コントロール信号電極XYに加わる電圧をxy、第2外部コントロール信号電極Yに加わる電圧をy、第3外部コントロール信号電極Zに加わる電圧をzとする。外部コントロール信号xy、y、zのいずれかの電圧が1に設定されその結果オンとなるトランジスタからの出力がインバータ部22に入力される。これらの外部コントロール信号はロジック信号であり、応答速度は0.1μsecより十分小さくできる。

【0046】

インバータ部22は、pチャネルトランジスタTr26とnチャネルトランジスタTr27からなる。前記インバータ部22は、前記スイッチ部21から出力されるデータに基づいてそれぞれ全画素共通に配線された第1液晶駆動電圧電極VA及び第2液晶駆動電圧電極VBに加わる第1液晶駆動電圧Va、第2液晶駆動電圧Vbを選択的に切り替えて画素電極PEに向けて出力する。上記第1液晶駆動電圧Vaには液晶の閾値電圧Vth、上記第2液晶駆動電圧Vbには液晶の飽和電圧Vsatが加えられ時間とともに変化せず固定されている。

【0047】

10

20

30

40

50

さて、以上のように構成された液晶画像表示装置の動作について、図 11 に示す電圧波形のタイミングチャートも参照して説明する。各サブフレームは、列信号電極駆動回路 14 から全画素にデータが転送されるデータアドレス期間と、その転送されたデータに基づきデータを表示する表示期間からなる。各サブフレームにおいてデータアドレス期間は同一である。データアドレス期間においては、黒表示状態とするため、第 3 外部コントロール信号 z を 1、第 1 外部コントロール信号 x y 及び第 2 外部コントロール信号 y を 0 に設定すると、インバータ入力 h は 0 になり、全画素の画素電極 P E の電圧は V_{sat} が加わり、対向電極も V_{sat} が加わるよう設定する。この期間においては液晶に加わる電圧は 0 V に設定される。アドレス期間において、列信号電極駆動回路から全画素のコンデンサ C_{20} にデータ B が転送される。また、コンデンサ C_{20} に保持されたデータ B に基づき第 1 インバータ部 31 から反転データ X B が出力される。

【0048】

サブフレームの表示期間においては、第 3 外部コントロール信号 z は 0、第 1 外部コントロール信号 x y または第 2 外部コントロール信号 y は 1 に設定される。例えば、コンデンサ C_{20} のデータ B が第 1 外部コントロール信号 x y が 1 に設定されオンになったトランジスタ T_{r23} を通じて第 2 インバータ部 22 に入力し、入力データ B に対応して画素電極電圧 P E は V_{th} または V_{sat} が選択され、サブフレームの表示期間が始まる。サブフレームの半分の表示期間において、第 3 外部コントロール信号 z は 0、第 1 外部コントロール信号 x y 及び第 2 外部コントロール信号 y はサブフレームの前半とは異なる状態に変化する。第 1 インバータ部 31 からのデータ X B がオンになったトランジスタ T_{r24} を通じて第 2 インバータ部 22 に入力し、入力データ X B に対応して画素電極電圧 P E は V_{th} または V_{sat} が選択され、サブフレームの前半の表示期間に選択された画素電極電圧とは異なる V_{th} または V_{sat} が選択され、サブフレームの後半の表示期間において画素電極電圧が設定される。

【0049】

サブフレームの表示期間の前半においては、コンデンサ C_{20} のデータが 1 及び第 1 の外部コントロール信号 x y が 1 と設定すると画素電極 P E では V_{th} が加わり、対向電極 C E には電圧 ($V_{th} + V_{sat}$) を加える。サブフレームの表示期間の後半においては、コンデンサ C_{20} のデータはサブフレーム前半と変化せず、第 1 外部コントロール信号 x y を 1 から 0 へ変化し、第 2 外部コントロール信号 y を 0 から 1 へ変化させることにより画素電極 P E では V_{sat} が加わり対向電極 C E には 0 V を加える。この結果、液晶に加わる電圧は、コンデンサ C_{20} のデータが 1 のとき、サブフレームの前半では $-V_{sat}$ 、サブフレームの後半では $+V_{sat}$ が加わり、コンデンサ C_{20} のデータが 0 のときサブフレームの前半では $-V_{th}$ 、サブフレームの後半では $+V_{th}$ が加わり、コンデンサ C_{20} のデータが 1 または 0 によらず液晶に加わる電圧は、サブフレーム表示期間の前半と表示期間の後半では、絶対値は同じで +、- の符号が異なり、1 サブフレームにおいて液晶に加わる電圧は 0 V になる。

【0050】

1 サブフレームにおけるアドレス期間及び表示期間においても、液晶に加わる電圧は 0 V となる。各サブフレームにおいて、サブフレームにより表示期間は異なる。表示期間は外部コントロール信号 x y 、 y 、 z の設定によりコントロールできる。次のサブフレームでは、以上説明した動作と同様の動作を繰り返す。この場合、アドレス期間は同一であるが、表示期間は前期間とは異なる。サブフレームの個数だけ同様の動作を繰り返し、1 フレームを終了する。

この第 3 実施例においても、液晶画像表示において、各サブフレームにおいて駆動電圧の正負のバランスをとるように駆動し、各サブフレームにおける駆動電圧変化をロジック回路で制御し駆動電圧変化を高速化することにより、画像表示の階調性が高くなって同時に信頼性も高くできる。

【0051】

< 第 4 実施例 >

次に本発明の液晶画像表示装置の第4実施例について説明する。

図12は本発明の液晶画像表示装置の第4実施例を示すブロック構成図、図15は画素駆動回路のブロック図、図16は画素駆動回路の一例を示す図である。図17は画素駆動回路の各部の電圧波形を示すタイミングチャートである。

尚、図1～図7に示す構成部分と同一構成部分については同一符号を付してその説明を省略する。

この第4実施例では、図12に示すように、列信号電極駆動回路14、行走査電極駆動回路16、表示手段12からなる。ここで、上記列信号電極駆動回路14は、内部に水平方向に延び全表示列数に相当する段数のデータシフトレジスタ14Aを有し、全表示列数に相当し画素部にデータを供給する列信号電極D(D1、D2…Di)を有す。また上記行走査電極駆動回路16は、内部に全表示行数に相当する段数のラインシフトレジスタ16Aを有し、全表示行数に相当する行走査電極W(W1、W2…Wk)が列信号電極Dとは直交して配列される。

10

【0052】

画素駆動回路の基本ブロックは図15に示すように、サンプルホールド部20と、サンプルホールド部20に保持されたデータを反転する第1インバータ部31と、第1及び第2外部入力信号電極XY、Yに加わる外部入力信号xy、yと0Vをサンプルホールド部20からのデータBと第1インバータ部31からのデータXBと外部コントロール信号電極Zに加わる外部コントロール信号zにより選択するスイッチ部21と、このスイッチ部21からの出力を画素電極PEに出力する第2インバータ部22からなる。

20

画素駆動回路の一例を図16に示す。サンプルホールド部20は1個のDRAMメモリよりなり、列信号Dに接続したスイッチングトランジスタTr20に接続したC20を設ける。第1インバータ部31は、pチャネルトランジスタTr26とnチャネルトランジスタTr27からなる。

【0053】

スイッチ部21はトランジスタTr23、Tr24、Tr25からなり、コンデンサC20からの出力がトランジスタTr23のゲートに、第1インバータ部31からの出力がトランジスタTr24のゲートに、全画素共通に配線される外部コントロール信号電極ZがトランジスタTr25のゲートにそれぞれ接続される。全画素共通に配線される第1外部入力信号電極XY及び第2外部入力信号電極Y、アース電位は、それぞれトランジスタTr23、Tr24、Tr25のソースにそれぞれ接続される。トランジスタTr23、Tr24、Tr25のゲートに入力する電圧が1に設定され、その結果オンとなるトランジスタからの出力がインバータ部22に入力される。これらの入力信号及びコントロール信号はロジック信号であり、応答速度は0.1μsecより十分小さくできる。

30

【0054】

第2インバータ部22は、pチャネルトランジスタTr26とnチャネルトランジスタTr27からなる。前記第2インバータ部22は、前記スイッチ部21から出力されるデータに基づいてそれぞれ全画素共通に配線された第1液晶駆動電圧電極VA及び第2液晶駆動電圧電極VBに加わる第1液晶駆動電圧Va、第2液晶駆動電圧Vbを選択的に切り替えて画素電極PEに向けて出力する。上記第1液晶駆動電圧Vaには液晶の閾値電圧Vth、上記第2液晶駆動電圧Vbには液晶の飽和電圧Vsatが加えられ時間とともに変化せず固定されている。

40

【0055】

さて、以上のように構成された液晶画像表示装置の動作について、図17に示す電圧波形のタイミングチャートも参照して説明する。各サブフレームは、列信号電極駆動回路14から全画素にデータが転送されるデータアドレス期間と、その転送されたデータに基づきデータを表示する表示期間からなる。各サブフレームにおいてデータアドレス期間は同一である。データアドレス期間においては、黒表示状態とするため、外部コントロール信号zを1、第1外部入力信号xy及び第2外部入力信号yを0に設定すると、インバータ入力は0になり、全画素の画素電極PEの電圧はVsatが加わり、対向電極もVsatが加

50

わるよう設定する。この期間においては液晶に加わる電圧は0 Vに設定される。アドレス期間において、列信号電極駆動回路から全画素のコンデンサC 2 0にデータBが転送される。また、コンデンサC 2 0に保持されたデータBに基づき第1インバータ部3 1から反転データXBが出力される。

【0056】

サブフレームの表示期間においては、外部コントロール信号zは0、第1外部入力信号xy及び第2外部入力信号yは反転関係に設定される。

例えば、第1外部入力信号xyが1、第2外部入力信号yが0に設定された場合、トランジスタTr 2 3またはTr 2 4のオンになったほうのトランジスタ入力が入力され、それに対応して画素電極電圧PEはV t hまたはV s a tが選択され、サブフレームの表示期間が始まる。サブフレームの半分の表示期間において、第1外部入力信号xy及び第2外部入力信号yはサブフレームの前半とは異なる状態に変化する。この変化に応じて、画素電極電圧もサブフレーム前半とは異なるV t hまたはV s a tに変化する。

10

【0057】

サブフレームの表示期間の前半においては、コンデンサC 2 0のデータが1のとき第1外部入力信号xyが1、第2外部入力信号xが0と設定すると、画素電極PEではV t hが加わり、対向電極CEには電圧(V t h + V s a t)を加える。サブフレームの表示期間の後半においては、コンデンサC 2 0のデータはサブフレームの前半と変化せず、第1外部入力信号xyを1から0、第2外部入力信号xを0から1へ変化させることにより画素電極PEではV s a tが加わり対向電極CEには0 Vを加える。この結果、液晶に加わる電圧は、コンデンサC 2 0のデータが1のとき、サブフレームの前半では-V s a t、サブフレームの後半では+V s a tが加わり、コンデンサC 2 0のデータが0のときサブフレームの前半では-V t h、サブフレームの後半では+V t hが加わり、コンデンサC 2 0のデータが1または0によらず液晶に加わる電圧は、サブフレーム表示期間の前半と表示期間の後半では、絶対値は同じで+、-の符号が異なり、1サブフレームにおいて液晶に加わる電圧は0 Vになる。

20

【0058】

1サブフレームにおけるアドレス期間及び表示期間においても、液晶に加わる電圧は0 Vとなる。

30

各サブフレームにおいて、サブフレームにより表示期間は異なる。表示期間は第1外部入力信号xy及び第2外部入力信号yの設定によりコントロールできる。次のサブフレームでは、以上説明した動作と同様の動作を繰り返す。この場合、アドレス期間は同一であるが、表示期間は前期間とは異なる。サブフレームの個数だけ同様の動作を繰り返し、1フレームを終了する。

この第4実施例においても、液晶画像表示において、各サブフレームにおいて駆動電圧の正負のバランスをとるように駆動し、各サブフレームにおける駆動電圧変化をロジック回路で制御し駆動電圧変化を高速化することにより、画像表示の階調性が高くなって同時に信頼性も高くできる。

【0059】

40

<第5実施例>

次に本発明の液晶画像表示装置の第5実施例について説明する。

図8は本発明の液晶画像表示装置の第5実施例を示すブロック構成図、図18は画素駆動回路のブロック図、図19は画素駆動回路の一例を示す図である。図17は画素駆動回路の各部の電圧波形を示すタイミングチャートである。

尚、図1～図7に示す構成部分と同一構成部分については同一符号を付してその説明を省略する。

この第5実施例では、図8に示すように、列信号電極駆動回路14、行走査電極駆動回路16、表示手段12からなる。ここで、上記列信号電極駆動回路14は、内部に水平方向に延び全表示列数に相当する段数のデータシフトレジスタ14Aを有し、全表示列数に

50

相当し画素部にデータを供給する列信号電極 D (D 1、D 2…D i) を有す。また上記行走電極駆動回路 16 は、内部に全表示行数に相当する段数のラインシフトレジスタ 16 A を有し、全表示行数に相当する行走電極 W (W 1、W 2…W k) が列信号電極 D とは直交して配列される。

【0060】

画素駆動回路の基本ブロックは図 18 に示すように、サンプルホールド部 20 と、外部入力信号電極 X Y、Y に加わる外部入力信号 x y、y と 0 V をサンプルホールド部 20 からのデータ B と反転データ X B と外部コントロール信号電極 Z に加わる外部コントロール信号 z により選択するスイッチ部 21 と、スイッチ部 21 からの出力を画素電極 P E に出力する第 2 インバータ部 22 からなる。

10

画素駆動回路の一例を図 19 に示す。サンプルホールド部 20 は 2 個の D R A M メモリよりなり、列信号電極 D はスイッチングトランジスタ T r 10 のソースに接続され、コンデンサ C 10 はスイッチングトランジスタ T r 10 のドレインに接続され、また反転列信号電極 X D はスイッチングトランジスタ T r 11 のソースに接続され、コンデンサ C 11 はスイッチングトランジスタ T r 11 のドレインに接続される。

【0061】

スイッチ部 21 はトランジスタ T r 12、T r 13、T r 14 からなり、コンデンサ C 10 からの出力がトランジスタ T r 12 のゲート、コンデンサ C 11 からの出力がトランジスタ T r 13 のゲート、全画素共通に配線される外部コントロール信号電極 Z がトランジスタ T r 14 のゲートにそれぞれ接続される。全画素共通に配線される第 1 外部入力信号電極 X Y 及び第 2 外部入力信号電極 Y、アース電位は、それぞれトランジスタ T r 12、T r 13、T r 14 のソースにそれぞれ接続される。トランジスタ T r 12、T r 13、T r 14 のゲートに入力する電圧が 1 に設定され、その結果オンとなるトランジスタからの出力がインバータ部 22 に入力される。これら入力信号及びコントロール信号はロジック信号であり、応答速度は 0.1 μ s e c より十分小さくできる。

20

【0062】

インバータ部 22 は、p チャネルトランジスタ T r 15 と n チャネルトランジスタ T r 16 からなる。前記インバータ部 22 は、前記スイッチ部 21 から出力されるデータに基づいてそれぞれ全画素共通に配線された第 1 液晶駆動電圧電極 V A 及び第 2 液晶駆動電圧電極 V B に加わる第 1 液晶駆動電圧 V a、第 2 液晶駆動電圧 V b を選択的に切り替えて画素電極 P E に向けて出力する。上記第 1 液晶駆動電圧 V a には液晶の閾値電圧 V t h、上記第 2 液晶駆動電圧 V b には液晶の飽和電圧 V s a t が加えられ時間とともに変化せず固定されている。

30

【0063】

さて、以上のように構成された液晶画像表示装置の動作について、図 17 に示す電圧波形のタイミングチャートも参照して説明する。各サブフレームは、列信号電極駆動回路 14 から全画素にデータが転送されるデータアドレス期間と、その転送されたデータに基づきデータを表示する表示期間からなる。各サブフレームにおいてデータアドレス期間は同一である。データアドレス期間においては、黒表示状態とするため、外部コントロール信号 z を 1、第 1 外部入力信号 x y 及び第 2 入力信号 y を 0 に設定すると、インバータ入力 40 は 0 になり、全画素の画素電極 P E の電圧は V s a t が加わり、対向電極も V s a t が加わるよう設定する。この期間においては液晶に加わる電圧は 0 V に設定される。アドレス期間において、列信号電極駆動回路から全画素のコンデンサ C 10 にデータ B が、コンデンサ C 11 にデータ X B が転送される。

【0064】

サブフレームの表示期間においては、外部コントロール信号 z は 0、第 1 外部入力信号 x y と、第 2 外部入力信号 y は反転関係に設定される。

例えば、第 1 外部入力信号 x y が 1、第 2 外部入力信号 y が 0 に設定された場合、トランジスタ T r 12 または T r 13 のオンになったほうのトランジスタ入力が入力され、それに対応して画素電極電圧 P E は V t h または V s a t が選択され、サ

50

ブフレームの表示期間が始まる。サブフレームの半分の表示期間において、第1外部入力信号 $x y$ 及び第2外部入力信号はサブフレームの前半とは異なる状態に変化する。この変化に応じて、画素電極電圧もサブフレーム前半とは異なる V_{th} または V_{sat} に変化する。

【0065】

サブフレームの表示期間の前半においては、コンデンサ C_{10} のデータが1のとき第1の外部入力信号 $x y$ が1と設定すると画素電極 $P E$ では V_{th} が加わり、対向電極 $C E$ には電圧 ($V_{th} + V_{sat}$) を加える。サブフレームの表示期間の後半においては、コンデンサ C_{11} のデータはサブフレーム前半と変化せず、第1外部入力信号 $x y$ を1から0へ変化し、第2外部コントロール信号 y を0から1へ変化させることにより画素電極 $P E$ 10
では V_{sat} が加わり対向電極 $C E$ には0Vを加える。この結果、液晶に加わる電圧は、コンデンサ C_{10} のデータが1のとき、サブフレームの前半では $-V_{sat}$ 、サブフレームの後半では $+V_{sat}$ が加わり、コンデンサ C_{10} のデータが0のときサブフレームの前半では $-V_{th}$ 、サブフレームの後半では $+V_{th}$ が加わり、コンデンサ C_{10} のデータが1または0によらず液晶に加わる電圧は、サブフレーム表示期間の前半と表示期間の後半では、絶対値は同じで+、-の符号がことなり、1サブフレームにおいて液晶に加わる電圧は0Vになる。

【0066】

1サブフレームにおけるアドレス期間及び表示期間においても、液晶に加わる電圧は0Vとなる。 20

各サブフレームにおいて、サブフレームにより表示期間は異なる。表示期間は第1外部入力信号 $x y$ 及び第2外部入力信号 y の設定によりコントロールできる。次のサブフレームでは、以上説明した動作と同様の動作を繰り返す。この場合、アドレス期間は同一であるが、表示期間は前表示期間とは異なる。サブフレームの個数だけ同様の動作を繰り返し、1フレームを終了する。

この第5実施例においても、液晶画像表示において、各サブフレームにおいて駆動電圧の正負のバランスをとるように駆動し、各サブフレームにおける駆動電圧変化をロジック回路で制御し駆動電圧変化を高速化することにより、画像表示の階調性が高くなって同時に信頼性も高くできる。

【図面の簡単な説明】

【0067】

【図1】一般的な液晶画像表示装置を含む画像表示システムを示す概略構成図である。

【図2】本発明の液晶画像表示装置の第1実施例を示すブロック構成図である。

【図3】データ反転回路を示す図である。

【図4】像表示装置の1つの画素の画素駆動回路の一例を示すブロック図である。

【図5】液晶画素表示装置の1つの画素の画素駆動回路の一例を示す回路構成図である。

【図6】液晶の駆動電圧と出射光強度との関係を示すグラフである。

【図7】画素駆動回路中の各部の電圧波形を示すタイミングチャートである。

【図8】本発明の液晶画像表示装置の第2及び第5実施例を示すブロック構成図である。

【図9】画素駆動回路の一例を示すブロック図である。 40

【図10】画素駆動回路の一例を示す図である。

【図11】画素駆動回路の各部の電圧波形を示すタイミングチャートである。

【図12】本発明の液晶画像表示装置の第3及び第4実施例を示すブロック構成図である。

【図13】画素駆動回路の一例を示すブロック図である。

【図14】画素駆動回路の一例を示す図である。

【図15】画素駆動回路の一例を示すブロック図である。

【図16】画素駆動回路の一例を示す図である。

【図17】画素駆動回路の各部の電圧波形を示すタイミングチャートである。

【図18】画素駆動回路の一例を示すブロック図である。 50

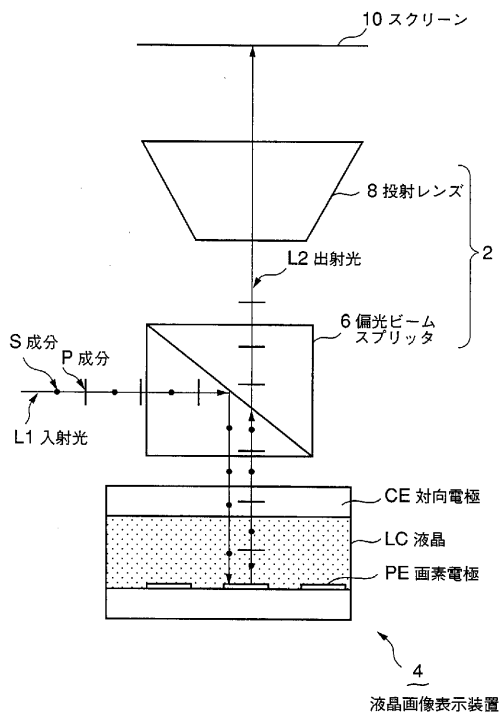
【図 19】画素駆動回路の一例を示す図である。

【符号の説明】

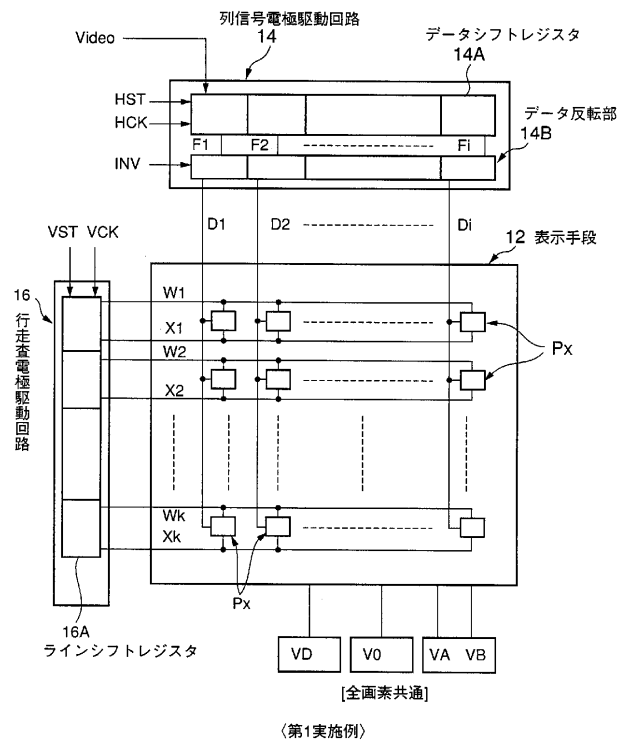
【0068】

2…光学系、4…画素表示装置、12…表示手段、14…列信号電極駆動手段（列信号電極駆動回路）、16…行走査電極駆動手段（行走査電極駆動回路）、20…サンプルホールド部、21…スイッチ回路部、22…インバータ部、30…データ反転回路、31…インバータ部、36…スイッチ回路、CE…対向電極、D（D1…Di）…列信号電極、LC…液晶、PE…画素電極、Px…画素、W（W1…Wk）…行走査電極。

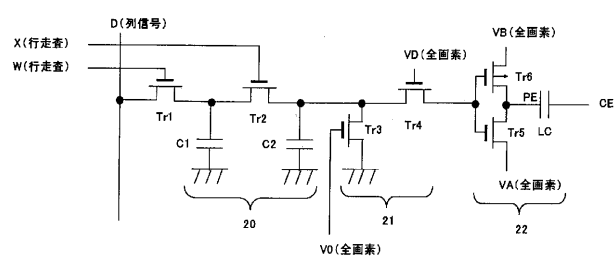
【図 1】



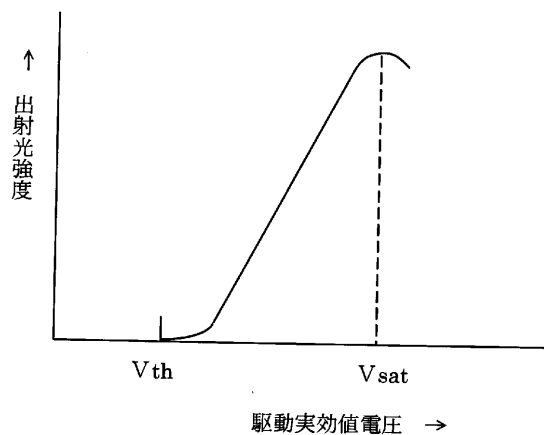
【図 2】



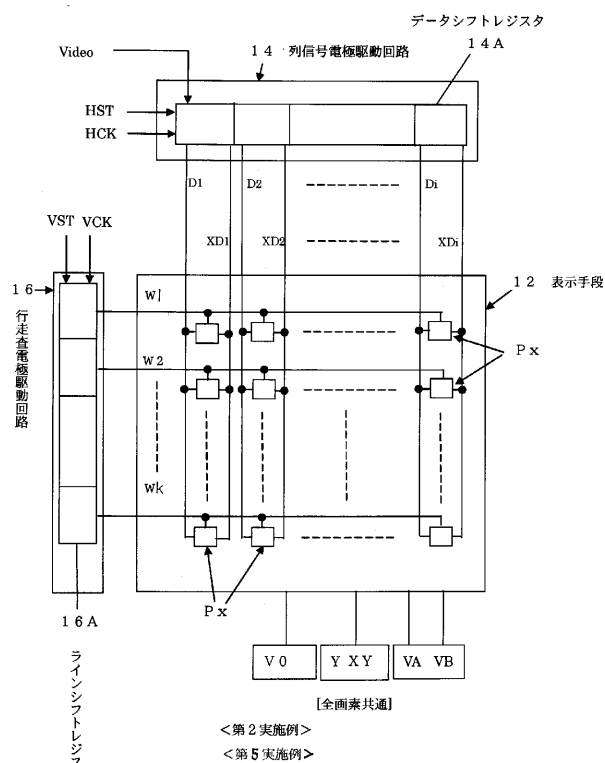
【图 5】



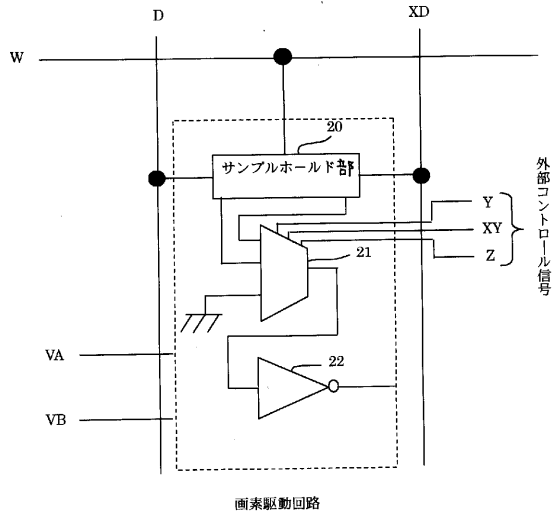
【図 6】



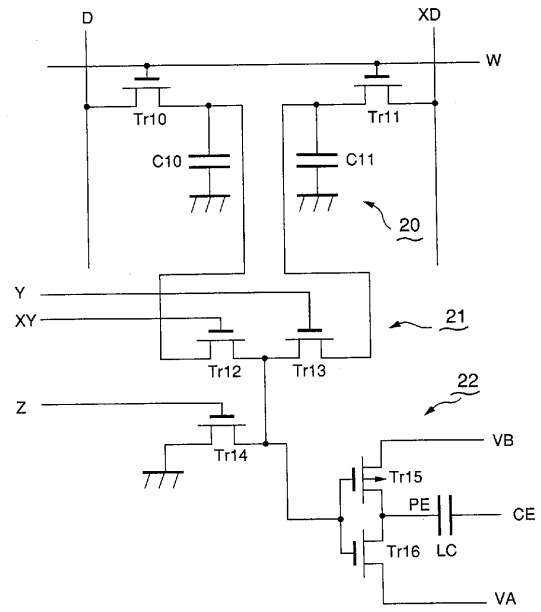
【图 8】



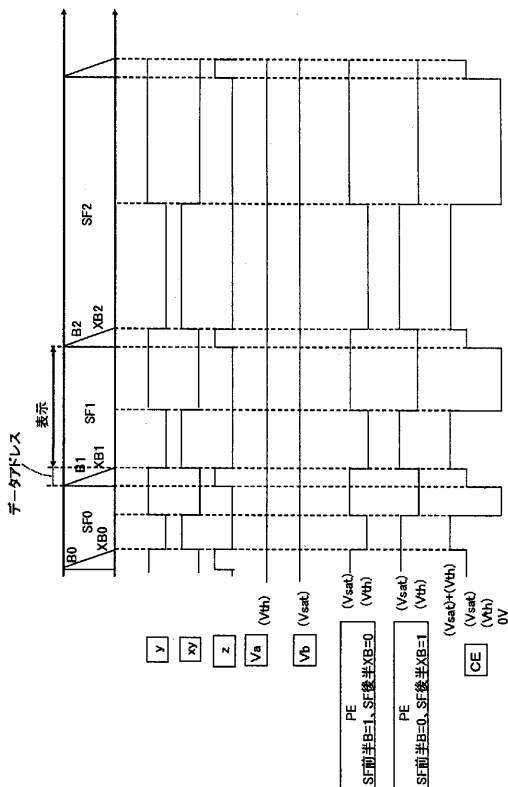
【図 9】



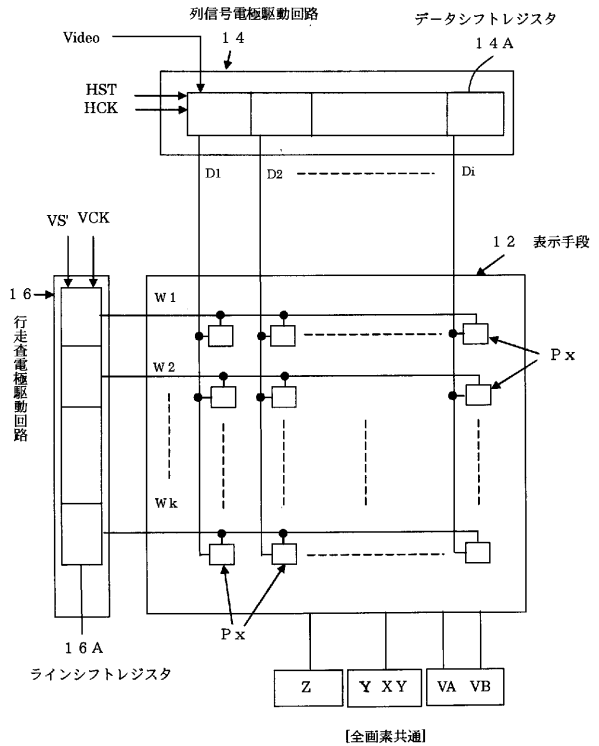
【図 10】



【図 11】



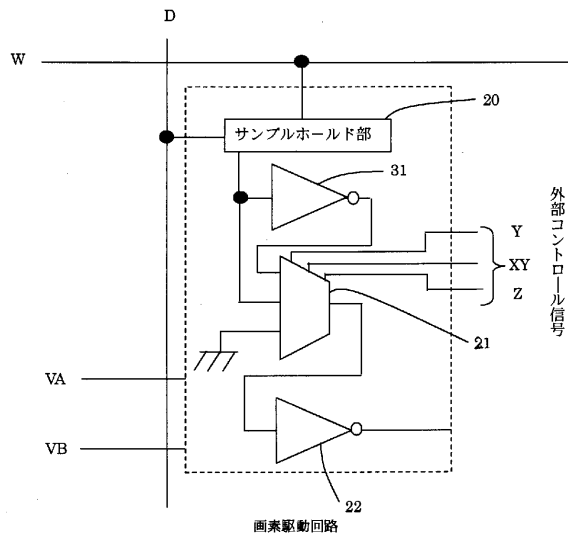
【図 12】



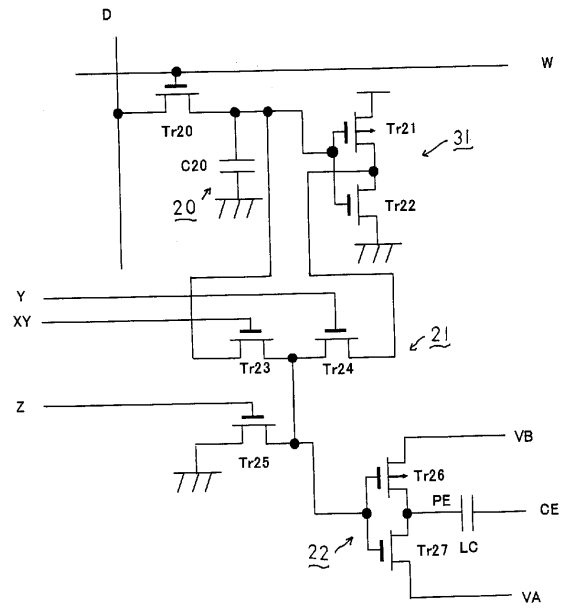
<第3実施例>

<第4実施例>

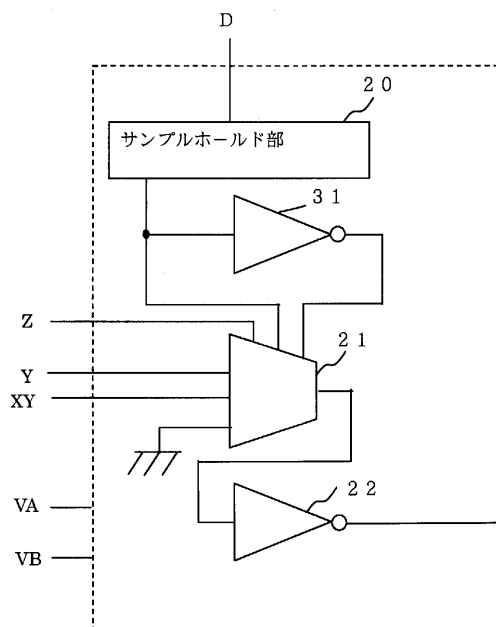
【図 1 3】



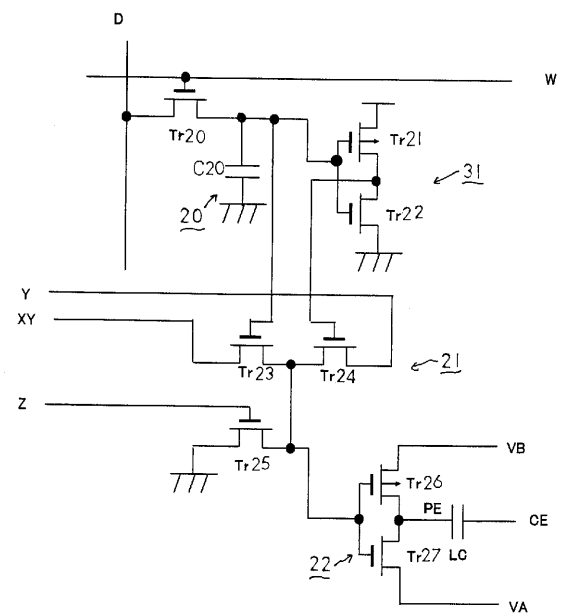
【図 1 4】



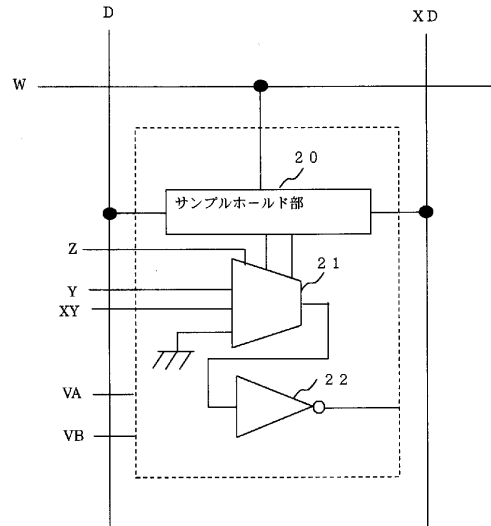
【図 1 5】



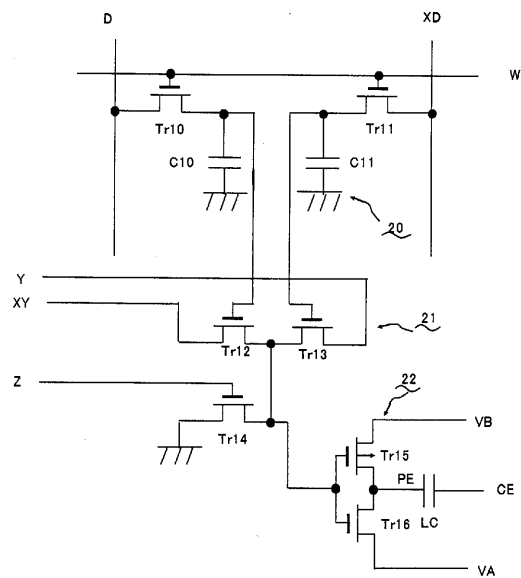
【図 1 6】



【 図 1 8 】



【 図 1 9 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 L

G 0 9 G 3/20 6 4 1 E

Fターム(参考) 5C006 AA01 AA14 AC27 AF45 AF46 AF51 AF53 AF61 AF71 BB16
BC03 BC12 BC20 BF11 BF24 BF25 BF27 EB04 EB05 EC11
FA56
5C080 AA10 BB05 DD03 EE29 FF11 JJ02 JJ03 JJ04

【要約の続き】

专利名称(译)	液晶画像表示装置		
公开(公告)号	JP2005352457A	公开(公告)日	2005-12-22
申请号	JP2005130798	申请日	2005-04-28
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	越智豊		
发明人	越智 豊		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.B G09G3/20.623.B G09G3/20.623.E G09G3/20.623.L G09G3/20.641.E		
F-TERM分类号	2H093/NA16 2H093/NA51 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC23 2H093/ND06 2H093/ND32 2H093/ND54 2H093/NE03 2H093/NE06 2H093/NG02 5C006/AA01 5C006/AA14 5C006/AC27 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF11 5C006/BF24 5C006/BF25 5C006/BF27 5C006/EB04 5C006/EB05 5C006/EC11 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZD21 2H193/ZP03 2H193/ZR02		
优先权	2004141642 2004-05-11 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够增强灰度并提高显示质量的可靠性的液晶图像显示装置。 解决方案：具有多个像素Px并提供给像素电极的图像信号的每个场都被分成周期短于一个场周期的子场，并根据图像信号的灰度级选择子场。 显示装置12用于通过打开或关闭图像信号来显示基于图像的图像，以及列信号电极驱动装置14，用于通过随时间移动而在列方向上移动图像信号和图像信号的反相信号。 在具有用于在行方向上向像素电极施加扫描信号的行扫描电极驱动装置16的液晶图像显示装置中，每个像素具有多个样本，每个样本保持从列信号电极驱动装置提供的图像信号的数据。 保持单元20，用于选择从样本保持单元输出的数据和预先准备的预定数据的开关单元21以及从开关单元输出的数据被输出到像素电极。 和逆变器单元22。 [选择图]图3

