

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	624	G 0 9 G 3/20	624 B 2 H 0 9 2
	611		611 A 2 H 0 9 3
	621		621 M 5 C 0 0 6
	680		680 G 5 C 0 8 0
G 0 2 F 1/133	550	G 0 2 F 1/133	550 5 C 0 9 4
審査請求 未請求 請求項の数 11 O L (全 11数) 最終頁に続く			

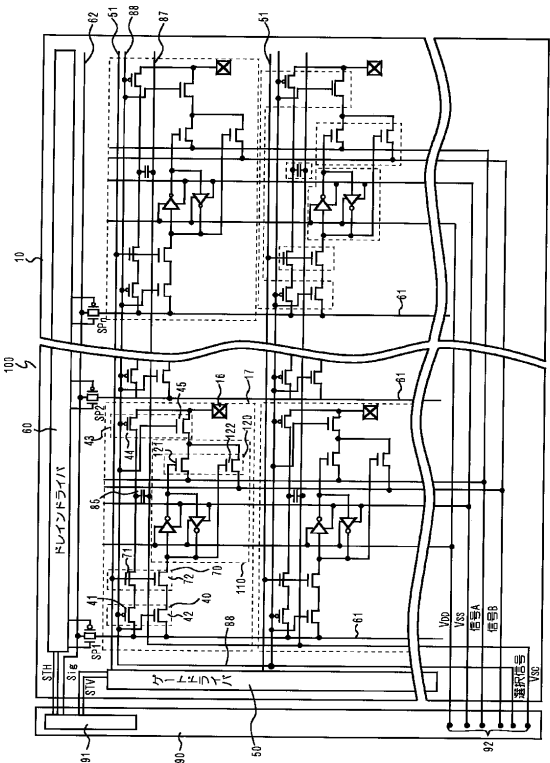
(21)出願番号	特願2000 - 282165(P2000 - 282165)	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成12年9月18日(2000.9.18)	(72)発明者	宮島 康志 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(74)代理人	100111383 弁理士 芝野 正雅
		最終頁に続く	

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【課題】 アクティブマトリクス型表示装置の低消費電力化と同時に回路の高集積化を図る。

【解決手段】 各画素毎に映像信号を保持する保持回路110を配置し、通常動作モードとメモリ動作モードを切り換えて表示する。保持回路110を画素電極17に重畳して配置し、隣接画素同士で回路を重畳しあうことによって、回路配置のスペース効率を向上し、保持回路110の回路面積を縮小する。特に反射型LCDにおいて保持回路110を、反射表示電極17に重畳して配置することで、保持回路による開口率の低下がなく、より高開口率の表示装置とすることができる。隣接2画素で重畳しあえば、回路は点対称に配置でき、設計効率がよい。隣接3画素で重畳しあえば、スペース効率を更に向上できる。



【特許請求の範囲】

【請求項 1】 行方向に延び、列方向に複数配置されるゲート信号線と、前記ゲート線の 1 本にゲートが接続された複数の画素選択トランジスタと、前記画素選択トランジスタそれぞれに接続され、マトリクス状に配置された複数の画素電極と、前記複数の画素電極に対向する対向電極と、前記画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、前記保持回路が記憶したデータに応じて表示するアクティブマトリクス型表示装置において、前記保持回路の少なくとも一部は、隣接する画素の前記画素電極に重畳して配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 行方向に延び、列方向に複数配置されるゲート信号線と、前記ゲート線の 1 本にゲートが接続された複数の画素選択トランジスタと、前記画素選択トランジスタそれぞれに接続され、マトリクス状に配置された複数の画素電極と、前記複数の画素電極に対向する対向電極と、前記画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、随時入力される映像信号に応じた画素電圧を随時印加して表示する通常動作モードと、前記保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、前記保持回路の少なくとも一部は、隣接する画素の前記画素電極に重畳して配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 3】 行方向に延び、列方向に複数配置されるゲート信号線、前記ゲート線の 1 本にゲートが接続された複数の画素選択トランジスタ、前記画素選択トランジスタそれぞれに接続されマトリクス状に配置された複数の画素電極、前記画素電極それぞれに接続された補助容量が形成された第 1 の基板と、前記複数の画素電極に対向する対向電極が形成された第 2 の基板と、前記第 1 及び第 2 の基板間に封入された液晶層と、前記画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、前記画素電極と前記対向電極との間に随時入力される映像信号に応じた所定の画素電圧を随時印加して前記液晶層を駆動して表示する通常動作モードと、前記保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、前記保持回路の少なくとも一部は、隣接する前記画素電極に重畳して配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 4】 行方向に延び、列方向に複数配置されるゲート信号線、前記ゲート線の 1 本にゲートが接続された複数の画素選択トランジスタ、前記画素選択トランジスタそれぞれに接続されマトリクス状に配置された複数の画素電極、前記画素電極それぞれに接続された補助容量が形成された第 1 の基板と、前記複数の画素電極に対

*向する対向電極が形成された第 2 の基板と、前記第 1 及び第 2 の基板間に封入された液晶層と、前記画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、前記保持回路が記憶したデータに応じて表示を行うアクティブマトリクス型表示装置において、前記保持回路の少なくとも一部は、隣接する前記画素電極に重畳して配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 5】 前記画素電極は、光を反射する反射電極であることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 6】 前記画素選択トランジスタ及び前記保持回路は、隣接画素同士で互いに点対称に配置されていることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 7】 隣接する画素は少なくとも 1 本の配線を共有し、該共有する配線は、前記画素電極の実質中央に配置されていることを特徴とする請求項 1 乃至 4 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 8】 前記画素選択トランジスタ及び前記保持回路は、隣接画素同士で前記共有する配線の所定の点を中心として互いに点対称に配置されていることを特徴とする請求項 7 に記載のアクティブマトリクス表示装置。

【請求項 9】 前記共有する配線はゲート信号線であることを特徴とする請求項 6 もしくは請求項 8 に記載のアクティブマトリクス表示装置。

【請求項 10】 前記保持回路は、前記反射表示電極と前記第 1 の基板との間に配置されていることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載のアクティブマトリクス型表示装置。

【請求項 11】 前記各画素に対応する回路を構成する各素子、補助容量、配線が画素電極と形成する容量の各画素毎の差 C_c は、前記画素電極と前記対向電極とが液晶を挟んで形成する容量 C_{lc} と、前記補助容量 C_{sc} とを合計した容量 $(C_{lc} + C_{sc})$ に対し、

$$C_c / (C_{lc} + C_{sc}) \leq 0.05$$

を満たすことを特徴とする請求項 3 もしくは請求項 4 に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置に関するものであり、特に画素に対応して複数の保持回路が設けられたアクティブマトリクス型表示装置に関するものである。

【0002】

【従来の技術】近年、表示装置は携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行わ

れている。

【0003】図5に従来例に係る液晶表示装置(Liquid Crystal Display; LCD)の一表示画素の回路構成図を示す。絶縁性基板(不図示)上に、ゲート信号線51、ドレイン信号線61とが交差して形成されており、その交差部近傍に両信号線51、61に接続された選択画素選択TF T70が設けられている。選択画素選択TF T70のソース70sは液晶21の画素電極17に接続されている。

【0004】また、画素電極17の電圧を1フィールド10期間、保持するための補助容量85が設けられており、この補助容量85の一方の端子86は選択画素選択TF T70のソース70sに接続され、他方の電極87には各表示画素に共通の電位が印加されている。

【0005】ここで、ゲート信号線51にゲート信号が印加されると、選択画素選択TF T70はオン状態となり、ドレイン信号線61からアナログ映像信号が画素電極17に伝達されると共に、補助容量85に保持される。画素電極17に印加された映像信号電圧が液晶21に印加され、その電圧に応じて液晶21が配向する。こ20のような表示画素をマトリクス状に配置することによりLCDを得ることができる。

【0006】従来のLCDは、動画像、静止画像に関係なく表示を得ることができる。かかるLCDに静止画像を表示する場合、例えば携帯電話の液晶表示部の一部に携帯電話を駆動するためのバッテリーの残量表示として、乾電池の画像を表示することになる。

【0007】しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、ゲート信号で選択画素選30択TF T70をオン状態にして、映像信号を各表示画素に書き込みする必要が生じていた。

【0008】そのため、ゲート信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部LSIは常時動作するため、常に大きな電力を消費していた。このため、限られた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

【0009】これに対して、各表示画素にスタティック40型メモリを備えた液晶表示装置が特開平8-194205号に開示されている。同公報の一部を引用して説明する。図6は特開平8-194205号に開示されている保持回路付きアクティブマトリクス型表示装置の平面回路構成図である。ゲート信号線51と参照線52が行方向に、ドレイン信号線61が列方向に、それぞれ複数配置されている。そして、保持回路54と画素電極17間にはTF T53が設けられている。保持回路54に保持されたデータに基づいて表示を行うことにより、ゲートドライバ50、ドレインドライバ60を停止して消費電50

力を低減するものである。

【0010】図7はこの液晶表示装置の一画素を示す回路構成図である。基板上に画素電極がマトリクス状に配置されており、画素電極17間には紙面左右方向にゲート信号線51が、上下方向にドレイン信号線61が配置されている。そしてゲート信号線51と平行に参照線52が配置され、ゲート信号線51とドレイン信号線61の交差部に保持回路54が設けられ、保持回路54と画素電極17間にはスイッチ素子53が設けられている。保持回路54は2段インバータ55、56を正帰還させた形のメモリ、即ちスタティック型メモリ(Static Random Access Memory; SRAM)をデジタル映像信号の保持回路として用いる。特にSRAMは、DRAMと異なり、データの保持にリフレッシュを必要としないので好適である。

【0011】ここで、スタティック型メモリに保持された2値デジタル信号に応じて、スイッチ素子53は参照線Vrefと画素電極17との間の抵抗値を、保持回路54の出力に応じて制御し、液晶21のバイアス状態を調整している。一方、共通電極には交流信号Vcomを入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

【0012】

【発明が解決しようとする課題】しかしながら、保持回路54にスタティックRAMを用いると、保持回路を構成するトランジスタの数は4つもしくは6つと多く、回路面積が大きい。そのようなスタティックRAMを画素電極17の間に配置すると、画素電極17の面積が小さくなって液晶表示装置の開口率が低下するか、一つの画素サイズを大きくせざるをえずに高精細化が困難であるという問題があった。

【0013】そこで、本発明は、保持回路を有する表示装置において、より高精細、もしくはより開口率を向上させることを目的とする。

【0014】

【課題を解決するための手段】本発明は上記課題を解決するために成されたものであり、行方向に延び、列方向に複数配置されるゲート信号線と、ゲート線の1本にゲートが接続された複数の画素選択トランジスタと、画素選択トランジスタそれぞれに接続され、マトリクス状に配置された複数の画素電極と、複数の画素電極に対向する対向電極と、画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、保持回路が記憶したデータに応じて表示するアクティブマトリクス型表示装置において、保持回路の少なくとも一部は、隣接する画素の画素電極に重畳して配置されているアクティブマトリクス型表示装置である。

【0015】また、行方向に延び、列方向に複数配置されるゲート信号線と、ゲート線の1本にゲートが接続さ

れた複数の画素選択トランジスタと、画素選択トランジスタそれぞれに接続され、マトリクス状に配置された複数の画素電極と、複数の画素電極に対向する対向電極と、画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、随時入力される映像信号に応じた画素電圧を随時印加して表示する通常動作モードと、保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、保持回路の少なくとも一部は、隣接する画素の画素電極に重畳して配置されているアクティブマトリクス型表示装置である。

【0016】行方向に延び、列方向に複数配置されるゲート信号線、ゲート線の1本にゲートが接続された複数の画素選択トランジスタ、画素選択トランジスタそれぞれに接続されマトリクス状に配置された複数の画素電極、画素電極それぞれに接続された補助容量が形成された第1の基板と、複数の画素電極に対向する対向電極が形成された第2の基板と、第1及び第2の基板間に封入された液晶層と、画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、画素電極と対向電極との間に随時入力される映像信号に応じた所定の画素電圧を随時印加して液晶層を駆動して表示する通常動作モードと、保持回路が記憶したデータに応じて表示するメモリ動作モードとを有するアクティブマトリクス型表示装置において、保持回路の少なくとも一部は、隣接する画素電極に重畳して配置されているアクティブマトリクス型表示装置である。

【0017】行方向に延び、列方向に複数配置されるゲート信号線、ゲート線の1本にゲートが接続された複数の画素選択トランジスタ、画素選択トランジスタそれぞれに接続されマトリクス状に配置された複数の画素電極、画素電極それぞれに接続された補助容量が形成された第1の基板と、複数の画素電極に対向する対向電極が形成された第2の基板と、第1及び第2の基板間に封入された液晶層と、画素電極に対応して配置され、映像信号に応じたデータを記憶する保持回路とを有し、保持回路が記憶したデータに応じて表示を行うアクティブマトリクス型表示装置において、保持回路の少なくとも一部は、隣接する画素電極に重畳して配置されているアクティブマトリクス型表示装置である。

【0018】また、画素電極は、光を反射する反射電極である。

【0019】また、画素選択トランジスタ及び保持回路は、隣接画素同士で互いに点対称に配置されている。

【0020】また、隣接する画素は少なくとも1本の配線を共有し、共有する配線は、画素電極の実質中央に配置されている。

【0021】また、画素選択トランジスタ及び保持回路は、隣接画素同士で共有する配線の所定の点を中心として互いに点対称に配置されている。

【0022】また、共有する配線はゲート信号線である。

【0023】また、保持回路は、反射表示電極と第1の基板との間に配置されている。

【0024】また、各画素に対応する回路を構成する各素子、補助容量、配線が画素電極と形成する容量の各画素毎の差 C_c は、画素電極と対向電極とが液晶を挟んで形成する容量 C_{LC} と、補助容量 C_{SC} とを合計した容量 $(C_{LC} + C_{SC})$ に対し、

$C_c / (C_{LC} + C_{SC}) / 50$ を満たす。

【0025】

【発明の実施の形態】次に、本発明の実施形態に係る表示装置について説明する。図1に本発明の表示装置を液晶表示装置に応用した場合の回路構成図を示す。

【0026】液晶表示パネル100には、絶縁基板10上に複数の画素電極17がマトリクス状に配置されている。そして、ゲート信号を供給するゲートドライバ50に接続された複数のゲート信号線51が一方方向に配置されており、これらのゲート信号線51と交差する方向に複数のドレイン信号線61が配置されている。

【0027】ドレイン信号線61には、ドレインドライバ60から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタSP1, SP2, ..., SPnがオンし、データ信号線62のデータ信号（アナログ映像信号又はデジタル映像信号）が供給される。

【0028】ゲートドライバ50は、あるゲート信号線51を選択し、これにゲート信号を供給する。選択された行の画素電極17にはドレイン信号線61からデータ信号が供給される。

【0029】以下、各画素の詳細な構成について説明する。ゲート信号線51とドレイン信号線61の交差部近傍には、Pチャネル型回路選択TF T 41及びNチャネル型回路選択TF T 42から成る回路選択回路40が設けられている。回路選択TF T 41, 42の両ドレインはドレイン信号線61に接続されると共に、それらの両ゲートは回路選択信号線88に接続されている。回路選択TF T 41, 42は、選択信号線88からの選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路40と対を成して、回路選択回路43が設けられている。回路選択回路40, 43は、それぞれのトランジスタが相補的に動作すればよく、Pチャネル、Nチャネルは逆でももちろんよい。また、回路選択回路40, 43はいずれか一方のみを省略することもできる。

【0030】これにより、後述する通常動作モードであるアナログ映像信号表示（フルカラー動画像対応）とメモリ動作モードであるデジタル映像表示（低消費電力、静止画像対応）とを選択して切換えることが可能とな

る。また、回路選択回路 40 に隣接して、Nチャネル型画素選択 T F T 7 1 及び Nチャネル型 T F T 7 2 から成る画素選択回路 70 が配置されている。画素選択 T F T 7 1, 7 2 はそれぞれ回路選択回路 40 の回路選択 T F T 4 1, 4 2 と縦列に接続されると共に、それらのゲートにはゲート信号線 5 1 が接続されている。画素選択 T F T 7 1, 7 2 はゲート信号線 5 1 からのゲート信号に応じて両方が同時にオンするように構成されている。

【0031】また、アナログ映像信号を保持するための補助容量 8 5 が設けられている。補助容量 8 5 の一方の電極は画素選択 T F T 7 1 のソースに接続されている。他方の電極は共通の補助容量線 8 7 に接続され、バイアス電圧 V_{sc} が供給されている。また、画素選択 T F T 7 1 のソースは回路選択 T F T 4 4 及びコンタクト 1 6 を介して画素電極 1 7 に接続されている。ゲート信号によって画素選択 T F T 7 0 のゲートが開くと、ドレイン信号線 6 1 から供給されるアナログ映像信号はコンタクト 1 6 を介して画素電極 1 7 に入力され、画素電圧として液晶を駆動する。画素電圧は画素選択 T F T 7 1 の選択が解除され、次に再び選択されるまでの 1 フィールド 20 期間保持されなければならないが、液晶の容量のみでは、画素電圧は時間経過とともに次第に低下してしまい、1 フィールド期間十分に保持されない。そうすると、その画素電圧の低下が表示むらとして現れてしまい良好な表示が得られなくなる。そこで画素電圧を 1 フィールド期間保持するために補助容量 8 5 を設けている。

【0032】この補助容量 8 5 と画素電極 1 7 との間には、回路選択回路 4 3 の Pチャネル型 T F T 4 4 が設けられ、回路選択回路 4 3 の回路選択 T F T 4 1 と同時にオンオフするように構成されている。回路選択 T F T 4 30 1 がオンし、アナログ信号を随時供給して液晶を駆動する動作モードを通常動作モード、もしくはアナログ動作モードと呼ぶ。

【0033】また、画素選択回路 70 の T F T 7 2 と画素電極 1 7 との間には、保持回路 1 1 0 が設けられている。保持回路 1 1 0 は、正帰還された 2 つのインバータ回路と信号選択回路 1 2 0 から成り、デジタル 2 値を保持するスタティック型メモリを構成している。

【0034】また、信号選択回路 1 2 0 は、2 つのインバータからの信号に応じて信号を選択する回路であつ 40 て、2 つの Nチャネル型 T F T 1 2 1、1 2 2 で構成されている。T F T 1 2 1、1 2 2 のゲートには 2 つのインバータからの相補的な出力信号がそれぞれ印加されているので、T F T 1 2 1、1 2 2 は相補的にオンオフする。

【0035】ここで、T F T 1 2 2 がオンすると直流電圧の対向電極信号 V_{COM} (信号 A) が選択され、T F T 1 2 1 がオンするとその対向電極信号 V_{COM} を中心とした交流電圧であって液晶を駆動するための交流駆動信号 (信号 B) が選択され、回路選択回路 4 3 の T F T 4 5 50

を介して、液晶 2 1 の画素電極 1 7 に供給される。回路選択 T F T 4 2 がオンし、保持回路 1 1 0 に保持されたデータに基づいて表示をする動作モードをメモリモードもしくはデジタル動作モードと呼ぶ。

【0036】上述した構成を要約すれば、画素選択素子である画素選択 T F T 7 1 及びアナログ映像信号を保持する補助容量 8 5 から成る回路 (アナログ表示回路) と、画素選択素子である T F T 7 2、2 値のデジタル映像信号を保持する保持回路 1 1 0 から成る回路 (デジタル表示回路) とが 1 つの表示画素内に設けられ、更に、これら 2 つの回路を選択するための回路選択回路 4 0, 4 3 が設けられている。

【0037】次に、液晶パネル 100 の周辺回路について説明する。液晶パネル 100 の絶縁性基板 10 とは別基板の外付け回路基板 90 には、パネル駆動用 L S I 9 1 が設けられている。この外付け回路基板 90 のパネル駆動用 L S I 9 1 から垂直スタート信号 S T V がゲートドライバ 50 に入力され、水平スタート信号 S T H がドレインドライバ 60 に入力される。また映像信号がデータ線 6 2 に入力される。

【0038】次に、上述した構成の表示装置の駆動方法について説明する。

(1) 通常動作モード (アナログ動作モード) の場合モード信号に応じて、アナログ表示モードが選択されると、L S I 9 1 はデータ信号線 6 2 にアナログ信号を供給する状態に設定されると共に、回路選択信号線 8 8 の電位が「L」となり、回路選択回路 4 0, 4 3 の回路選択 T F T 4 1, 4 3 がオンし、回路選択 T F T 4 2、4 5 がオフする。

【0039】また、水平スタート信号 S T H に基づくサンプリング信号に応じてサンプリングトランジスタ S P が順次オンしデータ信号線 6 2 のアナログ映像信号がドレイン信号線 6 1 に供給される。

【0040】また、垂直スタート信号 S T V に基づいて、ゲート信号がゲート信号線 5 1 に供給される。ゲート信号に応じて、画素選択 T F T 7 1 がオンすると、ドレイン信号線 6 1 からアナログ映像信号 $A_{n \cdot S i g}$ が画素電極 1 7 に伝達されると共に、補助容量 8 5 に保持される。画素電極 1 7 に印加された映像信号電圧が液晶 2 1 に印加され、その電圧に応じて液晶 2 1 が配向することにより液晶表示を得ることができる。

【0041】このアナログ表示モードでは、随時入力されるアナログ信号に応じて随時液晶を駆動するので、フルカラーの動画像を表示するのに好適である。ただし、外付け回路基板 90 の L S I 9 1、各ドライバ 50, 60 にはそれらを駆動するために、絶えず電力が消費されている。

(2) メモリ動作モード (デジタル表示モード) の場合モード信号に応じて、デジタル表示モードが選択されると、L S I 9 1 は映像信号をデジタル変換して上位 1 ビ

ットを抽出したデジタルデータをデータ信号線 62 に出力する状態に設定されると共に、回路選択信号線 88 の電位が「H」となり、保持回路 110 が有効な状態になる。また、回路選択回路 40, 43 の回路選択 T F T 41, 44 がオフすると共に、回路選択 T F T 42, 45 がオンする。

【0042】また、外付け回路基板 90 のパネル駆動用 L S I 91 から、ゲートドライバ 50 及びドレインドライバ 60 にスタート信号 S T H が入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタ S P 1, S P 2, ..., S P n が順にオンしてデジタル映像信号 D . S i g をサンプリングして各ドレイン信号線 61 に供給する。

【0043】ここで第 1 行、即ちゲート信号 G 1 が印加されるゲートドレイン信号線 61 について説明する。まず、ゲート信号 G 1 によってゲートドレイン信号線 61 に接続された各表示画素の各画素選択 T F T 72 が 1 水平走査期間オンする。第 1 行第 1 列の表示画素に注目すると、サンプリング信号 S P 1 によってサンプリングしたデジタル映像信号 S 11 がドレイン信号線 61 に入力される。そして選択画素選択 T F T 72 がゲート信号によってオン状態になるとそのデジタル信号 D . S i g が保持回路 110 に入力され、2 つのインバータによって保持される。

【0044】このインバータで保持された信号は、信号選択回路 120 に入力されて、この信号選択回路 120 で信号 A 又は信号 B を選択して、その選択した信号が画素電極 17 に印加され、その電圧が液晶 21 に印加される。

【0045】こうして 1 行目のゲート信号線から最終行のゲート信号線まで走査することにより、1 画面分 (1 フィールド期間) のスキャン、即ち全ドットスキャンが終了し 1 画面が表示される。

【0046】ここで、1 画面が表示されると、ゲートドライバ 50 並びにドレインドライバ 60 及び外付けのパネル駆動用 L S I 91 への電圧供給を停止しそれらの駆動を止める。保持回路 110 には常に電圧 V D D, V S S を供給して駆動し、また対向電極電圧を対向電極 32 に、各信号 A 及び B を選択回路 120 に供給する。

【0047】即ち、保持回路 110 にこの保持回路を駆動するための V D D, V S S を供給し、対向電極には対向電極電圧 V C O M を印加し、液晶表示パネル 100 がノーマリーホワイト (N W) の場合には、信号 A には対向電極電圧と同じ電位の交流駆動電圧を印加し、信号 B には液晶を駆動するための交流電圧 (例えば 60 H z) を印加するのみである。そうすることにより、1 画面分を保持して静止画像として表示することができる。また他のゲートドライバ 50、ドレインドライバ 60 及び外付け L S I 91 には電圧が印加されていない状態である。

【0048】このとき、ドレイン信号線 61 にデジタル映像信号で「H (ハイ)」が保持回路 110 に入力された場合には、信号選択回路 120 において第 1 の T F T 121 には「L」が入力されることになるので第 1 の T F T 121 はオフとなり、他方の第 2 の T F T 122 には「H」が入力されることになるので第 2 の T F T 122 はオンとなる。そうすると、信号 B が選択されて液晶には信号 B の電圧が印加される。即ち、信号 B の交流電圧が印加され、液晶が電界によって立ち上がるため、N W の表示パネルでは表示としては黒表示として観察できる。

【0049】ドレイン信号線 61 にデジタル映像信号で「L」が保持回路 110 に入力された場合には、信号選択回路 120 において第 1 の T F T 121 には「H」が入力されることになるので第 1 の T F T 121 はオンとなり、他方の第 2 の T F T 122 には「L」が入力されることになるので第 2 の T F T 122 はオフとなる。そうすると、信号 A が選択されて液晶には信号 A の電圧が印加される。即ち、対向電極 32 と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、N W の表示パネルでは表示としては白表示として観察できる。

【0050】このように、1 画面分を書き込みそれを保持することにより静止画像として表示できるが、その場合には、各ドライバ 50, 60 及び L S I 91 の駆動を停止するので、その分低消費電力化することができる。

【0051】上記実施形態では、保持回路 110 は 1 ビットのみを保持するが、もちろん保持回路 110 を多ビット化すれば、メモリ動作モードで階調表示を行うこともできるし、保持回路 110 をアナログ値を記憶するメモリとすれば、メモリ動作モードでのフルカラー表示もできる。

【0052】上述したように、本発明の実施形態によれば、1 つの液晶表示パネル 100 でフルカラーの動画像表示 (アナログ表示モードの場合) と、低消費電力のデジタル階調表示 (デジタル表示モードの場合) という 2 種類の表示に対応することができる。

【0053】次に、本実施形態のレイアウトについて、図 2 を用いて説明する。図 2 は本実施形態のレイアウトを示す概念図である。回路選択回路の P チャネル回路選択 T F T 41、N チャネル T F T 42、画素選択回路の N チャネル画素選択 T F T 71、回路選択回路の P チャネル T F T 44 が直列に接続され、画素電極 17 にコンタクト 16 を介して接続されているとともに補助容量 85 に接続されている。また、回路選択 T F T 42、保持回路 110、回路選択回路の N チャネル T F T 45 がコンタクト 16 を介して画素電極 17 に接続されている。以上の構成はいずれも画素電極 17 に重畳して配置されている。特に、多くの面積を必要とする保持回路 110 を画素電極 17 間に配置せず、画素電極 17 に重畳する

ので、画素電極 17 を最大の面積にすることができる。逆に言えば、一つの画素に必要な面積が最小となるので、高精細な LCD とすることができる。

【0054】ところで、本実施形態の LCD は反射型 LCD である。本実施形態の反射型 LCD の図 2A - A' 線断面図を図 3 に示す。一方の絶縁性基板 10 上に、多結晶シリコンから成り島化された半導体層 11 が配置され、その上をゲート絶縁膜 12 が覆って配置されている。半導体層 11 の上方であってゲート絶縁膜 12 上にはゲート電極 13 が配置され、このゲート電極 13 の両側に位置する下層の半導体層 11 には、ソース及びドレインが形成されている。ゲート電極 13 及びゲート絶縁膜 12 上にはこれらを覆って層間絶縁膜 14 が形成されている。そしてそのドレイン及びソースに対応した位置にはコンタクトが形成されており、そのコンタクトを介してドレインは画素選択 TFT 71 に、ソースはコンタクト 16 を介して画素電極 17 に、それぞれ接続されている。平坦化絶縁膜 15 上に形成された各表示電極 17 はアルミニウム (Al) 等の反射材料から成っている。各表示電極 17 及び平坦化絶縁膜 15 上には液晶 21 を配向するポリイミド等から成る配向膜 20 が形成されている。

【0055】他方の絶縁性基板 30 上には、赤 (R)、緑 (G)、青 (B) の各色を呈するカラーフィルタ 31、ITO (Indium Tin Oxide) 等の透明導電性膜から成る対向電極 32、及び液晶 21 を配向する配向膜 33 が順に形成されている。もちろんカラー表示としない場合には、カラーフィルタ 31 は不要である。

【0056】こうして形成された一对の絶縁性基板 10、30 の周辺を接着性シール材によって接着し、それによって形成された空隙に液晶 21 が充填されている。

【0057】反射型 LCD では、図中点線矢印で示すように、絶縁性基板 30 側から入射した外光が表示電極 17 によって反射されて、観察者 1 側に出射し、表示を観察することができる。

【0058】反射型 LCD は画素電極 17 を光が透過しないので画素電極 17 の下にどのような素子が配置されていても開口率に影響を及ぼさない。そして、大きい面積を必要とする保持回路 110 を画素電極 17 の下に配置することによって、画素の間隔を通常の LCD と同等にすることもできる。また、本実施形態のように全ての構成を画素電極の下に配置する必要はなく、一部の構成を画素電極間に配置してもよい。

【0059】次に本発明の第 2 の実施形態について説明する。本実施形態は RGB 各色の画素が整列して配置されたストライプ配列であって、それぞれの画素電極 17 には RGB のいずれかのカラーフィルタが対応して配置されており、それを 17R、17G、17B として示す。RGB それぞれの画素は、図 2 と同様の回路を有し、それぞれの画素でその画素のデータを保持回路 11

0 に保持することができるようになっている。

【0060】本実施形態で特徴的な点は、画素電極 17 のレイアウトと、保持回路や選択回路、補助容量などの回路レイアウトが一致していない点である。この点について、以下により詳細に述べる。まず画素電極 17R に着目する。画素電極 17R は図面左端に配置され、上下方向に長い矩形状である。画素電極 17R とその回路とを接続するコンタクトは 16R で示されている。そして、回路選択 TFT 41R、44R、画素選択 TFT 71R が直列に接続され、その一部は隣接画素である画素電極 17G にまで延在している。同様に補助容量 85R、保持回路 110R も画素電極 17G に延在している。そして、画素電極 17G は、コンタクト 16G を介して対応する回路に接続されており、回路選択 TFT 41G、画素選択 TFT 71G、補助容量 85G、保持回路 110G は、隣接画素である画素電極 17R に重畳して配置されている。

【0061】そして、画素電極 17R、G に対応する回路はゲート信号線を共有し、ゲート信号線上の一点を中心として互いに点対称に配置されている。以下、同様に、画素電極 17B に対応する回路は、更にその隣の図示しない画素電極に延在する。この画素を画素電極 17R' とすると、画素電極 17R' に対応する回路は、逆に画素電極 17B に重畳する。

【0062】このように配置することのメリットについて以下に説明する。例えば RGB 3 色を一つの絵素として、この絵素をほぼ正方形に使用すると、RGB 個々の画素は 3:1 で縦長の長方形となる。一般的にストライプ配列の RGB 個々の画素は一方向に長い矩形となる。そのような細長い矩形の画素電極 17 の下に、レイアウトをあわせて保持回路 110 等を配置しようとする、回路の設計が困難になる。それに対して本発明であれば、画素電極 17 のレイアウトと回路のレイアウトが異なるので、よけいな配線の迂回などが不要となってスペース効率が上がり、保持回路が必要とする面積をより小さくすることができる。保持回路付き LCD の場合、1 画素の最小面積は、主に保持回路の占める面積が支配的であるので、保持回路を縮小することは、LCD の高精細化に直結すると言える。

【0063】次に、回路をゲート信号線を挟んで対称に配置することのメリットについて以下に説明する。隣接画素同士で領域をシェアしあう場合、画素毎に回路内のレイアウトを調整する必要が生じるが、隣接画素同士で点対称に配置すれば、一つの画素の回路を設計し、その回路をミラーリングして設計することができ、回路設計の効率がよい。ただし、図中で画素上下端に示した 4 本の電源線への結線は調整する必要がある。また、回路レイアウトを点対称にせず、平行に移動したとすると、隣接画素同士のゲート信号線は、互いに離れて配置する必要が生じ、ゲート信号線を各行 2 本配置する必要が生じ

る。これに対し、本実施形態では、回路を対称に配置しているので、ゲート信号線は各行 1 本でよく、増やす必要がない。また、保持回路 110 が S R A M であれば、高低 2 種類の電源線 (VDD、VSS)、高低 2 種類の参照電源線 (信号 A、信号 B)、合計 4 本の電源線が必要である。これらは全画素で共通に用いられる電源である。これらの電源線も、回路を対称に配置することで列方向に隣接する画素同士で共有することができる。このように、各種配線を複数画素で共有することによって回路面積を縮小し、より高精細な L C D とすることができる。

【0064】次に、第 3 の実施形態について図 8 を用いて説明する。図 8 は第 2 の実施形態が 2 画素で画素領域を共有して回路を配置していたのに比較して 3 画素 17 R、17 G、17 B で画素領域を共有して回路を配置するようにレイアウトしている点で第 2 の実施形態と異なる。本実施形態において、回路構成については第 2 の実施形態と全く同様であるので、図面の簡略化のために、回路選択 T F T 41、42、44、45、コンタクト 16、補助容量 85、保持回路 110 及びそれらを結び配線を回路 200 として表示し、画素選択 T F T 71、コンタクト 16 をそれぞれ R、G、B として表示している。本実施形態において、各画素の回路 200 R、200 G、200 B は、それぞれ隣接する 3 画素の領域に跨って配置されている。このように、より多くの画素に跨って配置すれば、より多くのスペースを利用することができ、回路毎のデッドスペースを減らしスペース効率を更に向上することができるので、回路 200 の面積を更に縮小することができる。ただし、本実施形態は、3 画素に跨って形成するので、上記実施形態と異なり点対称に配置することができない。従って、本実施形態の回路 200 の配置は、各画素毎で個別に設計する必要がある、第 2 の実施形態のように 2 画素で回路領域を共有する方が回路設計の効率はよい。そして、画素選択 T F T 71 や、画素電極とのコンタクト 16 は、R G B それぞれの画素に重畳させた方がよい。従って、必然的に回路 200 は、R G B 毎に内部の配置が異なる。

【0065】この時、各画素電極と回路 200 を構成する各素子、補助容量、配線などが画素電極と対向する面積を、各画素でできるだけ等しくする必要がある。各画素毎に回路素子や配線との対向面積が画素毎に異なると、それによって生じる寄生容量が画素毎に異なってしまう、画面を表示するときに画像がちらつくなど、表示品質を低下させる原因となってしまう。回路 200 毎の対向面積を全く等しくすることは理想的であるが、困難である。そこで、回路 200 を構成する各素子、補助容量、配線が画素電極と形成する容量の各画素毎の差 C_c は、前記画素電極と前記対向電極とが液晶を挟んで形成する容量 C_{LC} と、前記補助容量 C_{SC} とを合計した容量 $(C_{LC} + C_{SC})$ に対し、 $1/50$ よりも小さくなるように、即ち $C_c (C_{LC} + C_{SC}) / 50$

となるように設計するとよい。このように配置すれば、各画素毎の対向面積の差による表示品質の低下はそれほど顕著とならない。また、

$$C_c (C_{LC} + C_{SC}) / 100$$

とすれば、表示品質の低下はほとんど視認されない。更に、

$$C_c (C_{LC} + C_{SC}) / 200$$

とすれば、表示品質の低下は実質的になくなる。

【0066】上記実施形態では、反射型 L C D を用いて説明したが、もちろん透過型 L C D に適用し、透明な画素電極と保持回路とを重畳して配置することも可能である。しかし透過型 L C D では、金属配線が配置されているところは遮光されるので、開口率の低下が避けられない。また、透過型 L C D で画素電極の下に保持回路を配置すると、透過する光によって保持回路や選択回路のトランジスタが誤動作する恐れがあるため、全てのトランジスタのゲート上に遮光膜を儲ける必要がある。従って、透過型 L C D では開口率を高くすることが困難である。これに対し、反射型 L C D は、画素電極下にどのような回路が配置されても開口率に影響を与えることはない。更に、透過型の液晶表示装置のように、観察者側と反対側にいわゆるバックライトを用いる必要が無いため、バックライトを点灯させるための電力を必要としない。保持回路付き L C D のそもそもの目的が消費電力の削減であるから、本発明の表示装置としては、バックライト不要で低消費電力化に適した反射型 L C D であることが好ましい。

【0067】また、上記実施形態は、液晶表示装置を用いて説明したが、本発明はこれにとらわれるものではなく、有機 E L 表示装置や、L E D 表示装置など、様々な表示装置に適用することができる。

【0068】

【発明の効果】以上に説明したように、本発明のアクティブマトリクス型表示装置は、保持回路の少なくとも一部が、隣接する画素の画素電極に重畳して配置され、画素電極 17 のレイアウトと回路のレイアウトが異なるので、よけいな配線の迂回などが不要となってスペース効率が上がり、保持回路が必要とする面積をより小さくすることができる。これによって、より高精細な保持回路付き表示装置とすることができる。

【0069】そして、画素電極は、光を反射する反射電極であるので、画素電極の表示面から見た裏側にメモリ回路を配置しても開口率が低下することはない。

【0070】また、画素選択トランジスタ及び保持回路は、隣接画素同士で互いに点対称に配置されているので、隣接画素内の回路配置を各画素共通とすることができるので、回路設計を効率よく行うことができる。

【0071】また、隣接する画素は少なくとも 1 本の配線を共有し、共有する配線は、画素電極の実質中央に配置されているので、回路を点対称に配置しても、画素電

極 1 行につき 1 本のゲート信号線を配置すればよく、回路面積を縮小することができる。

【0072】また、画素選択トランジスタ及び保持回路は、隣接画素同士で共有する配線の所定の点を中心として互いに点対称に配置されているので、回路設計を容易に行うことができる。

【0073】また、各画素に対応する回路を構成する各素子、補助容量、配線が画素電極と形成する容量の各画素毎の差 C_c は、画素電極と対向電極とが液晶を挟んで形成する容量 C_{LC} と、補助容量 C_{SC} とを合計した容量 $(C_{LC} + C_{SC})$ に対し、

$$C_c (C_{LC} + C_{SC}) / 50$$

を満たすので、回路レイアウトを複数画素に跨って配置しても表示品質の低下が小さい。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態を示す回路図である。

【図 2】本発明の第 1 の実施形態の平面レイアウトを示*

*す概念図である。

【図 3】本発明の実施形態の断面図である。

【図 4】本発明の第 2 の実施形態の平面レイアウトを示す概念図である。

【図 5】液晶表示装置の 1 画素を示す回路図である。

【図 6】従来の保持回路付き表示装置を示す回路図である。

【図 7】従来の保持回路付き液晶表示装置の 1 画素を示す回路図である。

【図 8】本発明の第 3 の実施形態の平面レイアウトを示す概念図である。

【符号の説明】

17 画素電極

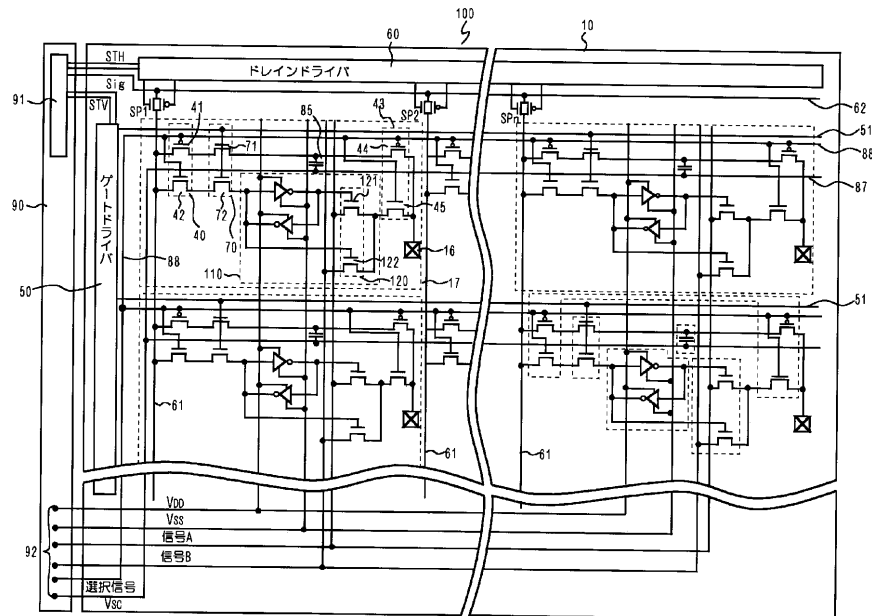
40、43 回路選択回路

70 画素選択回路

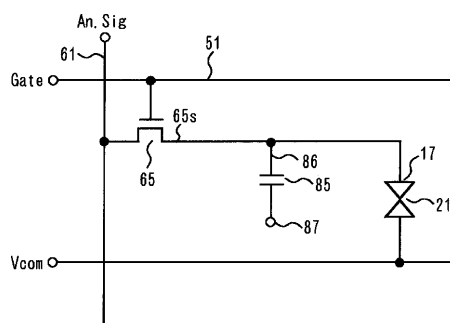
85 補助容量

110 保持回路

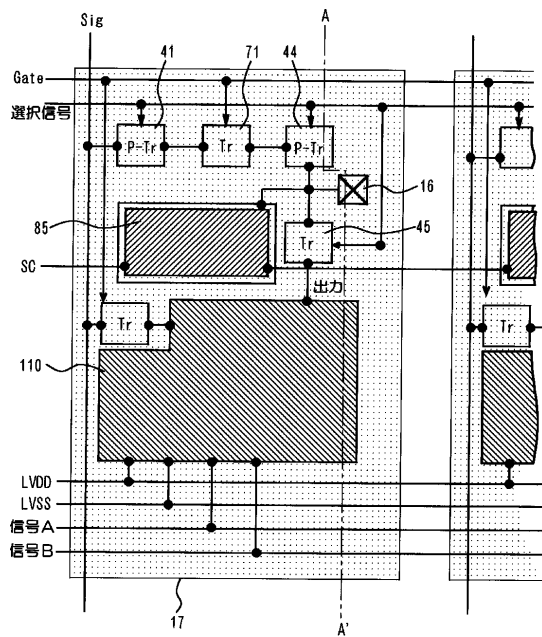
【図 1】



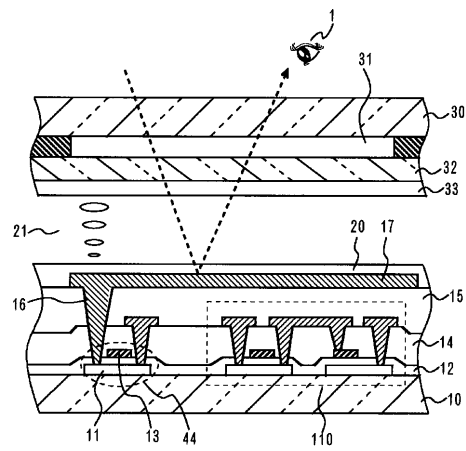
【図 5】



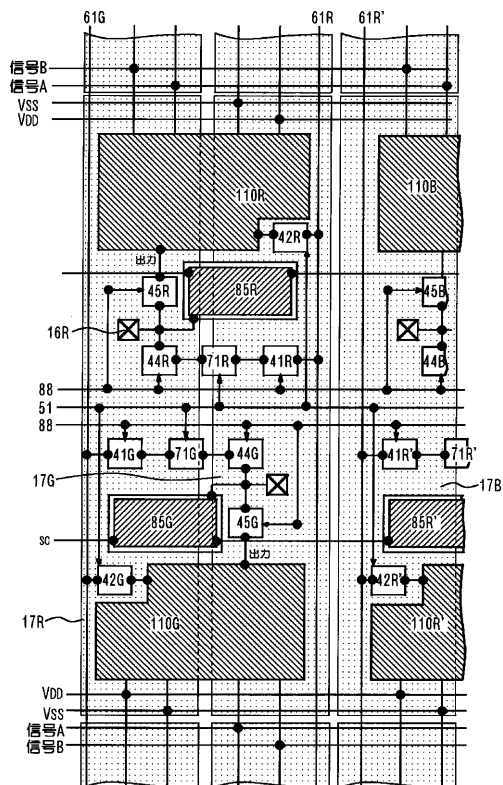
【図 2】



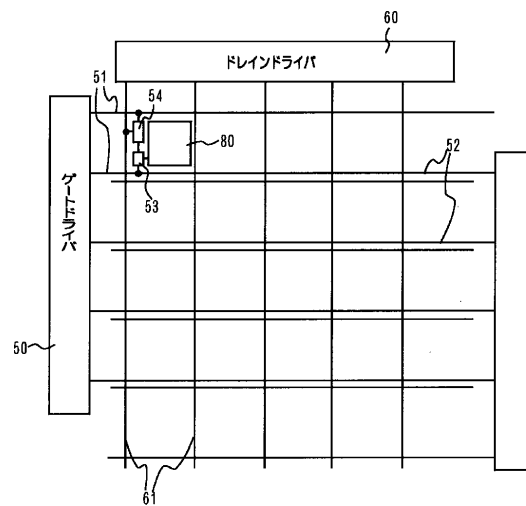
【図 3】



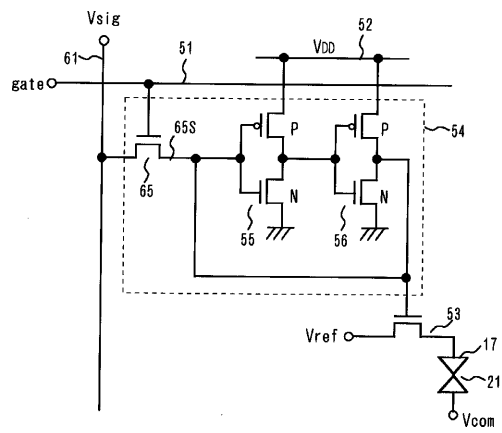
【圖 4】



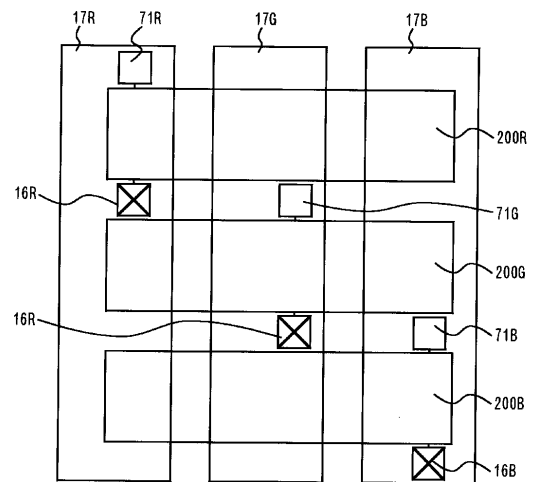
【圖 6】



【図7】



【図8】



フロンページの続き

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト (参考)
G 0 2 F 1/1368		G 0 9 F 9/30	3 3 8
G 0 9 F 9/30	3 3 8	G 0 9 G 3/30	J
G 0 9 G 3/30			
3/36		G 0 2 F 1/136	5 0 0

F タ-ム(参考) 2H092 HA05 JA24 JA38 JA42 JB13
 JB23 JB32 JB38 JB42 NA25
 PA06 QA07
 2H093 NA16 NA80 NC13 NC22 NC23
 NC26 NC34 NC35 NC59 NC90
 ND39 NE06 NE07 NF05
 5C006 AA01 BB16 BB28 BC03 BC06
 BC12 BC20 BF02 BF11 BF24
 BF37 EB05 FA47
 5C080 AA10 BB05 DD25 DD26 EE19
 FF11 GG07 GG08 JJ02 JJ03
 JJ06
 5C094 AA05 AA22 BA03 BA43 CA19
 DA09 DA13 EA03 EA04 EA06
 EA07 EA10 FA01 FB19 GA10

专利名称(译)	有源矩阵显示		
公开(公告)号	JP2002091365A	公开(公告)日	2002-03-27
申请号	JP2000282165	申请日	2000-09-18
[标]申请(专利权)人(译)	三洋电机株式会社		
申请(专利权)人(译)	三洋电机株式会社		
[标]发明人	宮島康志		
发明人	宮島 康志		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09F9/30 G09G3/20 G09G3/30 G09G3/36		
FI分类号	G09G3/20.624.B G09G3/20.611.A G09G3/20.621.M G09G3/20.680.G G02F1/133.550 G09F9/30.338 G09G3/30.J G09G3/36 G02F1/136.500 G02F1/1368		
F-TERM分类号	2H092/HA05 2H092/JA24 2H092/JA38 2H092/JA42 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB38 2H092/JB42 2H092/NA25 2H092/PA06 2H092/QA07 2H093/NA16 2H093/NA80 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC34 2H093/NC35 2H093/NC59 2H093/NC90 2H093/ND39 2H093/NE06 2H093/NE07 2H093/NF05 5C006/AA01 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF02 5C006/BF11 5C006/BF24 5C006/BF37 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD26 5C080/EE19 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA05 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/EA03 5C094/EA04 5C094/EA06 5C094/EA07 5C094/EA10 5C094/FA01 5C094/FB19 5C094/GA10 2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB02 2H192/CB12 2H192/CB22 2H192/CB23 2H192/CB24 2H192/DA12 2H192/DA71 2H192/EA43 2H192/FB02 2H192/GD61 2H193/ZA04 2H193/ZA20 2H193/ZE31 2H193/ZQ06		
代理人(译)	柴野Seimiyabi		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少有源矩阵型显示设备的功耗，同时提高电路集成度。为每个像素设置用于保持视频信号的保持电路110，并且切换并显示正常操作模式和存储器操作模式。通过将保持电路110布置为与像素电极17交叠并且使相邻像素之间的电路交叠，电路布置的空间效率得以提高，并且保持电路110的电路面积减小。特别地，在反射型LCD中，通过将保持电路110布置为与反射型显示电极17重叠，可以提供具有较高开口率的显示装置，而不会由于保持电路而减小开口率。如果两个相邻像素彼此重叠，则电路可以点对称地布置，这提高了设计效率。如果三个相邻像素彼此重叠，则可以进一步提高空间效率。

