

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2009/022486

発行日 平成22年11月11日 (2010.11.11)

(43) 国際公開日 平成21年2月19日 (2009.2.19)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622C	5C006
G02F 1/133 (2006.01)	G09G 3/20 622L	5C080
	G09G 3/20 622D	
	G09G 3/20 612J	

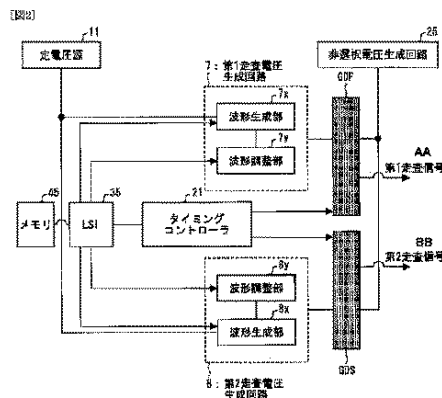
審査請求 有 予備審査請求 未請求 (全 37 頁) 最終頁に続く

出願番号 特願2009-528050 (P2009-528050)	(71) 出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(21) 国際出願番号 PCT/JP2008/059671	(74) 代理人 110000338 特許業務法人原謙三国際特許事務所
(22) 国際出願日 平成20年5月26日 (2008.5.26)	(72) 発明者 伊藤 資光 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(31) 優先権主張番号 特願2007-210343 (P2007-210343)	Fターム(参考) 2H193 ZA04 ZA33 ZB02 ZD23 ZD32 ZF03 ZF16 ZF24 5C006 AA11 AC22 AF13 AF35 AF42 AF50 AF71 BB16 BC03 BC06 BC22 BF01 BF14 BF25 BF33 BF34 BF36 BF42 BF46 FA12 FA20 FA22
(32) 優先日 平成19年8月10日 (2007.8.10)	最終頁に続く
(33) 優先権主張国 日本国 (JP)	

(54) 【発明の名称】 表示装置、表示装置の制御装置、表示装置の駆動方法、液晶表示装置、テレビジョン受像機

(57) 【要約】

複数のデータ信号線および複数の走査信号線が形成された表示部を備え、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域の各走査信号線に第1走査信号が出力され、第2領域の各走査信号線に第2走査信号が出力される表示装置において、上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせる波形調整部(7y・8y)を設ける。これにより、表示部を複数の領域に分割して駆動する表示装置において、領域間の輝度差を抑制することができる。



- 11 CONSTANT VOLTAGE SOURCE
- 45 MEMORY
- 7 FIRST SCAN VOLTAGE GENERATING CIRCUIT
- 7x WAVEFORM GENERATING SECTION
- 7y WAVEFORM ADJUSTING SECTION
- 21 TIMING CONTROLLER
- 8y WAVEFORM ADJUSTING SECTION
- 8x WAVEFORM GENERATING SECTION
- 8 SECOND SCAN VOLTAGE GENERATING CIRCUIT
- 26 NON-SELECTION VOLTAGE GENERATING CIRCUIT
- AA FIRST SCAN SIGNAL
- BB SECOND SCAN SIGNAL

【特許請求の範囲】

【請求項 1】

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域の各走査信号線に第1走査信号が出力され、第2領域の各走査信号線に第2走査信号が出力される表示装置であって、

上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせるための波形調整部を備えることを特徴とする表示装置。

【請求項 2】

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置であって、

データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせるためのタイミング調整部を備えることを特徴とする表示装置。

【請求項 3】

入力される調整データに基づいて波形調整部を制御する波形調整部制御回路を備えることを特徴とする請求項1に記載の表示装置。

【請求項 4】

入力される調整データに基づいてタイミング調整部を制御するタイミング調整部制御回路を備えることを特徴とする請求項2に記載の表示装置。

【請求項 5】

上記調整データを格納するメモリを備えていることを特徴とする請求項3または4に記載の表示装置。

【請求項 6】

上記波形調整部は、第1走査信号のアクティブ期間の幅と第2走査信号のアクティブ期間の幅とを異ならせることを特徴とする請求項1に記載の表示装置。

【請求項 7】

第1および第2走査信号はそれぞれ、アクティブ期間終了に伴う戻り部分の少なくとも一部が傾斜していることを特徴とする請求項1に記載の表示装置。

【請求項 8】

上記波形調整部は、第1走査信号の上記戻り部分の傾斜度合いと第2走査信号の上記戻り部分の傾斜度合いとを異ならせることを特徴とする請求項7に記載の表示装置。

【請求項 9】

上記波形調整部は、第1走査信号の上記戻り部分の開始タイミングと第2走査信号の上記戻り部分の開始タイミングとを異ならせることを特徴とする請求項7に記載の表示装置。

【請求項 10】

上記波形調整部は、第1走査信号の立ち上がりの急峻度合いと第2走査信号の立ち上がりの急峻度合いとを異ならせることを特徴とする請求項1に記載の表示装置。

【請求項 11】

上記波形調整部は、第1走査信号の立ち下がる急峻度合いと第2走査信号の立ち下がる急峻度合いとを異ならせることを特徴とする請求項1に記載の表示装置。

【請求項 12】

上記波形調整部は、第1走査信号のアクティブ期間の電圧と第2走査信号のアクティブ期間の電圧とを異ならせることを特徴とする請求項1に記載の表示装置。

【請求項 13】

第1クロック信号を用いて第1走査信号が生成され、第2クロック信号を用いて第2走査信号が生成されており、

10

20

30

40

50

上記タイミング調整部は、データ信号の出力開始時における第1クロック信号と第2クロック信号の位相を異ならせることを特徴とする請求項2に記載の表示装置。

【請求項14】

第1領域に対応する第1走査信号線駆動回路と、第2領域に対応する第2走査信号線駆動回路とが設けられ、

第1走査信号線駆動回路は、第1走査電圧を用いて上記第1走査信号を生成し、第2走査信号線駆動回路は、第2走査電圧を用いて上記第2走査信号を生成することを特徴とする請求項1に記載の表示装置。

【請求項15】

上記第1走査電圧を生成する第1走査電圧生成回路と、第2の走査電圧を生成する第2走査電圧生成回路とを備え、

第1および第2走査電圧生成回路の少なくとも一方に、上記波形調整部が含まれていることを特徴とする請求項14記載の表示装置。

【請求項16】

上記第1走査電圧生成回路は、定電圧に周期的な変化を与えて第1走査電圧とし、上記第2走査電圧生成回路は、定電圧に周期的な変化を与えて第2走査電圧とすることを特徴とする請求項15記載の表示装置。

【請求項17】

上記第1走査電圧生成回路は、定電圧を昇圧あるいは降圧して第1走査電圧とし、上記第2走査電圧生成回路は、定電圧を昇圧あるいは降圧して第2走査電圧とすることを特徴とする請求項15記載の表示装置。

【請求項18】

各走査電圧生成回路は、第1および第2トランジスタと第1および第2抵抗とダイオードとを含み、第1トランジスタのコレクタ端子が定電圧源に接続されるとともにそのエミッタ端子が対応する走査信号線駆動回路に接続され、第2トランジスタの第1導通端子が接地され、第2トランジスタの制御端子に、上記変化のタイミングを制御する信号が入力され、上記第1抵抗の一方の端部が第1トランジスタのコレクタ端子に接続されるとともに他方の端部が第1トランジスタのベース端子に接続され、上記第2抵抗の一方の端部が第1トランジスタのベース端子に接続されるとともに他方の端部が第2トランジスタの第2導通端子に接続され、上記ダイオードのアノード端子が第1トランジスタのエミッタ端子に接続されるとともにカソード端子が第1トランジスタのベース端子に接続されていることを特徴とする請求項16記載の表示装置。

【請求項19】

少なくとも一方の走査電圧生成回路では、第2抵抗と並列して、可変抵抗として機能する波形調整部が配されていることを特徴とする請求項18記載の表示装置。

【請求項20】

少なくとも一方の走査電圧生成回路では、第1抵抗と並列して、可変抵抗として機能する波形調整部が配されていることを特徴とする請求項18記載の表示装置。

【請求項21】

各走査電圧生成回路は、第1および第2トランジスタと第1および第2抵抗とダイオードとを含み、第1トランジスタのコレクタ端子が定電圧源に接続され、第2トランジスタの第1導通端子が接地され、第2トランジスタの制御端子に、上記変化のタイミングを制御する信号が入力され、上記第1抵抗の一方の端部が第1トランジスタのコレクタ端子に接続されるとともに他方の端部が第1トランジスタのベース端子に接続され、上記第2抵抗の一方の端部が第1トランジスタのベース端子に接続されるとともに他方の端部が第2トランジスタの第2導通端子に接続され、上記ダイオードのアノード端子が第1トランジスタのエミッタ端子に接続されるとともにカソード端子が第1トランジスタのベース端子に接続され、

少なくとも一方の走査電圧生成回路では、第1トランジスタのエミッタ端子と、対応する走査信号線駆動回路との間に、可変抵抗として機能する波形調整部が配されていること

を特徴とする請求項 1 6 記載の表示装置。

【請求項 2 2】

各走査電圧生成回路は、第 3 トランジスタと第 3 抵抗とツェナーダイオードとを含み、上記第 3 トランジスタのコレクタ端子が定電圧源に接続されるとともにそのエミッタ端子が対応する走査信号線駆動回路に接続され、上記ツェナーダイオードのアノード端子が接地されるとともにカソード端子が第 3 トランジスタのベース端子に接続され、上記第 3 抵抗の一方の端部が第 3 トランジスタのコレクタ端子に接続されるとともに他方の端部が第 3 トランジスタのベース端子に接続されていることを特徴とする請求項 1 5 記載の表示装置。

【請求項 2 3】

少なくとも一方の走査電圧生成回路では、第 3 抵抗と並列して、可変抵抗として機能する波形調整部が配されていることを特徴とする請求項 2 2 記載の表示装置。

【請求項 2 4】

各走査電圧生成回路は、第 3 トランジスタと第 3 抵抗とツェナーダイオードとを含み、第 3 トランジスタのコレクタ端子が定電圧源に接続され、ツェナーダイオードのアノード端子が接地されるとともにカソード端子が第 3 トランジスタのベース端子に接続され、上記第 3 抵抗の一方の端部が第 3 トランジスタのコレクタ端子に接続されるとともに他方の端部が第 3 トランジスタのベース端子に接続され、

少なくとも一方の走査電圧生成回路では、第 3 トランジスタのエミッタ端子と、対応する走査信号線駆動回路との間に、可変抵抗として機能する波形調整部が配されていることを特徴とする請求項 1 5 記載の表示装置。

【請求項 2 5】

各走査電圧生成回路は、第 4・5 抵抗とアンプ回路とを含み、アンプ回路の正相端子が定電圧源に接続されるとともにその出力端子が対応する走査信号線駆動回路に接続され、上記第 4 抵抗の一方の端部が接地されるとともに他方の端部がアンプ回路の逆相端子に接続され、上記第 5 抵抗の一方の端部がアンプ回路の逆相端子に接続されるとともに他方の端部がアンプ回路の出力端子に接続されていることを特徴とする請求項 1 7 記載の表示装置。

【請求項 2 6】

少なくとも一方の走査電圧生成回路では、第 5 抵抗と並列して、可変抵抗として機能する波形調整部が配されていることを特徴とする請求項 2 5 記載の表示装置。

【請求項 2 7】

第 1 領域に対応する第 1 走査信号線駆動回路と、第 2 領域に対応する第 2 走査信号線駆動回路とが設けられ、

第 1 走査信号線駆動回路は、第 1 クロック信号を用いて上記第 1 走査信号を生成し、第 2 走査信号線駆動回路は、第 2 クロック信号を用いて上記第 2 走査信号を生成することを特徴とする請求項 2 に記載の表示装置。

【請求項 2 8】

上記第 1 クロック信号を生成する第 1 タイミング制御回路と、第 2 クロック信号を生成する第 2 タイミング制御回路とを備え、

第 1 および第 2 タイミング制御回路の少なくとも一方に、上記タイミング調整部が含まれていることを特徴とする請求項 2 7 記載の表示装置。

【請求項 2 9】

走査信号線に直交する方向を上下方向とすれば、

上記表示パネルは、上半分の走査信号線を含む第 1 領域と下半分の走査信号線を含む第 2 領域とに分けられていることを特徴とする請求項 1 ~ 2 8 のいずれか 1 項に記載の表示装置。

【請求項 3 0】

走査信号線に沿う方向を左右方向とすれば、

上記表示パネルは、左半分の走査信号線を含む第 1 領域と右半分の走査信号線を含む第

10

20

30

40

50

2領域とに分けられていることを特徴とする請求項1～29のいずれか1項に記載の表示装置。

【請求項31】

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置に用いられる、表示装置の制御装置であって、

上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせるための波形調整部を備えることを特徴とする表示装置の制御装置。

【請求項32】

10

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置に用いられる、表示装置の制御装置であって、

データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせるためのタイミング調整部を備えることを特徴とする表示装置の制御装置。

【請求項33】

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置を駆動するための、表示装置の駆動方法であって、

20

上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせることを特徴とする表示装置の駆動方法。

【請求項34】

複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置を駆動するための、表示装置の駆動方法であって、

30

データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせることを特徴とする表示装置の駆動方法。

【請求項35】

請求項1～30のいずれか1項に記載の表示装置を備えることを特徴とする液晶表示装置。

【請求項36】

請求項35記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、表示装置の走査信号線に供給される走査信号（ゲートオンパルス）に関する

【背景技術】

【0002】

表示装置（例えば、液晶表示装置）の高精細化に伴う各画素への書き込み時間の短縮や表示装置の大型化に伴う信号波形の鈍りに対応するため、表示部を複数の領域に分割し、各領域を別々に駆動する構成が提案されている。例えば特許文献1（図30参照）には、表示部を、複数のソースライン（HS1～HSm）および複数のゲートライン（G1～G

50

($n/2$)を含む第1の領域と、複数のソースライン(HS1' ~ HS m ')および複数のゲートライン(G($n/2+1$) ~ G n)を含む第2の領域とに分割し、第1の領域を駆動するソースドライバ102およびゲートドライバ103を設けるとともに、第2の領域を駆動するソースドライバ102'およびゲートドライバ103'を設けた表示装置が開示されている。

【特許文献1】日本国公開特許公報「特開平11-102172号(1999年4月13日公開)」

【発明の開示】

【0003】

上記のように表示部を複数の領域に分割する構成においては、領域ごとの形成条件の相違に起因してゲートラインの線幅等が異なり、同一階調表示をしても領域ごとに輝度が異なってしまう場合がある。ここで本願発明者は、このような場合に各領域を別々に駆動すると、領域間の輝度差が目立ち、各領域の境界が認識されるおそれがあることを見出した。

【0004】

本発明は上記課題に鑑みてなされたものであり、その目的は、表示部を複数の領域に分割して駆動する表示装置において、領域間の輝度差を抑制しうる構成を提案する点にある。

【0005】

本表示装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域の各走査信号線に第1走査信号が出力され、第2領域の各走査信号線に第2走査信号が出力される表示装置であって、上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせるための波形調整部を備えることを特徴とする。

【0006】

上記構成よれば、同一階調を表示しても第1および第2領域で輝度差が生じる場合に、波形調整部を用いて上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせることで、上記輝度差を低減することができる。これにより、各領域の境界が認識されにくくなる。

【0007】

本表示装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置であって、データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせるためのタイミング調整部が含まれていることを特徴とする。

【0008】

上記構成よれば、データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせることで上記輝度差を低減することができる。これにより、各領域の境界を認識されにくくすることができる。

【0009】

本表示装置は、入力される調整データに基づいて波形調整部を制御する波形調整部制御部を備える構成とすることができる。こうすれば、波形調整部を自動制御でき、便利である。また、本表示装置は、入力される調整データに基づいてタイミング調整部を制御するタイミング調整部制御回路を備える構成とすることもできる。こうすれば、タイミング調整部を自動制御でき、便利である。

【0010】

10

20

30

40

50

本表示装置は、上記調整データを格納するメモリを備える構成とすることができる。こうすれば、メモリにデータを書き込むことで調整データを設定することができ、便利である。

【0011】

本表示装置では、上記波形調整部は、第1走査信号のアクティブ期間の幅と第2走査信号のアクティブ期間の幅とを異ならせる構成とすることもできる。

【0012】

本表示装置では、第1および第2走査信号はそれぞれ、アクティブ期間終了に伴う戻り部分の少なくとも一部が傾斜している構成とすることもできる。

【0013】

本表示装置では、上記波形調整部は、第1走査信号の上記戻り部分の傾斜と第2走査信号の上記戻り部分の傾斜とを異ならせる構成とすることもできる。

10

【0014】

本表示装置では、上記波形調整部は、第1走査信号の上記戻り部分の開始タイミングと第2走査信号の上記戻り部分の開始タイミングとを異ならせる構成とすることもできる。

【0015】

本表示装置では、上記波形調整部は、第1走査信号の立ち上がりの急峻さ（立ち上がり速さ）と第2走査信号の立ち上がりの急峻さ（立ち上がり速さ）とを異ならせる構成とすることもできる。

【0016】

本表示装置では、上記波形調整部は、第1走査信号の立ち下がるの急峻さ（立ち下がり速さ）と第2走査信号の立ち下がるの急峻さ（立ち下がり速さ）とを異ならせる構成とすることもできる。

20

【0017】

本表示装置では、上記波形調整部は、第1走査信号のアクティブ期間の電圧と第2走査信号のアクティブ期間の電圧とを異ならせる構成とすることもできる。

【0018】

本表示装置では、第1クロック信号を用いて第1走査信号が生成され、第2クロック信号を用いて第2走査信号が生成される構成とすることもできる。

【0019】

本表示装置では、上記タイミング調整部は、データ信号の出力開始時における第1クロック信号と第2クロック信号の位相を異ならせる構成とすることもできる。

30

【0020】

本表示装置では、第1領域に対応する第1走査信号線駆動回路と、第2領域に対応する第2走査信号線駆動回路とが設けられ、第1走査信号線駆動回路は、第1走査電圧を用いて上記第1走査信号を生成し、第2走査信号線駆動回路は、第2走査電圧を用いて上記第2走査信号を生成する構成とすることもできる。

【0021】

本表示装置では、上記第1走査電圧を生成する第1走査電圧生成回路と、第2の走査電圧を生成する第2走査電圧生成回路とを備え、第1および第2走査電圧生成回路の少なくとも一方に、上記波形調整部が含まれている構成とすることもできる。

40

【0022】

本表示装置では、上記第1走査電圧生成回路は、定電圧に周期的な変化を与えて第1走査電圧を生成し、上記第2走査電圧生成回路は、定電圧に周期的な変化を与えて第2走査電圧を生成する構成とすることもできる。

【0023】

本表示装置では、上記第1走査電圧生成回路は、定電圧を昇圧あるいは降圧して第1走査電圧を生成し、上記第2走査電圧生成回路は、定電圧を昇圧あるいは降圧して第2走査電圧を生成する構成とすることもできる。

【0024】

50

本表示装置では、各走査電圧生成回路は、第1および第2トランジスタと第1および第2抵抗とダイオードとを含み、第1トランジスタのコレクタ端子が定電圧源に接続されるとともにそのエミッタ端子が対応する走査信号線駆動回路に接続され、第2トランジスタの第1導通端子が接地され、第2トランジスタの制御端子に、上記変化のタイミングを制御する信号が入力され、上記第1抵抗の一方の端部が第1トランジスタのコレクタ端子に接続されるとともに他方の端部が第1トランジスタのベース端子に接続され、上記第2抵抗の一方の端部が第1トランジスタのベース端子に接続されるとともに他方の端部が第2トランジスタの第2導通端子に接続され、上記ダイオードのアノード端子が第1トランジスタのエミッタ端子に接続されるとともにカソード端子が第1トランジスタのベース端子に接続されている構成とすることもできる。この場合、少なくとも一方の走査電圧生成回路では、第2抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。また、少なくとも一方の走査電圧生成回路では、第1抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

10

【0025】

本表示装置では、各走査電圧生成回路は、第1および第2トランジスタと第1および第2抵抗とダイオードとを含み、第1トランジスタのコレクタ端子が定電圧源に接続され、第2トランジスタの第1導通端子が接地され、第2トランジスタの制御端子に、上記変化のタイミングを制御する信号が入力され、上記第1抵抗の一方の端部が第1トランジスタのコレクタ端子に接続されるとともに他方の端部が第1トランジスタのベース端子に接続され、上記第2抵抗の一方の端部が第1トランジスタのベース端子に接続されるとともに他方の端部が第2トランジスタの第2導通端子に接続され、上記ダイオードのアノード端子が第1トランジスタのエミッタ端子に接続されるとともにカソード端子が第1トランジスタのベース端子に接続され、少なくとも一方の走査電圧生成回路では、第1トランジスタのエミッタ端子と、対応する走査信号線駆動回路との間に、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

20

【0026】

本表示装置では、各走査電圧生成回路は、第3トランジスタと第3抵抗とツェナーダイオードとを含み、上記第3トランジスタのコレクタ端子が定電圧源に接続されるとともにそのエミッタ端子が対応する走査信号線駆動回路に接続され、上記ツェナーダイオードのアノード端子が接地されるとともにカソード端子が第3トランジスタのベース端子に接続され、上記第3抵抗の一方の端部が第3トランジスタのコレクタ端子に接続されるとともに他方の端部が第3トランジスタのベース端子に接続されている構成とすることもできる。この場合、少なくとも一方の走査電圧生成回路では、第3抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

30

【0027】

本表示装置では、各走査電圧生成回路は、第3トランジスタと第3抵抗とツェナーダイオードとを含み、第3トランジスタのコレクタ端子が定電圧源に接続され、ツェナーダイオードのアノード端子が接地されるとともにカソード端子が第3トランジスタのベース端子に接続され、上記第3抵抗の一方の端部が第3トランジスタのコレクタ端子に接続されるとともに他方の端部が第3トランジスタのベース端子に接続され、少なくとも一方の走査電圧生成回路では、第3トランジスタのエミッタ端子と、対応する走査信号線駆動回路との間に、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

40

【0028】

本表示装置では、各走査電圧生成回路は、第4・5抵抗とアンプ回路とを含み、アンプ回路の正相端子が定電圧源に接続されるとともにその出力端子が対応する走査信号線駆動回路に接続され、第4抵抗の一方の端部が接地されるとともに他方の端部がアンプ回路の逆相端子に接続され、第5抵抗の一方の端部がアンプ回路の逆相端子に接続されるとともに他方の端部がアンプ回路の出力端子に接続されている構成とすることもできる。この場合、少なくとも一方の走査電圧生成回路では、第5抵抗と並列して、可変抵抗として機能する波形調整部が配されている構成とすることもできる。

50

【0029】

本表示装置では、第1領域に対応する第1走査信号線駆動回路と、第2領域に対応する第2走査信号線駆動回路とが設けられ、第1走査信号線駆動回路は、第1クロック信号を用いて上記第1走査信号を生成し、第2走査信号線駆動回路は、第2クロック信号を用いて上記第2走査信号を生成する構成とすることもできる。

【0030】

本表示装置では、上記第1クロック信号を生成する第1タイミング制御回路と、第2クロック信号を生成する第2タイミング制御回路とを備え、第1および第2タイミング制御回路の少なくとも一方に、上記タイミング調整部が含まれている構成とすることもできる。

10

【0031】

本表示装置では、走査信号線に直交する方向を上下方向とすれば、上記表示パネルは、上半分の走査信号線を含む第1領域と下半分の走査信号線を含む第2領域とに分けられている構成とすることもできる。

【0032】

本表示装置では、走査信号線に沿う方向を左右方向とすれば、上記表示パネルは、左半分の走査信号線を含む第1領域と右半分の走査信号線を含む第2領域とに分けられている構成とすることもできる。

【0033】

本表示装置の制御装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置に用いられる、表示装置の制御装置（例えば、表示装置内に設けられる制御装置）であって、上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせるための波形調整部を備えることを特徴とする。

20

【0034】

本表示装置の制御装置は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置に用いられる、表示装置の制御装置であって、

30

データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせるためのタイミング調整部を備えることを特徴とする。

【0035】

本表示装置の駆動方法は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置を駆動するための、表示装置の駆動方法であって、上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせることを特徴とする。

40

【0036】

本表示装置の駆動方法は、複数のデータ信号線および複数の走査信号線が形成された表示部を備えるとともに、該表示部に複数の走査信号線を含む第1領域と複数の走査信号線を含む第2領域とが設けられ、第1領域に対応して第1走査信号が生成され、第2領域に対応して第2走査信号が生成される表示装置を駆動するための、表示装置の駆動方法であって、データ信号の出力期間に対する上記第1走査信号のアクティブ期間の開始タイミングと、上記データ信号の出力期間に対する上記第2走査信号のアクティブ期間の開始タイミングとを異ならせることを特徴とする。

50

【0037】

本液晶表示装置は、上記表示装置を備えることを特徴とする。また、本テレビジョン受信機は、上記液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。

【0038】

以上のように、本表示装置によれば、同一階調を表示しても第1および第2領域で輝度差が生じる場合に、波形調整部を用いて上記第1走査信号のアクティブ期間の波形と第2走査信号のアクティブ期間の波形とを異ならせることで、上記輝度差を低減することができる。

【図面の簡単な説明】

10

【0039】

【図1】本液晶表示装置の構成を示す模式図である。

【図2】本実施の形態1の構成（図1のドライバ制御回路の構成例）を示すブロック図である。

【図3】図2に示す構成の一具体例を示す回路図である。

【図4】図3の各部の波形を示すタイミングチャートである。

【図5】波形調整部の設定例を説明する表である。

【図6】第1走査信号および第2走査信号のアクティブ期間の波形を示すグラフである。

【図7】図2に示す構成の他の具体例を示す回路図である。

【図8】図2に示す構成の他の具体例を示す回路図である。

20

【図9】本実施の形態2の構成（図1のドライバ制御回路の構成例）を示すブロック図である。

【図10】後段回路の構成を示す回路図である。

【図11】図9に示す構成の他の具体例を示す回路図である。

【図12】図11の各部の波形を示すタイミングチャートである。

【図13】第1走査信号および第2走査信号のアクティブ期間の波形を示すグラフである。

【図14】第1走査信号および第2走査信号のアクティブ期間の波形を示すグラフである。

【図15】図9に示す構成の他の具体例を示す回路図である。

30

【図16】図9に示す構成の他の具体例を示す回路図である。

【図17】本実施の形態3の構成（図1のドライバ制御回路の構成例）を示す回路図である。

【図18】本実施の形態3の他構成を示す回路図である。

【図19】本実施の形態3の他構成を示す回路図である。

【図20】本実施の形態4の構成（図1のドライバ制御回路の構成例）を示すブロック図である。

【図21】本実施の形態5の構成（図1のドライバ制御回路の構成例）を示すブロック図である。

【図22】データ信号の出力、第1GCK、第1走査信号、第2GCK、および第2走査信号の各波形を示すタイミングチャートである。

40

【図23】データ信号の出力、第1GCK、第1走査信号、第2GCK、および第2走査信号の各波形を示すタイミングチャートである。

【図24】本実施の形態4の他構成（図1のドライバ制御回路の構成例）を示すブロック図である。

【図25】第1走査信号および第2走査信号のアクティブ期間の波形を示すグラフである。

【図26】本実施の形態2の他構成（図1のドライバ制御回路の構成例）を示す回路図である。

【図27】本実施の形態4における、第1GOE、第1GCK、第1走査信号、第2GOE

50

E、第2 G C K、第2 走査信号の各波形を示すタイミングチャートである。

【図28】本液晶表示装置の他の構成を示す模式図である。

【図29】本テレビジョン受像機の構成を示すブロック図である。

【図30】従来の液晶表示装置の構成を示す回路図である。

【符号の説明】

【0040】

1 液晶表示装置

2 表示部

3 ドライバ制御回路

5 第1タイミングコントローラ

10

5 a 波形調整部

5 b タイミング調整部

6 第2タイミングコントローラ

6 a 波形調整部

6 b タイミング調整部

7 第1走査電圧生成回路

7 x 波形生成部

7 y 波形調整部

8 第2走査電圧生成回路

8 x 波形生成部

20

8 y 波形調整部

11 定電圧源

35 L S I

45 メモリ

F A (表示部の) 第1の領域

S A (表示部の) 第2の領域

G D F 第1ゲートドライバ

G D S 第2ゲートドライバ

【発明を実施するための最良の形態】

【0041】

30

本発明の実施の一形態を図1～図29に基づいて説明すれば以下のとおりである。

【0042】

図1は本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置1は、表示部2と、第1ゲートドライバG D F (第1走査信号線駆動回路)と、第2ゲートドライバG D S (第2走査信号線駆動回路)と、第1ソースドライバS D Fと、第2ソースドライバS D Sと、ドライバ制御回路3とを備える。表示部2は、データ信号線S F 1～S F nおよび走査信号線G F 1～G F kを含む第1の領域F Aと、データ信号線S S 1～S S nおよび走査信号線G S k + 1～G S mを含む第2の領域S Aとに分割されており、各領域(F A・S A)が別々に駆動される。すなわち、第1の領域F Aに含まれるデータ信号線S F 1～S F nは第1ソースドライバS D Fに駆動され、第1の領域F Aに含まれる走査信号線G F 1～G F kは第1ゲートドライバG D Fに駆動され、第2の領域S Aに含まれるデータ信号線S S 1～S S nは第2ソースドライバS D Sに駆動され、第2の領域S Aに含まれる走査信号線G S k + 1～G S mは第2ゲートドライバG D Sに駆動される。なお、ドライバ制御回路3は、第1ゲートドライバG D F、第2ゲートドライバG D S、第1ソースドライバS D F、および第2ソースドライバS D Sを制御する。

40

【0043】

〔実施の形態1〕

図2は、図1のドライバ制御回路3の一部と第1および第2ゲートドライバG D F・G D Sとを示すブロック図である。同図に示されるように、ドライバ制御回路3は、定電圧

50

源 1 1 と、非選択電圧生成回路 2 5 と、メモリ 4 5 と、L S I 3 5 (波形調整部制御回路) と、タイミングコントローラ 2 1 と、第 1 走査電圧生成回路 7 と、第 2 走査電圧生成回路 8 とを備える。なお、第 1 走査電圧生成回路 7 は、波形生成部 7 x と波形調整部 7 y とを含み、第 2 走査電圧生成回路 8 は、波形生成部 8 x と波形調整部 8 y とを含む。

【0044】

第 1 走査電圧生成回路 7 は、定電圧源 1 1 から供給された定電圧を第 1 の領域 F A に対応するように変化させて第 1 走査電圧とし、これを第 1 ゲートドライバ G D F に出力する。また、第 2 走査電圧生成回路 8 は、定電圧源 1 1 から供給された定電圧を第 2 の領域 S A に対応するように変化させて第 2 走査電圧とし、これを第 2 ゲートドライバ G D S に出力する。タイミングコントローラ 2 1 は、G C K (ゲートクロックパルス) を第 1 および第 2 ゲートドライバ G D F ・ G D S それぞれに出力するとともに、第 1 および第 2 走査電圧を生成するためのパルス信号を波形生成部 7 x ・ 8 x に出力する。L S I 3 5 は、メモリ 4 5 から読み出したデータに基づいて波形調整部 7 y ・ 8 y を制御する。なお、第 1 および第 2 走査電圧を生成するための上記パルス信号は、タイミングコントローラ 2 1 から L S I 3 5 を介して波形生成部 7 x ・ 8 x に出力されても構わない。

【0045】

第 1 ゲートドライバ G D F は、第 1 走査電圧生成回路 7 から供給された第 1 走査電圧と、非選択電圧生成回路 2 5 から供給された非選択電圧と、タイミングコントローラ 2 1 から供給された G C K とを用いて第 1 走査信号を生成し、これを第 1 の領域 F A の各走査信号線 (G F 1 ~ G F k) に出力する。また、第 2 ゲートドライバ G D S は、第 2 走査電圧生成回路 8 から供給された第 2 走査電圧と、非選択電圧生成回路 2 5 から供給された非選択電圧と、タイミングコントローラ 2 1 から供給された G C K とを用いて第 2 走査信号を生成し、これを第 2 の領域 S A の各走査信号線 (G S k + 1 ~ G S m) に出力する。

【0046】

図 3 は図 2 の一具体例を示す回路図である。同図に示されるように、波形生成部 7 x は、NPN 型のバイポーラトランジスタであるトランジスタ T r 1 (第 1 トランジスタ) と、抵抗 R 1 ・ R 2 (第 1 ・ 2 抵抗) と、ダイオード d と、N チャネルの F E T であるトランジスタ T r 2 (第 2 トランジスタ) とを備える。ここで、トランジスタ T r 1 は、そのコレクタ端子が定電圧源 1 1 に接続され、そのエミッタ端子が第 1 ゲートドライバ G D F に接続され、トランジスタ T r 2 は、そのソース端子が接地され、そのゲート端子は L S I 3 5 に接続され、抵抗 R 1 は、その一方の端部がトランジスタ T r 1 のコレクタ端子に接続され、他方の端部がトランジスタ T r 1 のベース端子に接続され、ダイオード d は、そのアノード端子がトランジスタ T r 1 のエミッタ端子に接続され、カソード端子がトランジスタ T r 1 のベース端子に接続されている。また、トランジスタ T r 1 のベース端子がノード X に接続し、トランジスタ T r 2 のドレイン端子がノード Y に接続され、ノード X は抵抗 R 2 を介してノード Y に接続されている。また、波形調整部 7 y は 3 つの抵抗 r 1 ~ r 3 と、3 つのトランジスタ S 1 ~ S 3 とを備える。ここで、抵抗 r 1 はその一方の端部がノード X に接続され、他方がトランジスタ S 1 を介してノード Y に接続され、抵抗 r 2 はその一方の端部がノード X に接続され、他方がトランジスタ S 2 を介してノード Y に接続され、抵抗 r 3 はその一方の端部がノード X に接続され、他方がトランジスタ S 3 を介してノード Y に接続され、トランジスタ S 1 ~ S 3 それぞれのゲート端子が L S I 3 5 に接続されている。すなわち、第 1 走査電圧生成回路 7 では、波形生成部 7 x のトランジスタ T r 1 のベース端子とトランジスタ T r 2 のドレイン端子との間に接続された抵抗 R 2 に並列して波形調整部 7 y が挿入された構成となっている。

【0047】

同様に、波形生成部 8 x は、NPN 型のバイポーラトランジスタであるトランジスタ T r 1 と、抵抗 R 1 ・ R 2 と、ダイオード d と、N チャネルの F E T であるトランジスタ T r 2 とを備える。ここで、トランジスタ T r 1 は、そのコレクタ端子が定電圧源 1 1 に接続され、そのエミッタ端子が第 2 ゲートドライバ G D S に接続され、トランジスタ T r 2 は、そのソース端子が接地され、そのゲート端子は L S I 3 5 に接続され、抵抗 R 1 は、

その一方の端部がトランジスタ T_{r1} のコレクタ端子に接続され、他方の端部がトランジスタ T_{r1} のベース端子に接続され、ダイオード d は、そのアノード端子がトランジスタ T_{r1} のエミッタ端子に接続され、カソード端子がトランジスタ T_{r1} のベース端子に接続されている。また、トランジスタ T_{r1} のベース端子がノード X に接続し、トランジスタ T_{r2} のドレイン端子がノード Y に接続され、ノード X は抵抗 R_2 を介してノード Y に接続されている。また、波形調整部 $8y$ は3つの抵抗 $r_1 \sim r_3$ と、3つのトランジスタ $S_1 \sim S_3$ とを備える。ここで、抵抗 r_1 はその一方の端部がノード X に接続され、他方がトランジスタ S_1 を介してノード Y に接続され、抵抗 r_2 はその一方の端部がノード X に接続され、他方がトランジスタ S_2 を介してノード Y に接続され、抵抗 r_3 はその一方の端部がノード X に接続され、他方がトランジスタ S_3 を介してノード Y に接続され、トランジスタ $S_1 \sim S_3$ それぞれのゲート端子が $L S I 35$ に接続されている。すなわち、第2走査電圧生成回路 8 では、波形生成部 $8x$ のトランジスタ T_{r1} のベース端子とトランジスタ T_{r2} のドレイン端子との間に接続された抵抗 R_2 に並列して波形調整部 $8y$ が挿入された構成となっている。

10

【0048】

ここで、定電圧源 11 の出力を A 、第1ゲートドライバ GDF への入力を B 、トランジスタ T_{r2} のゲート端子への入力（パルス信号）を C 、非選択電圧生成回路 25 の出力を D 、タイミングコントローラ 21 から第1ゲートドライバ GDF への入力（ GCK ）を E 、第1ゲートドライバ GDF で生成される電圧パルスを F として、 $A \sim F$ の各波形を図4に示す。

20

【0049】

トランジスタ T_{r1} のコレクタ端子には定電圧源 11 からの出力 A が供給されており、トランジスタ T_{r2} が OFF （トランジスタ T_{r2} のゲート端子への入力 C が「 L 」）となって所定時間が経過すると、トランジスタ T_{r1} のベース電流およびコレクタ電流が一定となり、 GDF への入力 B は定電圧 VGH となる。この状態でトランジスタ T_{r2} が ON する（トランジスタ T_{r2} のゲート端子への入力 C が「 H 」になる）と、ダイオード d に電流が流れてトランジスタ T_{r1} は OFF するため、 GDF への入力 B は VGH から下がっていく。そして、この状態でトランジスタ T_{r2} が OFF する（トランジスタ T_{r2} のゲート端子への入力 C が「 L 」になる）と、トランジスタ T_{r1} のコレクタ電流が流れ出し、 GDF への入力 B は VGH に向けて上がっていく。そして、所定時間が経過すると、トランジスタ T_{r1} のベース電流およびコレクタ電流が一定となって、 GDF への入力 B は VGH となる。このように、定電圧源 11 から供給された定電圧は、第1走査電圧生成回路 7 によってノコギリ刃状の波形とされ、第1ゲートドライバ GDF に入力される。また、第1ゲートドライバ GDF には、非選択電圧生成回路 25 から、 D で示す GND 電圧未満の定電圧が入力される。すなわち、第1ゲートドライバ GDF は、タイミングコントローラ 21 からの入力 E （ GCK ）が「 H 」の期間は、非選択電圧生成回路 25 から入力された電圧（非選択電圧）を選択し、上記 GCK が「 L 」の期間は、第1走査電圧生成回路 7 から入力された電圧（第1走査電圧）を選択することで、 F に示すような、立ち下がり部分（戻り部分）が傾斜した電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第1走査信号（ゲートオンパルス信号）を各走査信号線（ $GF1 \sim GFk$ ）に出力する。

30

40

【0050】

また、波形調整部 $7y$ は第1走査電圧生成回路 7 におけるノード $X \cdot Y$ 間の抵抗値を設定するものである。具体的には、 $L S I 35$ からの信号によって、トランジスタ $S_1 \sim S_3$ それぞれが ON あるいは OFF される。この組み合わせパターンとしては、図5に示すように、パターン1が、 $S_1 \rightarrow ON$ 、 $S_2 \rightarrow ON$ 、 $S_3 \rightarrow ON$ 、パターン2が、 $S_1 \rightarrow ON$ 、 $S_2 \rightarrow ON$ 、 $S_3 \rightarrow OFF$ 、パターン3が、 $S_1 \rightarrow ON$ 、 $S_2 \rightarrow OFF$ 、 $S_3 \rightarrow ON$ 、パターン4が、 $S_1 \rightarrow OFF$ 、 $S_2 \rightarrow ON$ 、 $S_3 \rightarrow ON$ 、パターン5が、 $S_1 \rightarrow ON$ 、 $S_2 \rightarrow OFF$ 、 $S_3 \rightarrow OFF$ 、パターン6が、 $S_1 \rightarrow OFF$ 、 $S_2 \rightarrow ON$ 、 $S_3 \rightarrow OFF$ 、パターン7が、 $S_1 \rightarrow OFF$ 、 $S_2 \rightarrow OFF$ 、 $S_3 \rightarrow ON$ 、パターン8が、 $S_1 \rightarrow OFF$

50

F、 $S_2 \rightarrow OFF$ 、 $S_3 \rightarrow OFF$ となっている。例えば、パターン4であれば、抵抗 r_1 および抵抗 r_2 並びに抵抗 R_2 の合成抵抗の値が、第1走査電圧生成回路7のノードX・Y間の抵抗値となる。

【0051】

ここで、ノードX・Y間の抵抗値を大きくすると、電圧パルスの立ち下がり部分の傾斜が小さくなり、ノードX・Y間の抵抗値を小さくすると、パルス信号の立ち下がり部分の傾斜が大きくなる(図6参照)。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が低輝度となる場合には、図6に示すように、第2ゲートドライバGDSから出力される第2走査信号G2の立ち下がり部分の傾斜を、第1ゲートドライバGDFから出力される第1走査信号G1の立ち下がり部分の傾斜よりも小さくすればよいので、第2走査電圧生成回路8におけるノードX・Y間の抵抗値が第1走査電圧生成回路7におけるノードX・Y間の抵抗値よりも大きくなるように、波形調整部7yおよび波形調整部8yのパターン設定($S_1 \sim S_3$ のON/OFF設定)が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することで上記パターン設定が行われる。なお、この調整データはパネルごとに設定しておくことが望ましい。

10

【0052】

図7は図2の他の具体例を示す回路図である。同図に示されるように、波形生成部7xは、NPN型のバイポーラトランジスタであるトランジスタTr1と、抵抗 $R_1 \cdot R_2$ と、ダイオードdと、NチャンネルのFETであるトランジスタTr2とを備える。ここで、トランジスタTr1は、そのコレクタ端子が定電圧源11に接続され、そのエミッタ端子が第1ゲートドライバGDFに接続され、トランジスタTr2は、そのソース端子が接地され、そのゲート端子はLSI35に接続され、抵抗 R_1 は、その一方の端部がトランジスタTr1のコレクタ端子に接続され、他方の端部がトランジスタTr1のベース端子に接続され、ダイオードdは、そのアノード端子がトランジスタTr1のエミッタ端子に接続され、カソード端子がトランジスタTr1のベース端子に接続されている。また、トランジスタTr1のコレクタ端子がノードXに接続し、トランジスタTr2のドレイン端子が抵抗 R_2 を介してノードYに接続されている。また、波形調整部7yは3つの抵抗 $r_1 \sim r_3$ と、3つのトランジスタ $S_1 \sim S_3$ とを備える。ここで、抵抗 r_1 はその一方の端部がノードXに接続され、他方がトランジスタ S_1 を介してノードYに接続され、抵抗 r_2 はその一方の端部がノードXに接続され、他方がトランジスタ S_2 を介してノードYに接続され、抵抗 r_3 はその一方の端部がノードXに接続され、他方がトランジスタ S_3 を介してノードYに接続され、トランジスタ $S_1 \sim S_3$ それぞれのゲート端子がLSI35に接続されている。すなわち、第1走査電圧生成回路7では、抵抗 R_1 に並列して波形調整部7yが挿入された構成となっている。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのトランジスタTr1のエミッタ端子が第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

20

30

【0053】

図7の構成でも、ノードX・Y間の抵抗値を変えることで、電圧パルスの立ち下がり部分の傾斜が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が低輝度となる場合には、第2ゲートドライバGDSから出力される第2走査信号の立ち下がり部分の傾斜が、第1ゲートドライバGDFから出力される第1走査信号の立ち下がり部分の傾斜よりも小さくなるように、波形調整部7yおよび波形調整部8yのパターン設定($S_1 \sim S_3$ のON/OFF設定)が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することで上記パターン設定が行われる。

40

【0054】

図8は図2のさらに他の具体例を示す回路図である。同図に示されるように、波形生成

50

部7 xは、NPN型のバイポーラトランジスタであるトランジスタ T_{r1} と、抵抗 $R1$ ・ $R2$ と、ダイオード d と、NチャネルのFETであるトランジスタ T_{r2} とを備える。ここで、トランジスタ T_{r1} は、そのコレクタ端子が定電圧源11に接続され、そのエミッタ端子がノードXに接続され、トランジスタ T_{r2} は、そのソース端子が接地され、そのゲート端子がLSI35に接続され、そのドレイン端子が抵抗 $R2$ を介してトランジスタ T_{r1} のベース端子に接続されている。抵抗 $R1$ は、その一方の端部がトランジスタ T_{r1} のコレクタ端子に接続され、他方の端部がトランジスタ T_{r1} のベース端子に接続され、ダイオード d は、そのアノード端子がトランジスタ T_{r1} のエミッタ端子に接続され、カソード端子がトランジスタ T_{r1} のベース端子に接続されている。また、ノードYが第1ゲートドライバGDFに接続されている。また、波形調整部7 yは3つの抵抗 $r1 \sim r3$ と、3つのトランジスタ $S1 \sim S3$ とを備える。ここで、抵抗 $r1$ はその一方の端部がノードXに接続され、他方がトランジスタ $S1$ を介してノードYに接続され、抵抗 $r2$ はその一方の端部がノードXに接続され、他方がトランジスタ $S2$ を介してノードYに接続され、抵抗 $r3$ はその一方の端部がノードXに接続され、他方がトランジスタ $S3$ を介してノードYに接続され、トランジスタ $S1 \sim S3$ それぞれのゲート端子がLSI35に接続されている。すなわち、第1走査電圧生成回路7では、トランジスタ T_{r1} のエミッタ端子に接続するノードXと第1ゲートドライバGDFに接続するノードYと間に波形調整部7 yが挿入された構成となっている。また、第2走査電圧生成回路8における波形生成部8 xおよび波形調整部8 yはそれぞれ、波形生成部8 xのトランジスタ T_{r1} のエミッタ端子が第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7 xおよび波形調整部7 yと同一の構成である。

【0055】

図8の構成でも、ノードX・Y間の抵抗値を変えることで、電圧パルスの立ち下がり部分の傾斜が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が低輝度となる場合には、第2ゲートドライバGDSから出力される第2走査信号の立ち下がり部分の傾斜が、第1ゲートドライバGDFから出力される第1走査信号の立ち下がり部分の傾斜よりも小さくなるように、波形調整部7 yおよび波形調整部8 yのパターン設定($S1 \sim S3$ のON/OFF設定)が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7 yおよび波形調整部8 yに出力することでパターン設定が行われる。

【0056】

本実施の形態では、第1走査電圧生成回路7および第2走査電圧生成回路8それぞれに波形調整部を設けているがこれに限定されない。いずれかにのみ波形調整部を設ける構成も可能である。

【0057】

〔実施の形態2〕

図9は、図1のドライバ制御回路3の一部と第1および第2ゲートドライバGDF・GDSとを示すブロック図である。同図に示されるように、ドライバ制御回路3は、定電圧源11と、非選択電圧生成回路25と、メモリ45と、LSI35と、タイミングコントローラ21と、第1走査電圧生成回路7と、第2走査電圧生成回路8とを備える。なお、第1走査電圧生成回路7は、波形生成部7 xと波形調整部7 yとを含み、第2走査電圧生成回路8は、波形生成部8 xと波形調整部8 yとを含む。

【0058】

第1走査電圧生成回路7は、定電圧源11から供給された定電圧を第1の領域FAに対応するように変化させて第1走査電圧とし、これを第1ゲートドライバGDFに出力する。また、第2走査電圧生成回路8は、定電圧源11から供給された定電圧を第2の領域SAに対応するように変化させて第2走査電圧とし、これを第2ゲートドライバGDSに出力する。タイミングコントローラ21は、GCK(ゲートクロックパルス)を第1および第2ゲートドライバGDF・GDSそれぞれに出力する。LSI35は、メモリ45から読み出したデータに基づいて、波形調整部7 yおよび波形調整部8 yを制御する。

【0059】

そして、第1ゲートドライバGDFは、第1走査電圧生成回路7から供給された第1走査電圧と、非選択電圧生成回路25から供給された非選択電圧と、タイミングコントローラ21から供給されたGCKとを用いて第1走査信号を生成し、これを第1の領域FAの各走査信号線(GF1~GFk)に出力する。また、第2ゲートドライバGDSは、第2走査電圧生成回路8から供給された第2走査電圧と、非選択電圧生成回路25から供給された非選択電圧と、タイミングコントローラ21から供給されたGCKとを用いて第2走査信号を生成し、これを第2の領域SAの各走査信号線(GSk+1~GSm)に出力する。

【0060】

10

図11は図9の具体例を示す回路図である。同図に示されるように、波形生成部7xは、NPN型のバイポーラトランジスタであるトランジスタTr3(第3トランジスタ)と、抵抗R3(第3抵抗)と、ツェナーダイオードTdとを備える。ここで、トランジスタTr3は、そのコレクタ端子が定電圧源11に接続され、そのエミッタ端子が第1ゲートドライバGDFに接続され、ツェナーダイオードTdは、そのアノード端子が接地され、カソード端子がトランジスタTr3のベース端子に接続され、抵抗R3は、その一方の端部がノードXに接続され、他方の端部がノードYに接続されている。ノードXはトランジスタTr3のコレクタ端子に接続され、ノードYはトランジスタTr3のベース端子に接続されている。また、波形調整部7yは3つの抵抗r1~r3と、3つのトランジスタS1~S3とを備える。ここで、抵抗r1はその一方の端部がノードXに接続され、他方がトランジスタS1を介してノードYに接続され、抵抗r2はその一方の端部がノードXに接続され、他方がトランジスタS2を介してノードYに接続され、抵抗r3はその一方の端部がノードXに接続され、他方がトランジスタS3を介してノードYに接続され、トランジスタS1~S3それぞれのゲート端子がLSI35に接続されている。すなわち、第1走査電圧生成回路7では、トランジスタTr3のコレクタ・ベース端子間に接続された抵抗R3と並列に、波形調整部7yが挿入された構成となっている。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのトランジスタTr1のエミッタ端子が第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

20

30

【0061】

ここで、定電圧源11の出力をA、第1ゲートドライバGDFへの入力をB、非選択電圧生成回路25の出力をD、タイミングコントローラ21から第1ゲートドライバGDFへの入力(GCK)をE、第1ゲートドライバGDFで生成される電圧パルスをFとして、A・B・D~Fの各波形を図12に示す。

【0062】

トランジスタTr1のコレクタ端子には定電圧源11からの出力Aが供給されており、この出力Aは波形生成部7xによって降圧され、第1ゲートドライバGDFへの入力Bとなる。また、第1ゲートドライバGDFには、非選択電圧生成回路25から、Dで示すGND電圧未満の定電圧が入力される。すなわち、第1ゲートドライバGDFは、タイミングコントローラ21からの入力E(GCK)が「H」の期間は、非選択電圧生成回路25から入力された電圧(非選択電圧)を選択し、上記GCKが「L」の期間は、第1走査電圧生成回路7から入力された電圧(第1走査電圧)を選択することで、Fに示すような矩形の電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第1走査信号(ゲートオンパルス)を各走査信号線(GF1~GFk)に出力する。

40

【0063】

また、波形調整部7yは第1走査電圧生成回路7におけるノードX・Y間の抵抗値を設定するものである。具体的には、LSI35からの信号によって、トランジスタS1~S3それぞれがONあるいはOFFされる。この組み合わせパターンは、図5に示すとおりである。

【0064】

50

ここで、ノードX・Y間の抵抗値を変えると、トランジスタ T_r3 のベース電流が変化して、電圧パルスの立ち上がりおよび立ち下がりの急峻度合い（鈍り度合い）が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、図13に示すように、第2ゲートドライバGDSから出力される第2走査信号G2の立ち上がりおよび立ち下がりが、第1ゲートドライバGDFから出力される第1走査信号G1の立ち上がりおよび立ち下がりよりも鈍るように、波形調整部7yおよび波形調整部8yのパターン設定（S1～S3のON/OFF設定）が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

10

【0065】

図15は図9の他の具体例を示す回路図である。同図に示されるように、波形生成部7xは、NPN型のバイポーラトランジスタであるトランジスタ T_r3 と、抵抗 $r3$ と、ツェナーダイオードTdとを備える。ここで、トランジスタ T_r3 は、そのコレクタ端子が定電圧源11に接続され、そのエミッタ端子がノードXに接続され、ツェナーダイオードTdは、そのアノード端子が接地され、カソード端子がトランジスタ T_r3 のベース端子に接続され、抵抗R3は、その一方の端部がトランジスタ T_r3 のコレクタ端子に接続され、他方の端部がトランジスタ T_r3 のベース端子に接続されている。また、ノードXはトランジスタ T_r3 のエミッタ端子に接続され、ノードYは第1ゲートドライバGDFに接続されている。また、波形調整部7yは3つの抵抗 $r1\sim r3$ と、3つのトランジスタS1～S3とを備える。ここで、抵抗 $r1$ はその一方の端部がノードXに接続され、他方がトランジスタS1を介してノードYに接続され、抵抗 $r2$ はその一方の端部がノードXに接続され、他方がトランジスタS2を介してノードYに接続され、抵抗 $r3$ はその一方の端部がノードXに接続され、他方がトランジスタS3を介してノードYに接続され、トランジスタS1～S3それぞれのゲート端子がLSI35に接続されている。すなわち、第1走査電圧生成回路7では、トランジスタ T_r3 のエミッタ端子と第1ゲートドライバGDF間に波形調整部7yが挿入された構成となっている。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのトランジスタ T_r1 のエミッタ端子が第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

20

30

【0066】

図15の構成でも、ノードX・Y間の抵抗値（ダンピング抵抗の値）を変えると、電圧パルスの立ち上がりおよび立ち下がりの鈍り度合いが変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、第2ゲートドライバGDSから出力される第2走査信号の立ち上がりおよび立ち下がりが、第1ゲートドライバGDFから出力される第1走査信号の立ち上がりおよび立ち下がりよりも鈍るように、波形調整部7yおよび波形調整部8yのパターン設定（S1～S3のON/OFF設定）が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

40

【0067】

図16は図9のさらに他の具体例を示す回路図である。同図に示されるように、波形生成部7xは、アンプ（回路）AMPと、抵抗 $R4\cdot R5$ （第4・5抵抗）とを備える。ここで、アンプAMPは、その出力端子が第1ゲートドライバGDFに接続され、そのプラス（正相）端子が定電圧源11に接続され、そのマイナス（逆相）端子がノードXに接続されている。また、抵抗 $R4$ は、その一方の端部が接地され、他方の端部がノードXに接続され、抵抗 $R5$ は、その一方の端部がアンプAMPの出力端子に接続され、他方の端部がノードXに接続されている。また、波形調整部7yは3つの抵抗 $r1\sim r3$ と、3つのトランジスタS1～S3とを備える。ここで、抵抗 $r1$ はその一方の端部がノードXに接続され、他方がトランジスタS1を介してノードYに接続され、抵抗 $r2$ はその一方の端

50

部がノードXに接続され、他方がトランジスタS2を介してノードYに接続され、抵抗r3はその一方の端部がノードXに接続され、他方がトランジスタS3を介してノードYに接続され、トランジスタS1～S3それぞれのゲート端子がLSI35に接続されている。すなわち、第1走査電圧生成回路7では、アンプAMPのマイナス端子と出力端子との間に波形調整部7yが挿入された構成となっている。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのアンプAMPの出力端子が第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

【0068】

また、波形調整部7yは第1走査電圧生成回路7におけるノードX・Y間の抵抗値を設定するものである。具体的には、LSI35からの信号によって、トランジスタS1～S3それぞれがONあるいはOFFされる。この組み合わせパターンは、図5に示すとおりである。

【0069】

ここで、ノードX・Y間の抵抗値を変えると、電圧パルスの高さ（電圧値）が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、図14に示すように、第2ゲートドライバGDSから出力される第2走査信号G2のアクティブ期間の電圧値が、第1ゲートドライバGDFから出力される第1走査信号G1のアクティブ期間の電圧値よりも小さくなるように、波形調整部7yおよび波形調整部8yのパターン設定（S1～S3のON/OFF設定）が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

【0070】

本実施の形態では、波形調整部7y・8yおよび波形生成部7x・8xを図26のように構成してもよい。ここでは、波形生成部7xはスイッチングレギュレータであり、比較回路22と、発振回路21と、トランジスタTr7と、コイルLと、ダイオードdと、容量Cと、抵抗R20とを備える。なお、コイルLは、一方の端部が定電圧源11に接続され、他方の端部はトランジスタTr7のドレイン端子に接続され、ダイオードdは、そのアノード端子がトランジスタTr7のドレイン端子に接続され、カソード端子が容量Cの一方電極に接続され、容量Cの他方電極は接地されている。また、比較回路22の出力端子は発振回路21に接続され、発振回路21はトランジスタTr7のゲート端子に接続され、第1ゲートドライバGDFはダイオードdのカソード端子に接続されている。抵抗R20は、一方の端部が接地され、他方の端部がノードYに接続されている。このノードYは比較回路22（入力端子）に接続され、比較回路には基準電圧が入力されている。そして、第1ゲートドライバGDFに接続するノードXとノードYとの間に波形調整部7yが接続される。波形調整部7yは図16の波形調整部7yと同一構成である。また、第2走査電圧生成回路8における波形生成部8xおよび波形調整部8yはそれぞれ、波形生成部8xのノードXが第2ゲートドライバGDSに接続される点を除いて、上記した波形生成部7xおよび波形調整部7yと同一の構成である。

【0071】

上記構成でも、ノードX・Y間の抵抗値を変えると、電圧パルスの高さ（電圧値）が変わる。したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、図14に示すように、第2ゲートドライバGDSから出力される第2走査信号G2のアクティブ期間の電圧値が、第1ゲートドライバGDFから出力される第1走査信号G1のアクティブ期間の電圧値よりも小さくなるように、波形調整部7yおよび波形調整部8yのパターン設定（S1～S3のON/OFF設定）が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号を波形調整部7yおよび波形調整部8yに出力することでパターン設定が行われる。

【0072】

本実施の形態では、第1走査電圧生成回路7および第2走査電圧生成回路8それぞれに波形調整部を設けているがこれに限定されない。いずれかにのみ波形調整部を設ける構成も可能である。

【0073】

〔実施の形態3〕

本実施の形態では、図11の波形生成部7xに図10に示す後段回路10を挿入するとともに図11の波形生成部8xに図10に示す後段回路10を挿入して、図17のように構成する。すなわち、第1ゲートドライバGDFとトランジスタTr3のエミッタ端子との間に後段回路10を接続し、第2ゲートドライバGDSとトランジスタTr3のエミッタ端子との間に後段回路10を接続する。なお、後段回路10は、NPN型のバイポーラトランジスタであるトランジスタTr11と、抵抗R11・R12と、ダイオードdと、NチャネルのFETであるトランジスタTr12とを備え、トランジスタTr12のソース端子が接地され、抵抗R11は、その一方の端部がトランジスタTr11のコレクタ端子に接続され、他方の端部がトランジスタTr11のベース端子に接続され、ダイオードdは、そのアノード端子がトランジスタTr11のエミッタ端子に接続され、カソード端子がトランジスタTr11のベース端子に接続されている。また、トランジスタTr11のベース端子が、抵抗R12を介して、トランジスタTr12のドレイン端子に接続されている。そして、図17では、図10のトランジスタTr11のエミッタ端子が第1ゲートドライバGDF（第2ゲートドライバGDS）に接続され、該トランジスタTr11のコレクタ端子がトランジスタTr3のエミッタ端子に接続され、図10のトランジスタTr12のゲート端子がタイミングコントローラ21に接続されている。図17の構成でも、波形調整部7y・8yの抵抗値を異ならせることで、第1走査信号G1のアクティブ期間の波形と第2走査信号G2のアクティブ期間の波形とを異ならせることができる。

【0074】

また、本実施の形態では、図15の波形生成部7xに図10に示す後段回路10を挿入するとともに図15の波形生成部8xに図10に示す後段回路10を挿入して、図18のように構成してもよい。すなわち、第1ゲートドライバGDFとノードYとの間に後段回路10を接続し、第2ゲートドライバGDSとノードYとの間に後段回路10を接続する。図18では、図10のトランジスタTr11のエミッタ端子が第1ゲートドライバGDF（第2ゲートドライバGDS）に接続され、該トランジスタTr11のコレクタ端子がノードYに接続され、図10のトランジスタTr12のゲート端子がタイミングコントローラ21に接続されている。図18の構成でも、波形調整部7y・8yの抵抗値を異ならせることで、第1走査信号G1のアクティブ期間の波形と第2走査信号G2のアクティブ期間の波形とを異ならせることができる。

【0075】

また、本実施の形態では、図16の波形生成部7xに図10に示す後段回路10を挿入するとともに図16の波形生成部8xに図10に示す後段回路10を挿入して、図19のように構成してもよい。すなわち、第1ゲートドライバGDFとアンプAMPの出力端子との間に後段回路10を接続し、第2ゲートドライバGDSとアンプAMPの出力端子との間に後段回路10を接続する。図19では、図10のトランジスタTr11のエミッタ端子が第1ゲートドライバGDF（第2ゲートドライバGDS）に接続され、該トランジスタTr11のコレクタ端子がアンプAMPの出力端子に接続され、図10のトランジスタTr12のゲート端子がタイミングコントローラ21に接続されている。図19の構成でも、波形調整部7y・8yの抵抗値を異ならせることで、第1走査信号G1のアクティブ期間の波形と第2走査信号G2のアクティブ期間の波形とを異ならせることができる。なお、後段回路10のトランジスタTr12のゲート端子に入力されるパルス信号は、タイミングコントローラ21からLSI35を介して後段回路10に入力されても構わない。

【0076】

〔実施の形態 4〕

図 20 は、図 1 のドライバ制御回路 3 の一部と第 1 および第 2 ゲートドライバ GDF・GDS とを示すブロック図である。同図に示されるように、ドライバ制御回路 3 は、定電圧源 11 と、非選択電圧生成回路 25 と、メモリ 45 と、LSI 35 と、走査電圧生成回路 9 と、第 1 タイミングコントローラ 5 と、第 2 タイミングコントローラ 6 とを備える。第 1 タイミングコントローラ 5 は波形調整部 5a を含み、第 2 タイミングコントローラ 6 は、波形調整部 6a を含む。

【0077】

走査電圧生成回路 9 は、定電圧源 11 から供給された定電圧を用いて走査電圧を生成し、これを第 1 ゲートドライバ GDF および第 2 ゲートドライバ GDS に出力する。第 1 タイミングコントローラ 5 は、第 1 の領域 FA に対応する第 1 GCK (ゲートクロック) を生成し、これを第 1 ゲートドライバ GDF に出力する。第 2 タイミングコントローラ 6 は、第 2 の領域 SA に対応する第 2 GCK (ゲートクロック) を生成し、これを第 2 ゲートドライバ GDS に出力する。LSI 35 は、メモリ 45 から読み出したデータに基づいて波形調整部 5a および波形調整部 6a を制御する。

10

【0078】

第 1 ゲートドライバ GDF は、走査電圧生成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 1 タイミングコントローラ 5 から供給された第 1 GCK とを用いて第 1 走査信号 G1 を生成し、これを第 1 の領域 FA の各走査信号線 (GF1 ~ GFk) に出力する。また、第 2 ゲートドライバ GDS は、走査電圧生成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 2 タイミングコントローラ 6 から供給された第 2 GCK とを用いて第 2 走査信号 G2 を生成し、これを第 2 の領域 SA の各走査信号線 (GSk+1 ~ GS m) に出力する。

20

【0079】

データ信号の出力を P、第 1 タイミングコントローラ 5 から第 1 ゲートドライバ GDF への入力 (第 1 GCK) を Q、第 1 ゲートドライバ GDF で生成される電圧パルス (第 1 走査信号 G1 のアクティブ期間の波形) を R として、P ~ R の各波形を図 22 に示す。第 1 ゲートドライバ GDF は、第 1 タイミングコントローラ 5 からの入力 (第 1 GCK) が「H」の期間は、非選択電圧生成回路 25 から入力された電圧 (非選択電圧) を選択し、第 1 GCK が「L」の期間は、走査電圧生成回路 9 から入力された電圧 (走査電圧) を選択することで、R に示すような矩形の電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第 1 走査信号 G1 (ゲートオンパルス信号) を各走査信号線 (GF1 ~ GFk) に出力する。

30

【0080】

ここで、波形調整部 5a は第 1 GCK を調整し、波形調整部 6a は第 2 GCK を調整するものである。例えば、図 22 のように、第 1 GCK および第 2 GCK につき、パルスの立ち上がりタイミングを同一にしてパルス幅を異ならせる。これにより、第 1 走査信号 G1 のアクティブ期間の幅と、第 2 走査信号 G2 のアクティブ期間の幅とを異ならせることができる。

【0081】

したがって、例えば、同一階調を表示したときに第 1 の領域 FA よりも第 2 の領域 SA の方が高輝度となる場合には、図 22 に示すように、第 2 走査信号 G2 のアクティブ期間の幅が、第 1 走査信号 G1 のアクティブ期間の幅よりも小さくなるように、波形調整部 5a および波形調整部 6a が制御される。具体的には、メモリ 45 に予め調整データが格納されており、LSI 35 が該調整データに基づいた信号を波形調整部 5a および波形調整部 6a に出力することで上記設定が行われる。なお、この調整データはパネルごとに設定しておくことが望ましい。

40

【0082】

上記構成では、各タイミングコントローラ (5・6) で第 1 GCK および第 2 GCK を生成しているが、図 27 のように、第 1 タイミングコントローラ 5 で第 1 GCK および第

50

1 G O E を生成し、第 2 タイミングコントローラ 6 で第 2 G C K および第 2 G O E を生成し、第 1 G O E および第 2 G O E の位相をずらすことで、第 1 走査信号 G 1 のアクティブ期間の幅と、第 2 走査信号 G 2 のアクティブ期間の幅とを異ならせてもよい。

【0083】

さらに、本実施の形態では、図 20 の走査電圧生成回路 9 の代わりに図 10 の後段回路 10 を 2 つ設け、その一方を波形調整部 5 a に接続するとともに他方を波形調整部 6 a に接続し、図 24 のように構成することもできる。この構成では、第 1 走査信号 G 1 の立ち下がり部分が図 25 のように傾斜する。ここで、図 10 のトランジスタ T r 1 2 のゲート端子に入力されるパルス信号を、波形調整部 5 a (波形調整部 6 a) によって調整することで、図 25 に示すように、第 1 走査信号 G 1 の立ち下がり開始タイミングと、第 2 走査信号 G 2 の立ち下がり開始タイミングとをずらし、第 1 走査信号 G 1 のアクティブ期間の波形と第 2 走査信号 G 2 のアクティブ期間の波形とを異ならせることができる。

10

【0084】

本実施の形態では、第 1 タイミングコントローラ 5 および第 2 タイミングコントローラ 6 それぞれに波形調整部を設けているがこれに限定されない。いずれかにのみ波形調整部を設ける構成も可能である。

【0085】

〔実施の形態 5〕

図 21 は、図 1 のドライバ制御回路 3 の一部と第 1 および第 2 ゲートドライバ G D F ・ G D S とを示すブロック図である。同図に示されるように、ドライバ制御回路 3 は、定電圧源 11 と、非選択電圧生成回路 25 と、メモリ 45 と、L S I 35 (タイミング調整部制御回路) と、走査電圧生成回路 9 と、第 1 タイミングコントローラ 5 と、第 2 タイミングコントローラ 6 とを備える。第 1 タイミングコントローラ 5 はタイミング調整部 5 b を含み、第 2 タイミングコントローラ 6 は、タイミング調整部 6 b を含む。

20

【0086】

走査電圧生成回路 9 は、定電圧源 11 から供給された定電圧を用いて走査電圧を生成し、これを第 1 ゲートドライバ G D F および第 2 ゲートドライバ G D S に出力する。第 1 タイミングコントローラ 5 は、第 1 の領域 F A に対応する第 1 G C K (ゲートクロック) を生成し、これを第 1 ゲートドライバ G D F に出力する。第 2 タイミングコントローラ 6 は、第 2 の領域 S A に対応する第 2 G C K (ゲートクロック) を生成し、これを第 2 ゲートドライバ G D S に出力する。L S I 35 は、メモリ 45 から読み出したデータに基づいて、タイミング調整部 5 b およびタイミング調整部 6 b を制御する。

30

【0087】

そして、第 1 ゲートドライバ G D F は、走査電圧生成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 1 タイミングコントローラ 5 から供給された第 1 G C K とを用いて第 1 走査信号を生成し、これを第 1 の領域 F A の各走査信号線 (G F 1 ~ G F k) に出力する。また、第 2 ゲートドライバ G D S は、走査電圧生成回路 9 から供給された走査電圧と、非選択電圧生成回路 25 から供給された非選択電圧と、第 2 タイミングコントローラ 6 から供給された第 2 G C K とを用いて第 2 走査信号を生成し、これを第 2 の領域 S A の各走査信号線 (G S k + 1 ~ G S m) に出力する。

40

【0088】

ここで、データ信号の出力を P、第 1 タイミングコントローラ 5 から第 1 ゲートドライバ G D F への入力 (第 1 G C K) を Q、第 1 ゲートドライバ G D F で生成される電圧パルスを R (第 1 走査信号 G 1 のアクティブ期間の波形) として、P ~ R の各波形を図 23 に示す。第 1 ゲートドライバ G D F は、第 1 タイミングコントローラ 5 からの入力 (第 1 G C K) が「H」の期間は、非選択電圧生成回路 25 から入力された電圧 (非選択電圧) を選択し、第 1 G C K が「L」の期間は、走査電圧生成回路 9 から入力された電圧 (走査電圧) を選択することで、R に示すような矩形の電圧パルスを生成し、この電圧パルスがアクティブ期間に立つような第 1 走査信号 (ゲートオンパルス信号) を各走査信号線 (G F 1 ~ G F k) に出力する。

40

【0089】

ここで、タイミング調整部5bは第1GCKを調整し、タイミング調整部6bは第2GCKを調整するものである。例えば、第1GCKおよび第2GCKについて、図23のように、パルス幅を同一にして立ち上がりタイミングを変えたりする。これにより、第1走査信号G1および第2走査信号G2のアクティブ期間の波形を同一にしつつ、第1走査信号G1のアクティブ期間およびデータ信号の出力期間の重なり時間（書き込み時間）と、第2走査信号G2のアクティブ期間およびデータ信号の出力期間の重なり時間（書き込み時間）とを異ならせることができる。

【0090】

したがって、例えば、同一階調を表示したときに第1の領域FAよりも第2の領域SAの方が高輝度となる場合には、図23に示すように、第1GCKのパルスがデータ信号の出力開始後に立ち下がるとともに次のパルスがデータ信号出力終了前に立ち上がる一方、第1GCKのパルスがデータ信号の出力開始前に立ち下がるとともに次のパルスがデータ信号出力終了前に立ち上がるように、タイミング調整部5bおよびタイミング調整部6bの設定が行われる。具体的には、メモリ45に予め調整データが格納されており、LSI35が該調整データに基づいた信号をタイミング調整部5bおよびタイミング調整部6bに出力することで上記設定が行われる。なお、この調整データはパネルごとに設定しておくことが望ましい。

【0091】

本液晶表示装置は、図28に示すように、表示部を左右に分割する構成であってもよい。すなわち、表示部2は、データ信号線SF1～SFkおよび走査信号線GF1～GFmを含む第1の領域FA（左半分）と、データ信号線SSk+1～SSnおよび走査信号線GS1～GSmを含む第2の領域SA（右半分）とに分割されており、各領域（FA・SA）が別々に駆動される。この構成では、第1の領域FAに含まれるデータ信号線SF1～SFkは第1ソースドライバSDFに駆動され、第1の領域FAに含まれる走査信号線GF1～GFmは第1ゲートドライバGDFに駆動され、第2の領域SAに含まれるデータ信号線SSk+1～SSnは第2ソースドライバSDSに駆動され、第2の領域SAに含まれる走査信号線GS1～GSmは第2ゲートドライバGDSに駆動される。

【0092】

本実施の形態では、第1タイミングコントローラ5および第2タイミングコントローラ6それぞれにタイミング調整部を設けているがこれに限定されない。いずれかにのみタイミング調整部を設ける構成も可能である。

【0093】

本実施の形態にかかるテレビジョン受像機（液晶テレビ）は、図29に示すように、本液晶表示装置1と、テレビジョン放送を受信して映像信号を出力するチューナ部40とを備える。すなわち、テレビジョン受像機50では、チューナ部40から出力された映像信号に基づいて液晶表示装置1が映像（画像）表示を行う。

【0094】

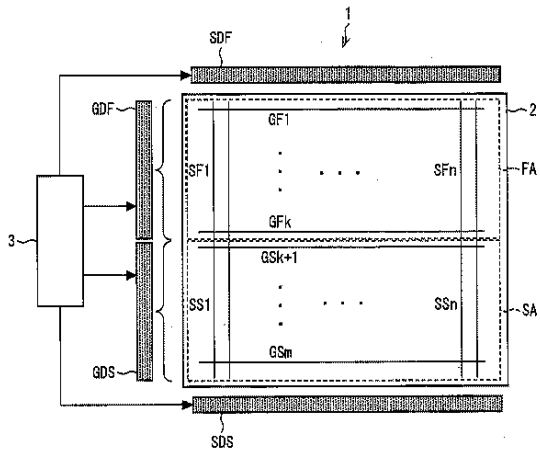
本発明は上記実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

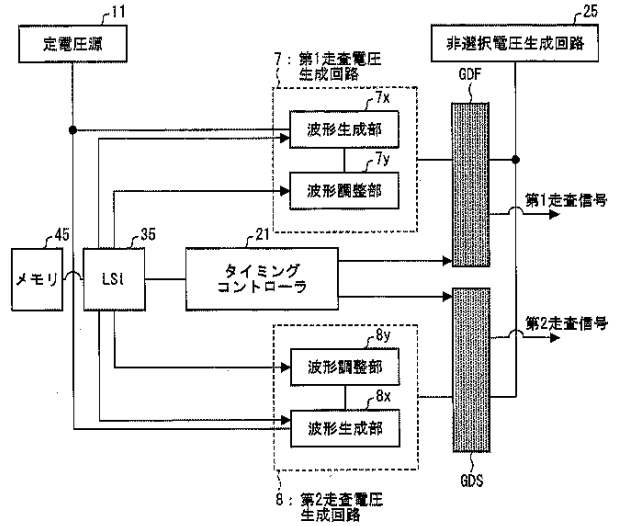
【0095】

本発明の表示装置は、特に、液晶表示装置（例えば、液晶テレビ）に好適である。

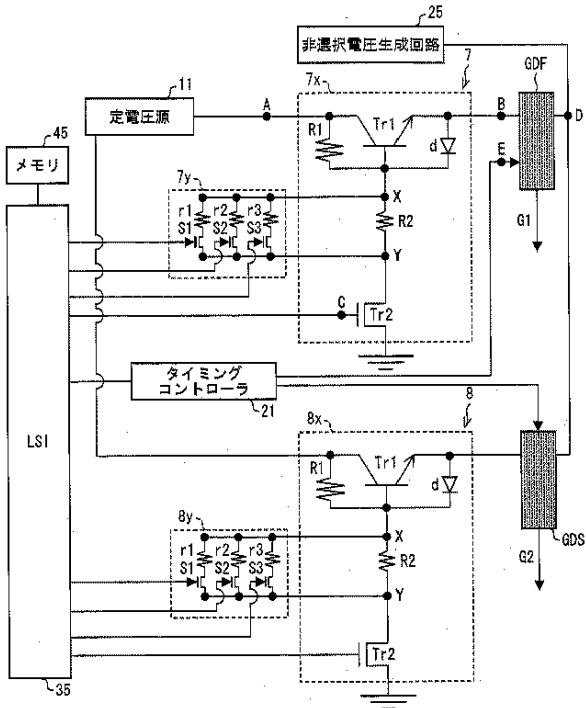
【図1】



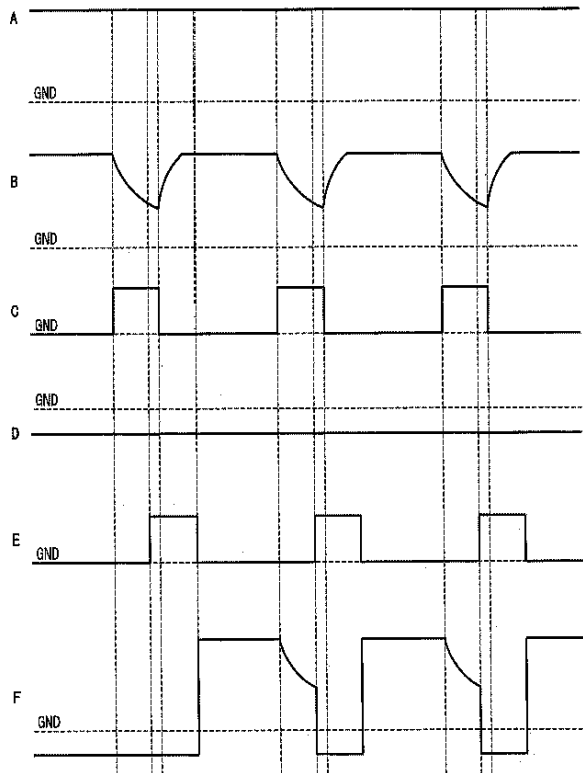
【図2】



【図3】



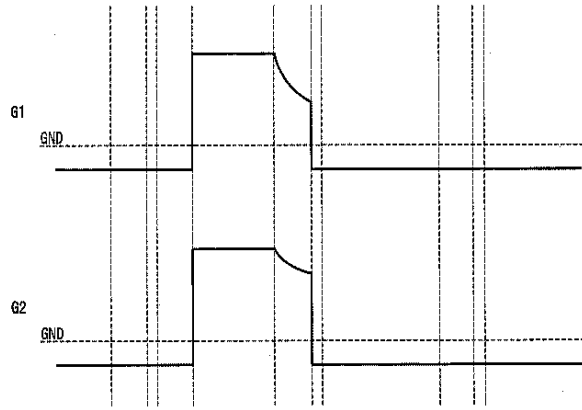
【図4】



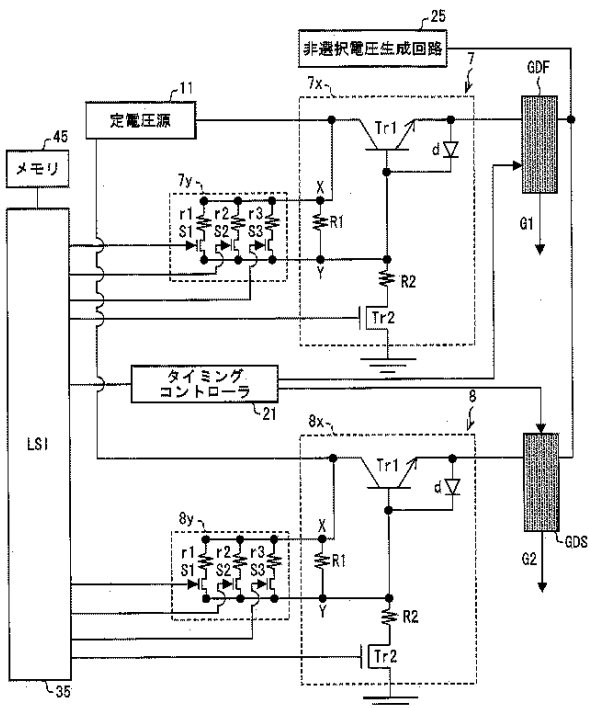
【図5】

	S1	S2	S3
パターン1	○ (ON)	○	○
パターン2	○	○	× (OFF)
パターン3	○	×	○
パターン4	×	○	○
パターン5	○	×	×
パターン6	×	○	×
パターン7	×	×	○
パターン8	×	×	×

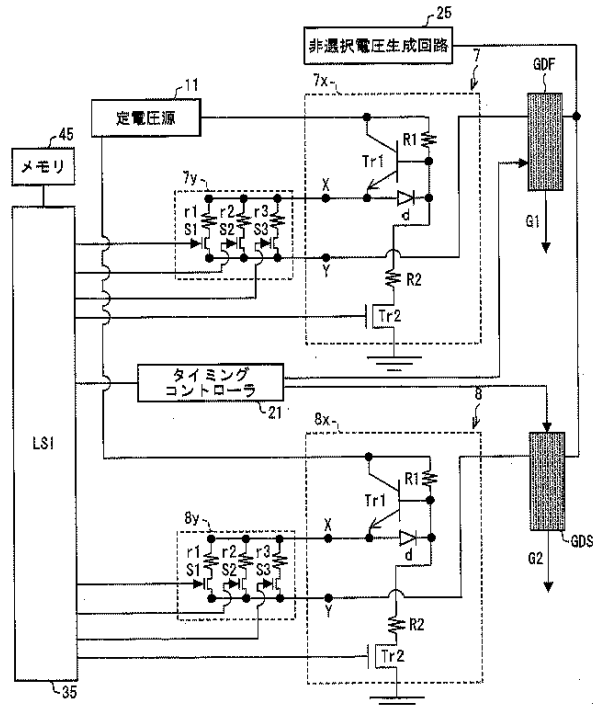
【図6】



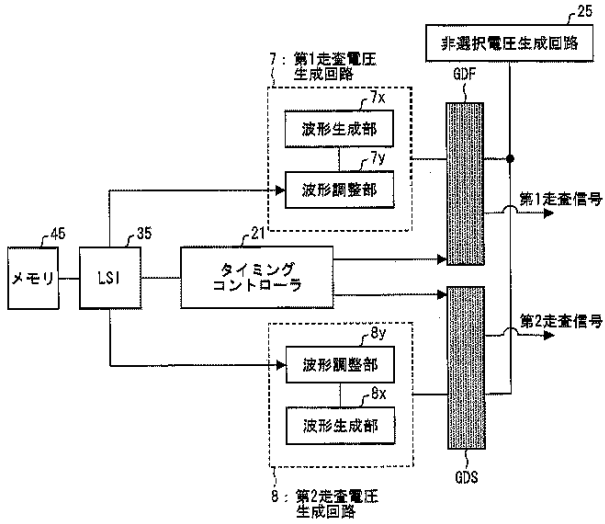
【図7】



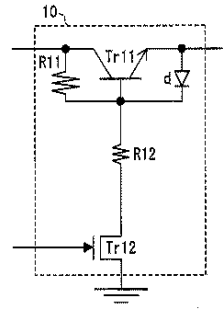
【図8】



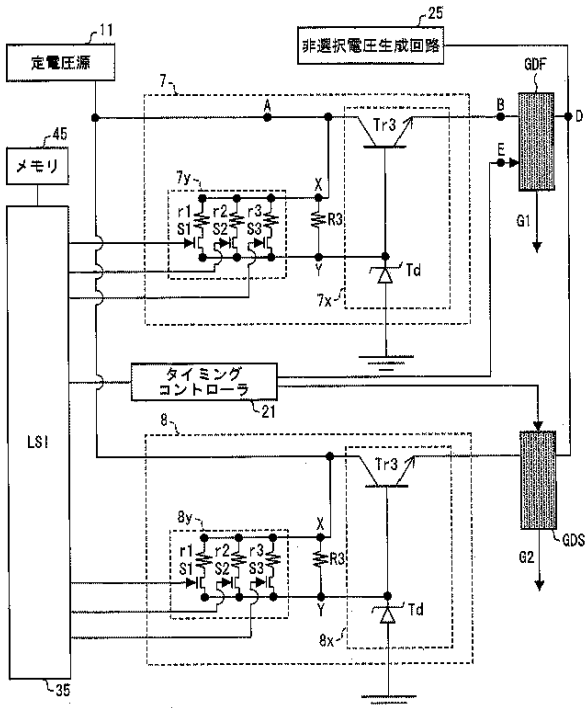
【図9】



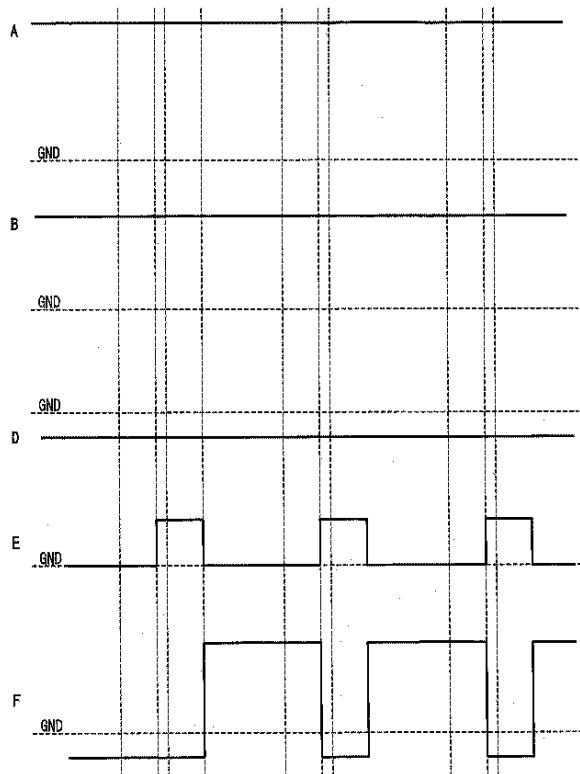
【図10】



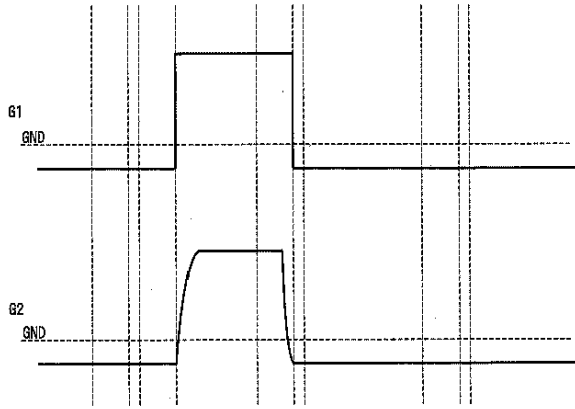
【図11】



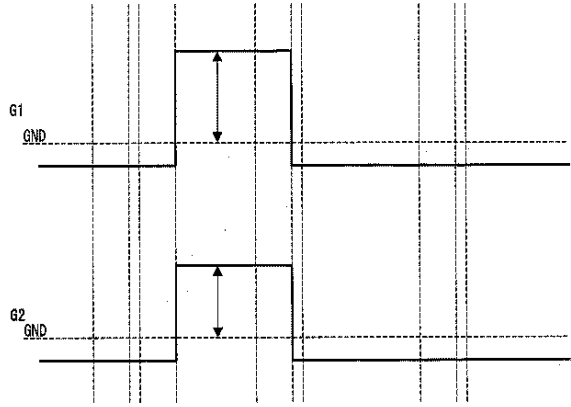
【図12】



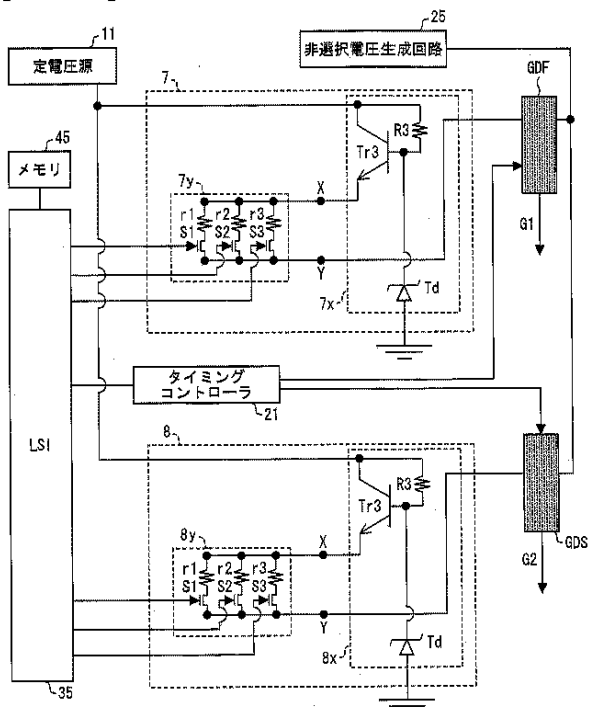
【図13】



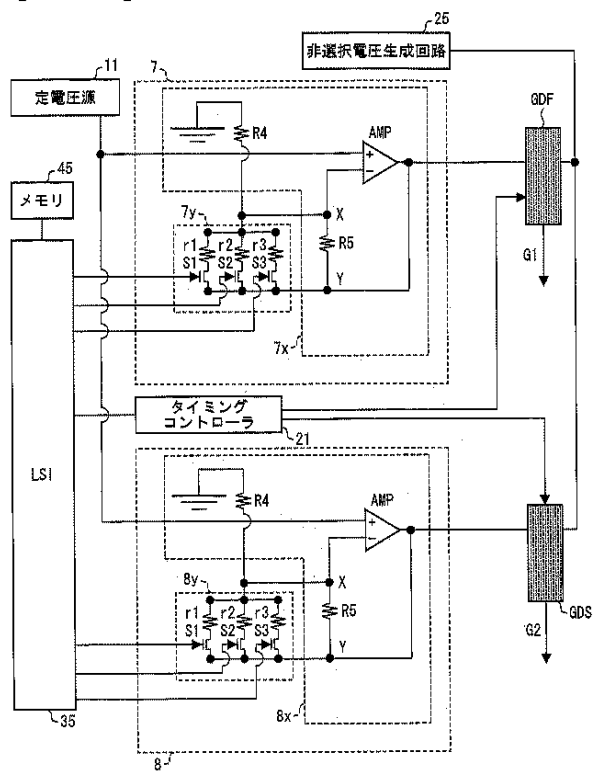
【図14】



【図15】



【図16】



专利名称(译)	显示设备，用于显示设备的控制设备，用于驱动显示设备的方法		
公开(公告)号	JPWO2009022486A1	公开(公告)日	2010-11-11
申请号	JP2009528050	申请日	2008-05-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	伊藤 資光		
发明人	伊藤 資光		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0208 G09G2310/021 G09G2310/04 G09G2320/0233 G09G2320/0693		
FI分类号	G09G3/36 G09G3/20.622.C G09G3/20.622.L G09G3/20.622.D G09G3/20.612.J G09G3/20.631.V G09G3/20.612.D G09G3/20.611.H G09G3/20.642.B G09G3/20.611.J G02F1/133.550 G02F1/133.520 G09G3/20.622.B G09G3/20.612.K		
F-TERM分类号	2H193/ZA04 2H193/ZA33 2H193/ZB02 2H193/ZD23 2H193/ZD32 2H193/ZF03 2H193/ZF16 2H193/ZF24 5C006/AA11 5C006/AC22 5C006/AF13 5C006/AF35 5C006/AF42 5C006/AF50 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC22 5C006/BF01 5C006/BF14 5C006/BF25 5C006/BF33 5C006/BF34 5C006/BF36 5C006/BF42 5C006/BF46 5C006/FA12 5C006/FA20 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43		
优先权	2007210343 2007-08-10 JP		
其他公开文献	JP5214613B2		
外部链接	Espacenet		

摘要(译)

形成具有多条数据信号线和多条扫描信号线的显示单元，该显示单元设置有包括多条扫描信号线的第一区域和包括多条扫描信号线的第二区域，在第一扫描信号被输出到第一区域中的每条扫描信号线并且第二扫描信号被输出到第二区域中的每条扫描信号线的显示装置中，第一扫描信号的有效时段和设置了一个波形调整单元(7y-8y)，使两个扫描信号的波形不同于激活周期。这样，在将显示单元划分为多个区域并被驱动的显示装置中，可以抑制区域之间的亮度差。

