

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5244402号
(P5244402)

(45) 発行日 平成25年7月24日 (2013. 7. 24)

(24) 登録日 平成25年4月12日 (2013. 4. 12)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 6 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

G 0 2 F 1 / 1 3 3 (2006. 01)

G 0 9 G 3 / 3 6

G 0 9 G 3 / 2 0 6 4 2 A

G 0 9 G 3 / 2 0 6 2 3 F

G 0 9 G 3 / 2 0 6 2 3 B

G 0 9 G 3 / 2 0 6 4 1 C

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-4541 (P2008-4541)
(22) 出願日 平成20年1月11日 (2008. 1. 11)
(65) 公開番号 特開2009-168931 (P2009-168931A)
(43) 公開日 平成21年7月30日 (2009. 7. 30)
審査請求日 平成22年9月9日 (2010. 9. 9)

(73) 特許権者 302020207
株式会社ジャパンディスプレイセントラル
埼玉県深谷市幡羅町一丁目9番地2
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100095441
弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

互いに直交配置された複数のソース線及びゲート線と、前記ソース線と前記ゲート線との交点にそれぞれ設けられた画素スイッチング素子と、所定数の前記ソース線群に対応して設けられて i (2以上の整数) ビットデータの映像信号をアナログの階調信号に変換して前記各ソース線に供給する複数の駆動回路とを有し、 i ビットデータに基づいて2の i 乗の階調表示を行う液晶表示装置であって、

前記駆動回路は、

前記映像信号を時分割して選択する第1の切替回路と、

選択された映像信号を前記階調信号に変換するデジタルアナログ変換回路と、

前記階調信号を各ソース線に時分割して供給する第2の切替回路と、

各ソース線に供給する前記階調信号の順序が n 水平期間、 m 垂直期間 (n, m はそれぞれ1以上の整数) 毎に交互に異なるように前記第1及び第2の切替回路を制御する制御回路と

を備えたことを特徴とする液晶表示装置。

【請求項 2】

$n = 1$ 、 $m = 1$ の場合で、かつ前記階調信号が1ゲート線ごとに逆極性となる駆動において、

前記制御回路は、前記階調信号の極性を制御する信号によって各ソース線への供給順序を制御することを特徴とする請求項1記載の液晶表示装置。

10

20

【請求項 3】

前記デジタルアナログ変換回路は、前記階調信号を供給するソース線群を k 水平期間、 l 垂直期間 (k 、 l はそれぞれ 1 以上の整数) 毎に異なるようになされたことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

前記制御回路は、同一色の階調信号を連続して対応する前記ソース線に供給するように制御するとともに、 n 水平期間、 m 垂直期間 (n 、 m はそれぞれ 1 以上の整数) 毎に、同一色内の前記階調信号の供給順序が異なるように制御することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 5】

前記所定数のソース線は、6 本または 9 本であることを特徴とする請求項 4 記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特にソース線のマルチプレクサ駆動と DAC を組み合わせた場合においても、階調電圧生成回路で生じる電圧降下に起因する縦スジやムラなどの発生を防止することのできる液晶表示装置に関する。

【背景技術】**【0002】**

近年では、走査線駆動回路や映像信号線駆動回路を画素 TFT と同時に透明絶縁基板上に一体形成した「駆動回路内蔵型」の TFT-LCD の開発が盛んである。この構成によれば、液晶表示装置の透明絶縁基板の有効画面領域を広げ、かつ、製造コストの低減を図ることができる。

【0003】

図 17 は、駆動回路内蔵型の液晶表示装置の構成の一例を示す図である。

この液晶表示装置は、液晶表示パネル LC と、該液晶表示パネル LC を駆動制御する駆動回路 DD とを備えている。

この液晶表示装置では、メモリ M21 ~ M24 の何れかをマルチプレクサ MPX で切り換えてデジタル・アナログ変換器 DAC に接続する。さらに、デジタル・アナログ変換器 DAC の出力は、切り換え器 S1 ~ S4 により、メモリ M21 ~ M24 に対応した液晶のソース線へ出力される。

【0004】

この液晶表示装置では、デジタル・アナログ変換器 DAC を各データラインに対して設けるのではなく、複数個のデータラインに対して 1 個のデジタル・アナログ変換器 DAC を設け、それを時分割使用する。

【0005】

このように、時分割でデジタル・アナログ変換を実施し、更に時分割でソース線への書き込みを行うことで、DAC 回路および AMP 回路の数を減らすことができるので、低消費電力かつ狭額縁の駆動回路内蔵型の TFT-LCD が実現されている。

【特許文献 1】特開平 5 - 173506 号公報**【発明の開示】****【発明が解決しようとする課題】****【0006】**

しかしながら、上述のようにソース線のマルチプレクサ駆動と DAC を組み合わせた場合、ソース線の時分割書き込みに合わせて DAC の出力電圧を連続してアンプ入力容量に充電する必要があるが、表示パターンによってはアンプ入力容量の充放電電流が大きく、抵抗ストリングを用いた階調電圧生成部の階調設定抵抗に電流が流れることにより、階調電圧の電圧降下が発生する。この電圧降下は、レイ上のレイアウト配線抵抗・配線容量、およびトランジスタのゲート容量などから決まる所定の時定数で、時間の経過とともに

10

20

30

40

50

徐々に本来の階調電圧に復帰する。

【 0 0 0 7 】

しかしながら、解像度の高いパネルにおいては1水平期間が短いために、ソース線の時分割書き込みに割り当てられる時間はわずかであり、上記の時定数が大きい場合などは所望の階調電圧からずれが発生したままの状態ソース線電位が保持されてしまうため、縦スジやムラなどが発生し、表示画質品位を低下させてしまうという問題があった。

【 0 0 0 8 】

このような問題を解決するためには、1水平期間内の時分割数を減らして周波数を落とし、ソース線充電に長い時間を確保する必要があるが、ひとつのアンプ出力をマルチプレクサで振り分けてまかなうソース線本数が少なくなってしまうために、アナログスイッチやDACなどの回路を増やさなければならず、回路面積が大きくなり、消費電力の増加や額縁が増大するという問題があった。また、以上のような理由のために、解像度の高い高精細製品を実現することができないという問題があった。

【 0 0 0 9 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、ソース線のマルチプレクサ駆動とDACを組み合わせた場合においても、階調電圧生成回路で生じる電圧降下に起因する縦スジやムラなどを発生させることなく、表示画質品位を向上させることにある。

【課題を解決するための手段】

【 0 0 1 0 】

上記課題を解決するための本発明は、互いに直交配置された複数のソース線及びゲート線と、前記ソース線と前記ゲート線との交点にそれぞれ設けられた画素スイッチング素子と、所定数の前記ソース線群に対応して設けられて i (2 以上の整数)ビットデータの映像信号をアナログの階調信号に変換して前記各ソース線に供給する複数の駆動回路とを有し、 i ビットデータに基づいて 2 の i 乗の階調表示を行う液晶表示装置であって、前記駆動回路は、前記映像信号を時分割して選択する第1の切替回路と、選択された映像信号を前記階調信号に変換するデジタルアナログ変換回路と、前記階調信号を各ソース線に時分割して供給する第2の切替回路と、各ソース線に供給する前記階調信号の順序が n 水平期間、 m 垂直期間 (n, m はそれぞれ1以上の整数)毎に交互に異なるように前記第1及び第2の切替回路を制御する制御回路とを備えた。

【発明の効果】

【 0 0 1 1 】

本発明によれば、ソース線のマルチプレクサ駆動とDACを組み合わせた場合においても、階調電圧生成回路で生じる電圧降下に起因する縦スジやムラなどの発生を防止して、表示画質品位の高い液晶表示装置を得ることができる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

〔第1の実施の形態〕

図1は、液晶表示装置の回路構成を概略的に示す図である。なお、この図は、原理図として判り易くするために液晶表示装置の一部について簡略化して示している。

【 0 0 1 3 】

液晶表示装置は、液晶表示パネルDP、および液晶表示パネルDPを制御する表示制御回路CNTを備える。

液晶表示パネルDPは、一対の電極基板であるアレイ基板1および対向基板2間に液晶層3を挟持した構造である。表示制御回路CNTは、アレイ基板1および対向基板2から液晶層3に印加される液晶駆動電圧により液晶表示パネルDPの透過率を制御する。

アレイ基板1では、複数の画素電極PEが透明絶縁基板GL上において略マトリクス状に配置される。また、複数のゲート線Y ($Y_1 \sim Y_m$) が複数の画素電極PEの行に沿って配置され、複数のソース線X ($X_1 \sim X_n$) が複数の画素電極PEの列に沿って配置される。

10

20

30

40

50

【 0 0 1 4 】

これらゲート線 Y およびソース線 X の交差位置近傍には、複数の画素スイッチング素子 W が配置される。各画素スイッチング素子 W は例えばゲートがゲート線 Y に接続され、ソース - ドレインパスがソース線 X および画素電極 P E 間に接続される薄膜トランジスタからなり、対応ゲート線 Y を介して駆動されたときに対応ソース線 X および対応画素電極 P E 間で導通する。

【 0 0 1 5 】

各画素電極 P E および共通電極 C E のそれぞれは、例えば I T O 等の透明電極材料からなり、それぞれ配向膜 A L で覆われ、画素電極 P E および共通電極 C E からの電界に対応した液晶分子配列に制御される液晶層 3 の一部である画素領域と共に液晶画素 P X を構成する。

10

【 0 0 1 6 】

複数の液晶画素 P X は各々画素電極 P E および共通電極 C E 間に液晶容量 C L C を有する。複数の補助容量線 C 1 ~ C m は各々対応行の液晶画素 P X の画素電極 P E に容量結合した補助容量 C s を構成する。補助容量 C s は画素スイッチング素子 W の寄生容量に対して十分大きな容量値を有する。

【 0 0 1 7 】

表示制御回路 C N T は、ゲートドライバ Y D、ソースドライバ X D、およびコントローラ回路 5 を備える。

ゲートドライバ Y D は、複数のスイッチング素子 W を行単位に導通させるように複数のゲート線 Y 1 ~ Y m を順次駆動する。ソースドライバ X D は、各行のスイッチング素子 W が対応ゲート線 Y の駆動によって導通する期間において画素電圧 V s を複数のソース線 X 1 ~ X n にそれぞれ出力する。コントローラ回路 5 は、ゲートドライバ Y D、ソースドライバ X D を制御する。

20

【 0 0 1 8 】

コントローラ回路 5 は、外部信号源 S S から入力される同期信号 S Y N C に基づいて表示制御回路 C N T 各部の動作を制御する信号を生成する。

コントローラ回路 5 は、入力される同期信号 S Y N C に基づいてゲートドライバ Y D に対する制御信号 C T Y、ソースドライバ X D に対する制御信号 C T X を発生する。

【 0 0 1 9 】

コントローラ回路 5 は、複数の画素 P X に対して外部信号源 S S から入力される画像データ D I を、所定タイミングで画素データ D O としてソースドライバ X D に出力する。画像データ D I は複数の液晶画素 P X に対する複数の画素データからなり、1 フレーム期間（垂直走査期間 V）毎に更新される。制御信号 C T Y はゲートドライバ Y D に供給され、制御信号 C T X は画素データ D O と共にソースドライバ X D に供給される。制御信号 C T Y は上述のように順次複数のゲート線 Y を駆動する動作をゲートドライバ Y D に行わせるために用いられ、制御信号 C T X は画素データ D O を複数のソース線 X にそれぞれ割り当てると共に出力極性を指定する動作をソースドライバ X D に行わせるために用いられる。

30

【 0 0 2 0 】

ゲートドライバ Y D はゲート線 Y を選択するために例えばシフトレジスタ回路を用いて構成される。

40

ソースドライバ X D は、これら画素データ D O をそれぞれ画素電圧 V s に変換し、複数のソース線 X 1 ~ X n に並列的に出力する。

【 0 0 2 1 】

画素電圧 V s は共通電極 C E のコモン電圧 V com を基準として画素電極 P E に印加される電圧であり、例えばフレーム反転駆動およびライン反転駆動を行うようコモン電圧 V com に対して極性反転される。極性反転のための極性信号 P O L は、コントローラ回路 5 からソースドライバ X D に入力される。

【 0 0 2 2 】

ソースドライバ X D は、メモリ M (M 1 ~ M 6)、第 1 切替器 6、デジタル・アナログ

50

変換器 D A C、および第 2 切替器 7 を含む。

メモリ M は、コントローラ回路 5 から入力される画素データ D O から抽出した、それぞれの液晶画素 P X ごとのデータを格納する。第 1 切替器 6 は、メモリ M のデジタル出力を切り換えてデジタル・アナログ変換器 D A C に出力する。デジタル・アナログ変換器 D A C は、デジタルデータをアナログ階調電圧に変換する。デジタル・アナログ変換器 D A C は、第 2 切替器 7 を介して、1 水平期間を時分割して複数のソース線（図 1 の例では 6 本のソース線）を所望の階調電圧に順次充電する。

また、第 1 切替器 6 及び第 2 切替器 7 は、入力される極性信号 P O L によって選択するデータを切り換える。

【 0 0 2 3 】

10

図 2 は、第 1 切替器 6 の構成を示す図である。

第 1 切替器 6 は、信号セクタ 1 1 とデジタルスイッチ D S W を含んでいる。第 1 切替器 6 には、メモリ M から分解能が 6 ビット（0 ~ 5）の液晶画素 P X ごとの画素データ D O が入力される。ここで、画素データ D O は、例えば、連続する 6 つの液晶画素のデータ（赤データ（n）、緑データ（n + 1）、青データ（n + 2）、赤データ（n + 3）、緑データ（n + 4）、青データ（n + 5））である。

【 0 0 2 4 】

また第 1 切替器 6 には、制御信号 D S W 1 ~ D S W 6 が入力される。この制御信号 D S W 1 ~ D S W 6 は、変換回路（図示しない）が制御信号 C T X を変換して生成する。信号セクタ 1 1 は、順次選択的にオン状態に入力される制御信号 D S W 1 ~ D S W 6 及び極性信号 P O L に対応して、いずれか 1 つの出力線をオン状態とする。デジタルスイッチ D S W は、オン状態となった出力線に接続するスイッチをオンとすることで、対応する画素データ D O を選択して 6 ビットのデータ（D A T A [0] ~ D A T A [5]）として出力する。

20

【 0 0 2 5 】

図 3 は、デジタル・アナログ変換器 D A C の構成を示す図である。

デジタル・アナログ変換器 D A C は、抵抗 D A C 回路 1 2、抵抗ストリング（図中 R S t r i n g と表記）による階調電圧生成部 1 3、及びアンプ回路（図中 A M P と表記）1 4 を含んでいる。

【 0 0 2 6 】

30

6 ビットの画像信号デジタルデータ（D A T A [0] ~ D A T A [5]）は、抵抗 D A C 回路 1 2 で保持された後、階調電圧生成部 1 3 において抵抗ストリングで生成される階調電圧に変換される。そして、変換されたアナログ信号は、アンプ回路 1 4 を介して第 2 切替器 7 に入力される。

【 0 0 2 7 】

ここで、アンプ回路 1 4 の動作について説明する。

階調電圧を抵抗ストリングを用いて生成している場合、出力電流が流れることによって電圧降下が生じるという問題がある。このアンプ回路 1 4 は、このアンプ回路 1 4 の出力電圧を入力電圧に常に一致させるように動作する。そして信号線に電流が流れるような場合であっても、その電流はアンプ回路 1 4 で生成させるように動作する。これによって、電圧降下の発生を防止することができる。

40

【 0 0 2 8 】

アンプ回路 1 4 の入力ノード A M P I N に接続されているアンプ入力容量 C 1 は、R E S E T 信号が O N となる R E S E T 状態において、反転増幅回路のしきい値電位に充電されている。

作動状態では、R E S E T 信号が O F F となり、アンプ入力容量 C 1 は、階調電圧生成部 1 3 が出力する階調電圧に等しい電位に充電される。そして、アンプ出力制御信号である A F B 信号が O N になることにより A M P 入出力が短絡して帰還回路が構成される。この結果、入力ノード A M P I N に等しい電位がアンプ回路 1 4 から出力される。

【 0 0 2 9 】

50

図4は、第2切替器7の構成を示す図である。

第2切替器7は、信号セクタ16とアナログスイッチASWを含んでいる。第2切替器7には、デジタル・アナログ変換器DACから液晶画素PXごとの階調電圧が時分割で入力される。

【0030】

また第2切替器7には、制御信号ASW1～ASW6が入力される。この制御信号ASW1～ASW6は、変換回路(図示しない)が制御信号CTXを変換して生成する。信号セクタ16は、順次選択的にオン状態に入力される制御信号ASW1～ASW6及び極性信号POLに対応して、いずれか1つの出力線をオン状態とする。アナログスイッチASWは、オン状態となった出力線に接続するスイッチをオンとすることで、対応する信号線に階調電圧を出力する。

10

【0031】

図5は、信号セクタ11の構成を示す図である。なお、信号セクタ16の構成も同様であるため、信号セクタ11について説明する。

図5(a)は、信号セクタ11の選択動作を模式的に表している。それぞれの入力部(in1～in6)からは、2つの出力部(out1～out6)に対して矢印が出ているが、これは極性信号POLによっていずれの出力部を選択するかが切り換えられることを表している。

【0032】

たとえば、極性信号POLが"H"の場合は、入力部in1、in2、in3、in4、in5、in6は、それぞれ出力部out1、out2、out3、out4、out5、out6と接続するように内部回路が構成される。極性信号POLが"L"の場合は、入力部in1、in2、in3、in4、in5、in6は、それぞれ出力部out4、out5、out6、out1、out2、out3と接続するように内部回路が構成される。

20

【0033】

図5(b)は、信号セクタ11の回路のブロック図である。

スイッチ回路は、互いに並列接続されたNMOSトランジスタおよびPMOSトランジスタで構成している。これはトランジスタ単独でスイッチ回路を構成するよりも安定した動作を得るためである。そして、極性信号POLによって出力する回路が切り換えられる。

30

【0034】

続いて、ソースドライバXDの駆動動作について説明する。

【0035】

まず、従来の駆動方法において、縦スジが発生する原因について説明する。

図6は、従来の制御信号DSW1～DSW6、ASW1～ASW6の制御タイミングを示す図である。

すなわち、図6に示す制御タイミングは、従来から良く使用されているもので、6本のソース線を、青1データ(n+2)、青2データ(n+5)、緑1データ(n+1)、緑2データ(n+4)、赤1データ(n)、赤2データ(n+3)の順に時分割書き込みを行う例である。

40

【0036】

図7は、緑ラスタ表示をする場合のアンプ入力ノードAMPINの電位の時間変化を表した図である。

緑ラスタ表示であるので、青1、青2、赤1、赤2に対応する階調電位Vblue1、Vblue2、Vred1、Vred2は、図示されるようにそれぞれ黒階調レベルである。

【0037】

ある階調(例えば階調Lx)の緑ラスタを表示しようとしたとき、緑1、緑2の階調電位Vgreen1、Vgreen2は、本来ならばそれぞれに階調電圧Lxに到達しなけ

50

ればならない。しかしながら緑 1 の書き込みは直前の青 2 の黒階調電位からの変位量が大いいため、時分割書き込みに割り当てられる時間が短い場合には、V g r e e n 1 は階調電圧 L x に到達しない。

【 0 0 3 8 】

このため、緑 1 の画素電位は緑 2 の画素電位に比べて充電不足になるため、緑 1 画素と緑 2 画素の間に輝度差が発生する。したがって、上述のように信号を切り換えてソース線書き込みを行った場合には、図 8 に示されるように輝度差が縦スジとして視認されてしまう。

【 0 0 3 9 】

図 9 は、本発明の第 1 の実施の形態における制御信号 D S W 1 ~ D S W 6 、 A S W 1 ~ A S W 6 の制御タイミングを示す図である。

10

デジタル・アナログ変換とソース線マルチプレクサ駆動の時分割動作順が、1 水平期間毎かつフレーム毎に、各色同士で入れ替わるようになっている。

【 0 0 4 0 】

即ち、奇数フレームでは、極性信号 P O L が “ H ” のときには、青 1、青 2、緑 1、緑 2、赤 1、赤 2 の順に選択が行われ、極性信号 P O L が “ L ” のときには、青 2、青 1、緑 2、緑 1、赤 2、赤 1 の順に選択が行われる。

【 0 0 4 1 】

また、偶数フレームでは、極性信号 P O L が “ H ” のときには、青 2、青 1、緑 2、緑 1、赤 2、赤 1 の順に選択が行われ、極性信号 P O L が “ L ” のときには、青 1、青 2、緑 1、緑 2、赤 1、赤 2 の順に選択が行われる。

20

【 0 0 4 2 】

図 1 0 (a) は、緑ラスタ表示の様子を示した図である。

仮に従来例と同様に緑 1 書き込みにおいて充電不足が発生したとしても、図 9 で説明したように時分割動作順を 1 水平期間毎かつフレーム毎に入れ替えているために、所望の階調電圧に対する電位ずれが発生するアドレスを、表示エリアの面内で二次元的に分散し、さらにフレーム毎に時間的に分散することができる。

従って、所望の階調電圧に対する電位ずれは時空間的に平均化されるため、表示イメージは図 1 0 (b) のように均一輝度の緑ラスタとなる。

【 0 0 4 3 】

30

このようにして、ソース線のマルチプレクサ駆動と D A C を組み合わせた場合においても、縦スジやムラなどを発生させることなく、表示画質品位を向上させることができる。

【 0 0 4 4 】

また、マルチプレクサ数を増やしても表示画質品位の低下を抑えることができるので、回路規模を縮小でき、低消費電力かつ狭額縁の安価な液晶表示装置を実現することができる。

【 0 0 4 5 】

なお、以上述べた第 1 の実施の形態では 6 ビットデジタルデータを抵抗 D A C 回路 1 2 でデジタル変換する構成を示したが、図 1 1 に示すように上位 3 ビットを抵抗 D A C 回路 1 2 でデジタル・アナログ変換し、下位 3 ビットを容量 D A C 回路 1 2 ' (図中 C D A C と表記) でデジタル・アナログ変換するような構成の場合についても、容量 D A C 回路 1 2 ' の入力容量 C 2 の充放電電流が抵抗ストリングの電圧降下を引き起こすので、同様の問題が発生する。

40

【 0 0 4 6 】

なお、極性信号 P O L は、図 1 2 に示す方法で生成することができる。図 1 2 (a) は、極性信号 P O L の生成回路を示し、図 1 2 (b) は、極性信号 P O L の生成タイムチャートを示している。これらの図を参照しつつ極性信号 P O L の生成方法を説明する。

【 0 0 4 7 】

図 1 2 (b) に示すように、V S Y N C は、垂直同期信号を表し、1 フレーム毎に出力されるパルス信号である。H S Y N C は、水平同期信号を表し、1 水平期間毎に出力され

50

るパルス信号である。

【 0 0 4 8 】

図 1 2 (a) に示すように、V S Y N C は、分周回路によって、例えば、m 垂直期間毎に状態が交番するステータス信号となる。このステータス信号は、後段の回路によって位相の異なる出力信号 A と出力信号 B となる。

【 0 0 4 9 】

一方、H S Y N C は、分周回路によって、例えば、n 水平期間毎に状態が交番するステータス信号となる。このステータス信号は、上述の出力信号 A と出力信号 B とによって位相が制御される。即ち、出力信号 A がアクティブのときは、接点 A が閉じ接点 B が開いている。従って、分周回路の出力がそのまま極性信号 P O L となる。出力信号 B がアクティブのときは、接点 A が開き接点 B が閉じている。従って、分周回路の出力は反転されて極性信号 P O L となる。

【 0 0 5 0 】

以上の回路の構成によって、極性信号 P O L は、n 水平期間毎に状態が交番するステータス信号であるとともに、更に m 垂直期間毎にその状態が反転するように制御される。上述の実施例は、n = 1、m = 1 の場合に該当する。

【 0 0 5 1 】

なお、本実施の形態では、メモリ M を用いて画素データ D O を保持して第 1 切替器 6 に入力しているが、メモリ M を用いずにデータバスラインからデータを直接に保持するようにしても良い。

【 0 0 5 2 】

図 1 3、図 1 4 は、サンプリングタイミング信号 S に応じてデータバスラインのデータをラッチする回路構成例を示している。また、図 1 5 のタイムチャートは、データバスラインのデータが保持される動作を表している。

このようにしてデータを保持しておき、図 2 に示す構成により制御信号 D S W 1 ~ D S W 6 を順次選択的にオン状態にすることで、デジタル・アナログ変換回路 1 1 に時分割入力することができる。

【 0 0 5 3 】

〔 第 2 の実施の形態 〕

第 2 の実施の形態では、信号の “ H ”、“ L ” によってアンプ回路 1 4 が駆動するソース線群を切り換えるように構成している点で第 1 の実施の形態と異なっている。従って、第 1 の実施の形態と同一の部位には同一の符号を付してその詳細の説明は省略する。

【 0 0 5 4 】

図 1 6 は、アンプ回路 1 4 が駆動するソース線群を切り換える方法を説明する図である。図 1 6 では、1 つのアンプ回路 1 4 が 6 本のソース線に階調表示電圧を供給する構成を例としている。

第 2 の実施の形態では、k 水平期間毎にそして更に l 垂直期間 (k、l はそれぞれ 1 以上の整数) 毎にアンプ回路 1 4 と駆動するソース線群との対応を切り換えている。これを実現する方法として、信号として極性信号 P O L を用い、その “ H ”、“ L ” によってアンプ回路 1 4 が駆動するソース線群を切り換えることができる。この際、極性信号 P O L を図 1 3、図 1 4 に示すラッチ回路を用いて保持し、その信号をアンプ切替回路 (不図示) に出力して切り換え動作を行うようにしても良い。

【 0 0 5 5 】

この第 2 の実施の形態によれば、アンプ回路 1 4 自体の T F T 特性のバラツキがあったとしても、k 水平期間毎、l 垂直期間 (k、l はそれぞれ 1 以上の整数) 毎にアンプ回路 1 4 と駆動するソース線群との対応を切り換えることにより、書き込み階調表示電圧のバラツキが分散されるので、表示ムラを低減することができる。

【 0 0 5 6 】

なお、本第 2 の実施の形態は、第 1 の実施の形態と組合わせて実現することもでき、さらに独立に構成することも可能である。

【 0 0 5 7 】

なお、上述の各実施の形態では、6本のソース線毎に画像データを時分割で切り換えて出力していたが、これは、赤、緑、青の3色についてそれぞれ2本のソース線を対象としているためである。従って、6本のソース線に限られず、3n本のソース線毎に画像データを時分割で切り換えて出力しても良い。例えば、9本のソース線毎に画像データを時分割で切り換えて出力しても良い。

【 0 0 5 8 】

尚、本発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。

また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【 0 0 5 9 】

【図1】液晶表示装置の回路構成を概略的に示す図。

【図2】第1切替器の構成を示す図。

【図3】デジタル・アナログ変換器の構成を示す図。

【図4】第2切替器の構成を示す図。

【図5】信号セレクタの構成を示す図。

【図6】従来の制御信号の制御タイミングを示す図。

【図7】緑ラスタ表示をする場合のアンプ入力ノードの電位の時間変化を表した図。

【図8】輝度差が縦スジとして視認される状態を示す図。

【図9】本発明の第1の実施の形態における制御信号の制御タイミングを示す図。

【図10】緑ラスタ表示の様子を示した図。

【図11】デジタル・アナログ変換器の他の構成を示す図。

【図12】極性信号の生成回路を示す図。

【図13】サンプリングタイミング信号に応じてデータバスラインのデータをラッチする回路を表す図。

【図14】サンプリングタイミング信号に応じてデータバスラインのデータをラッチする回路を表す図。

【図15】データバスラインのデータが保持される動作を表すタイムチャート。

【図16】アンプ回路が駆動するソース線群を切り換える方法を説明する図。

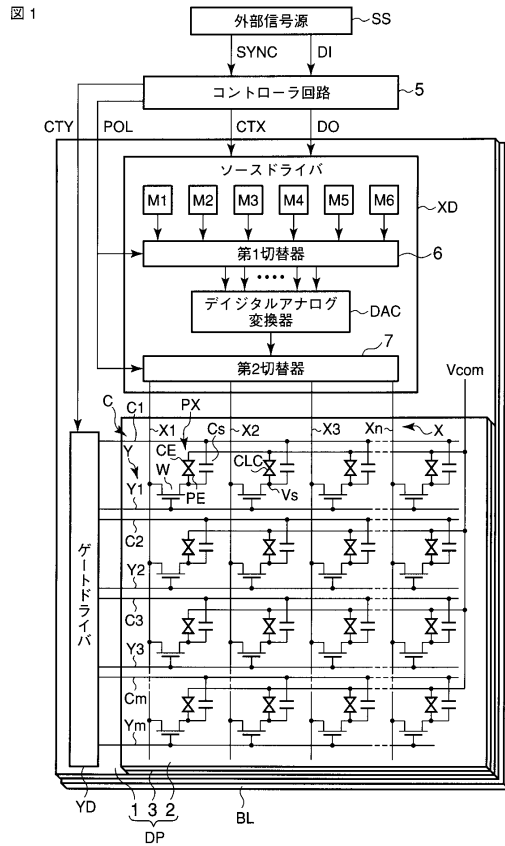
【図17】駆動回路内蔵型の液晶表示装置の構成の一例を示す図。

【符号の説明】

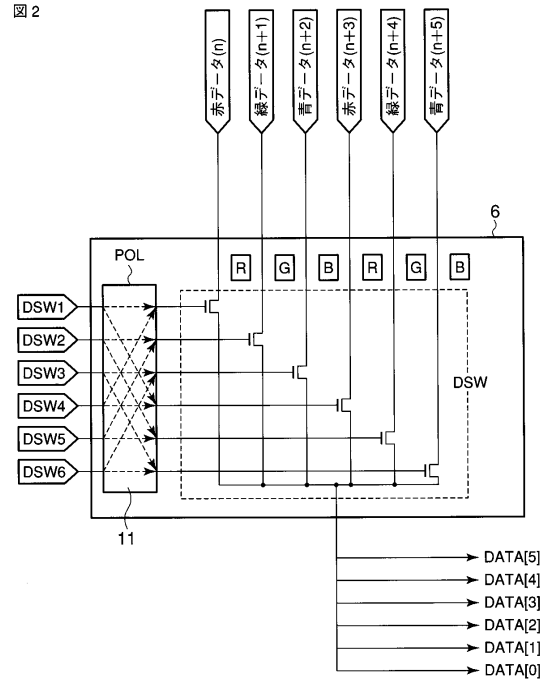
【 0 0 6 0 】

1 ... アレイ基板、2 ... 対向基板、3 ... 液晶層、5 ... コントローラ回路、6 ... 第1切替器、7 ... 第2切替器、11 ... 信号セレクタ、12 ... DAC回路、13 ... 階調電圧生成部、14 ... アンプ回路、16 ... 信号セレクタ、YD ... ゲートドライバ、DI ... 画像データ、DO ... 画素データ、DP ... 液晶表示パネル、XD ... ソースドライバ、PE ... 画素電極、CE ... 共通電極、PX ... 液晶画素、DP ... 表示パネル、CNT ... 表示制御回路、M ... メモリ、DSW ... デジタルスイッチ、AMPIN ... 入力ノード、ASW ... アナログスイッチ、SS ... 外部信号源、Vcom ... コモン電圧、X ... ソース線、Y ... ゲート線、W ... スwitchング素子。

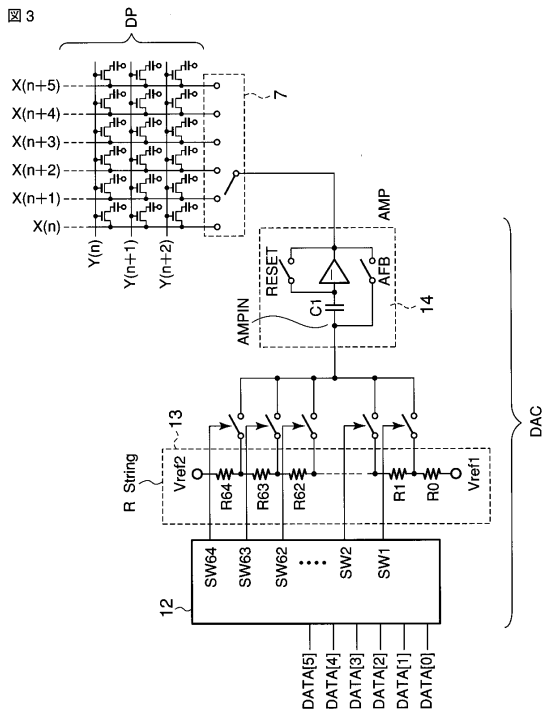
【図 1】



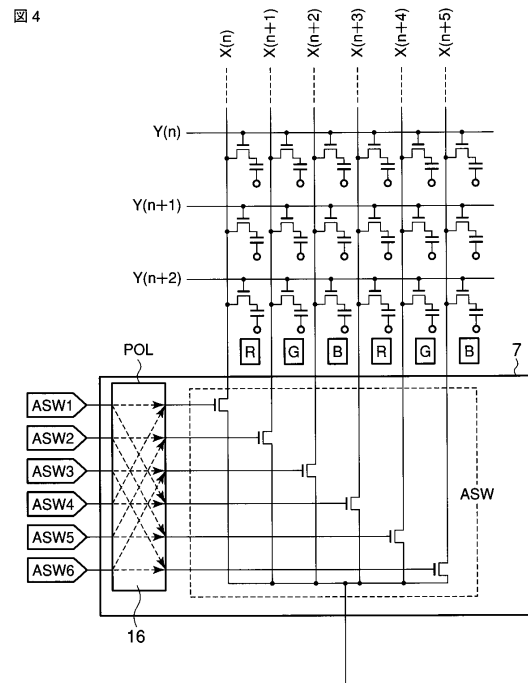
【図 2】



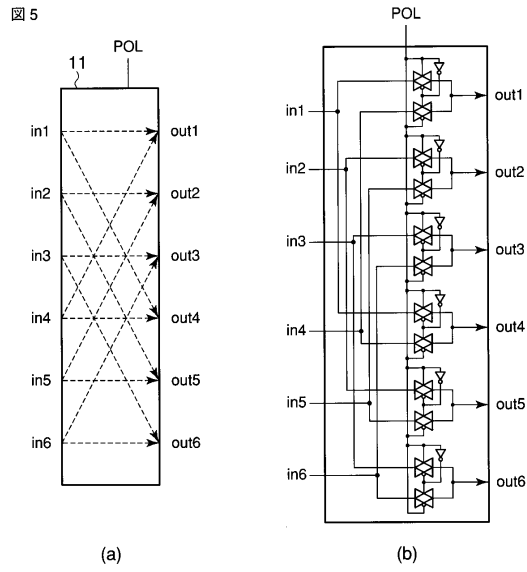
【図 3】



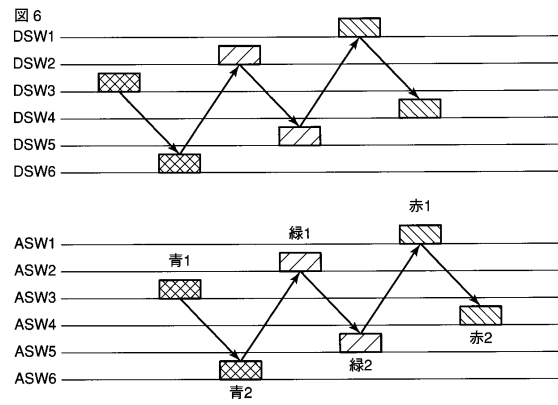
【図 4】



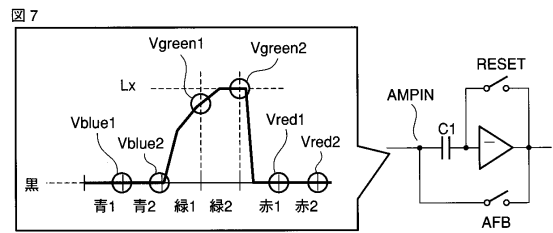
【図 5】



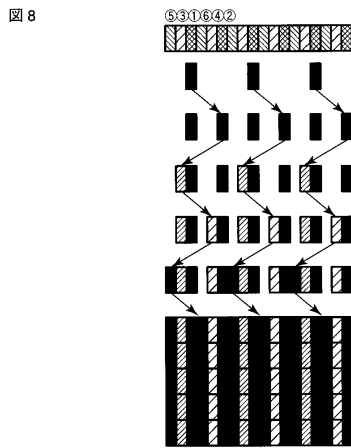
【図 6】



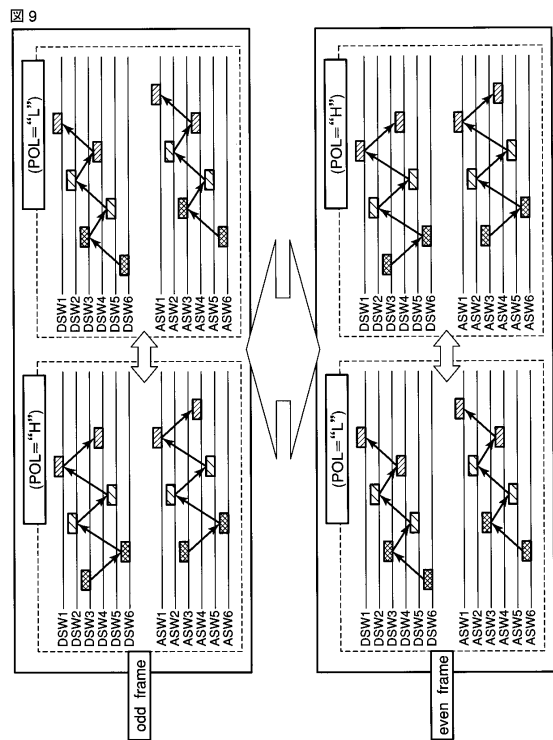
【図 7】



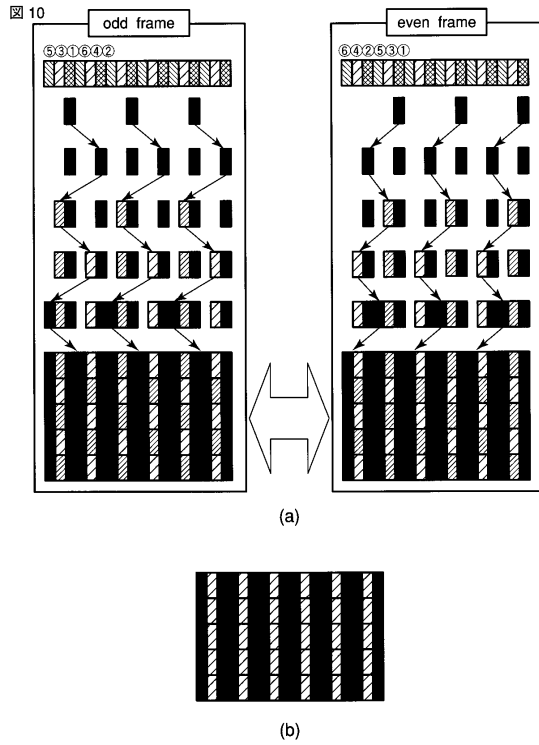
【図 8】



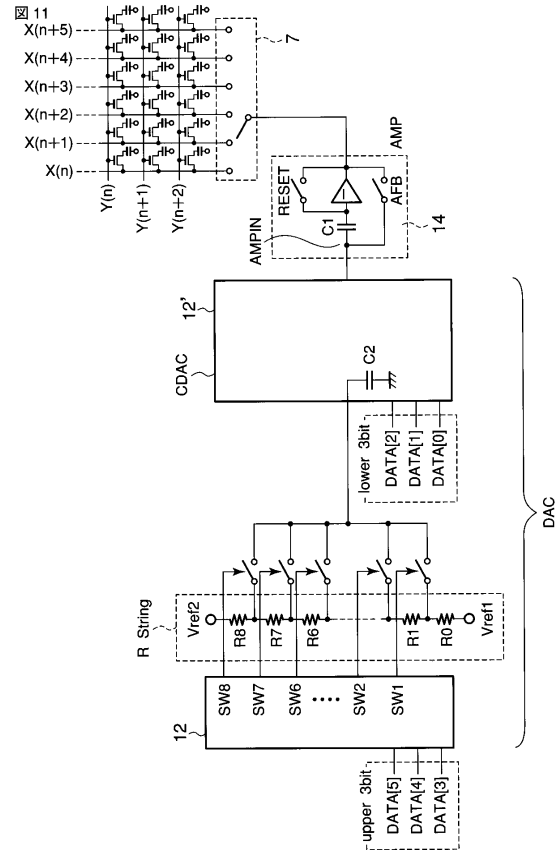
【図 9】



【図 10】

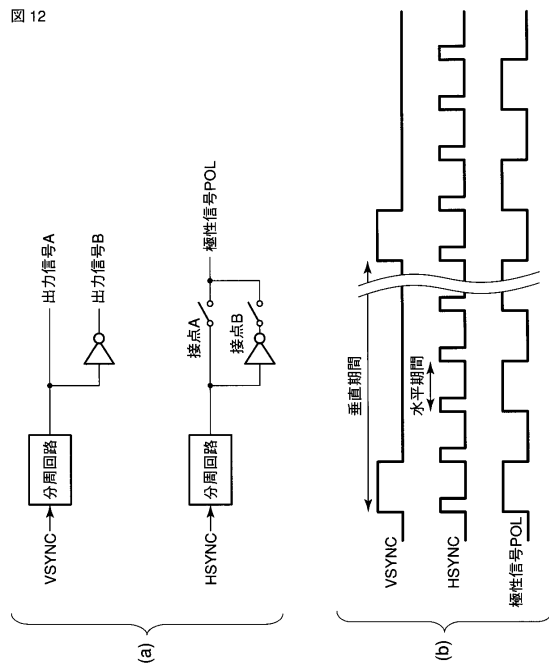


【図 11】



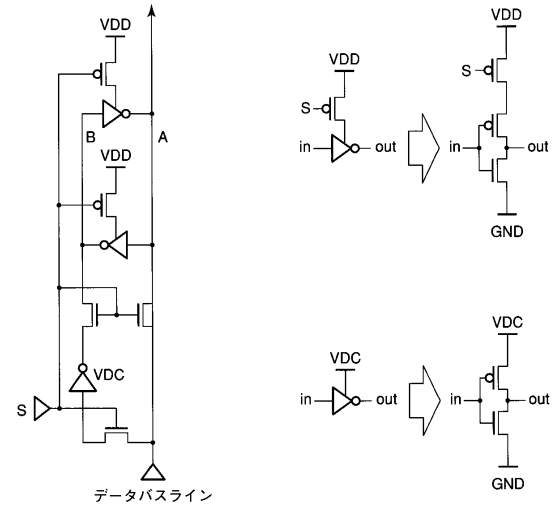
【図 12】

図 12



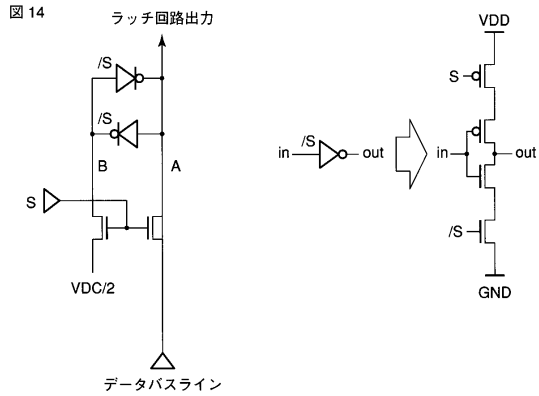
【図 13】

図 13 ラッチ回路出力



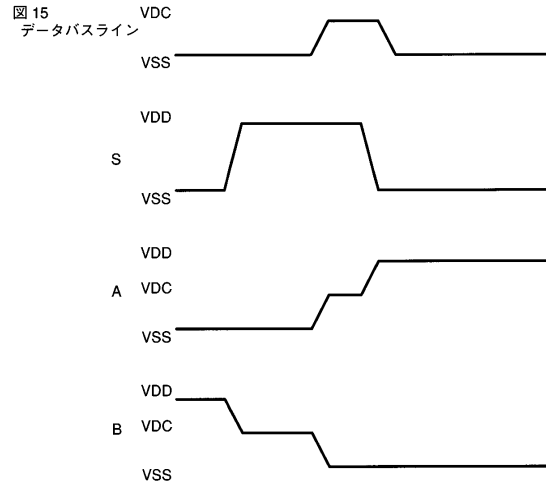
VDD=5V : 回路部の電源電圧
 VDC=3V : データバスラインのデジタルデータのHigh電圧
 S : デジタルデータのサンプリングタイミング信号

【図 14】



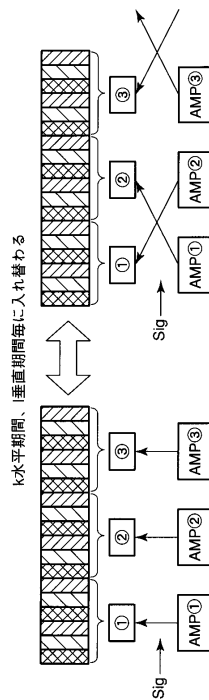
VDD=5V : 回路部の電源電圧
 VDD/2=1.5V : データバスラインのデジタルデータのHigh電圧の1/2の電圧
 S : デジタルデータのサンプリングタイミング信号
 /S : Sの逆相の信号

【図 15】



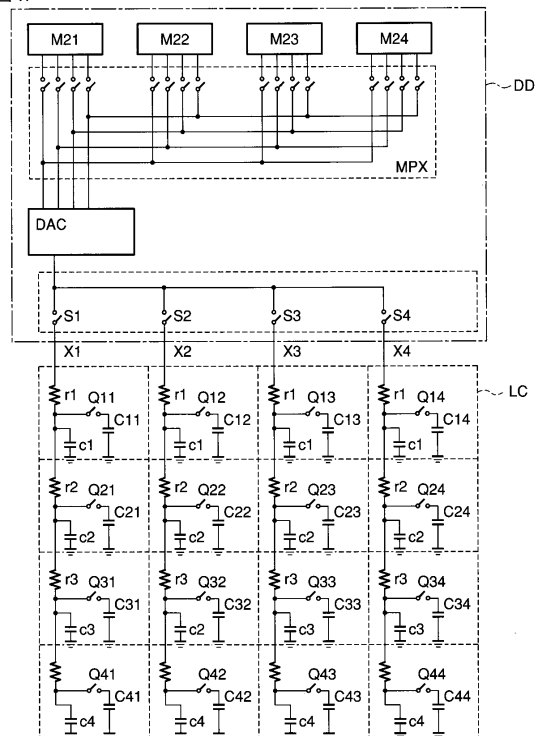
【図 16】

図 16



【図 17】

図 17



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 2 5
G 0 9 G	3/20	6 2 1 M

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100092196
弁理士 橋本 良郎
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 原田 賢治
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 綱島 貴徳
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 木村 裕之
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 重廣 浩二
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

審査官 中村 直行

(56)参考文献 特開 2 0 0 5 - 0 4 3 4 1 8 (J P , A)
特開 2 0 0 1 - 1 0 9 4 3 5 (J P , A)
特開 2 0 0 0 - 2 7 5 6 1 1 (J P , A)
特開平 1 1 - 2 4 9 6 2 9 (J P , A)
特開 2 0 0 7 - 0 7 2 4 7 8 (J P , A)
特開昭 6 4 - 0 4 2 0 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	液晶表示装置		
公开(公告)号	JP5244402B2	公开(公告)日	2013-07-24
申请号	JP2008004541	申请日	2008-01-11
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	原田賢治 網島貴徳 木村裕之 重廣浩二		
发明人	原田 賢治 網島 貴徳 木村 裕之 重廣 浩二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/027 G09G2310/0297 G09G2320/0223 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.642.A G09G3/20.623.F G09G3/20.623.B G09G3/20.641.C G02F1/133.550 G02F1/133.575 G02F1/133.505 G02F1/133.525 G09G3/20.621.M		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA43 2H093/NA53 2H093/NA57 2H093/NA63 2H093/NA64 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC28 2H093/NC34 2H093/NC35 2H093/ND05 2H093/ND06 2H093/ND09 2H093/ND15 2H093/ND35 2H193/ZA04 2H193/ZA07 2H193/ZC02 2H193/ZC04 2H193/ZC05 2H193/ZC15 2H193/ZC16 2H193/ZC17 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF03 2H193/ZF04 2H193/ZF05 2H193/ZF22 2H193/ZF34 2H193/ZF35 2H193/ZF36 5C006/AA16 5C006/AF83 5C006/BB16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
审查员(译)	中村直之		
其他公开文献	JP2009168931A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，即使在组合源极线和DAC的多路复用器驱动时，由于灰度电压产生电路引起的电压降，也能防止出现纵向条纹，不均匀等。解决方案：液晶显示装置具有多条源极线X和栅极Y线，以及对应于预定数量的源极线组而设置的多个驱动电路，并转换i位的视频信号（i：将 ≥ 2 ）的整数数据转换为模拟灰度信号并将其提供给各个源极线。每个驱动电路具有分时和选择视频信号的第一开关电路6，将所选视频信号转换为灰度信号的数模转换电路DAC，分时和提供时分的第二开关电路各个源极线的灰度信号和控制电路5通过（n）个水平周期和（m）个垂直周期（n，m： $\geq$ 的整数）不同地控制第二开关电路对各个源极线的供电顺序。1）。Ž

【 図 3 】

图 3

