

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4722260号
(P4722260)

(45) 発行日 平成23年7月13日(2011.7.13)

(24) 登録日 平成23年4月15日(2011.4.15)

(51) Int.Cl.

F I

G02F 1/1368 (2006.01)
G09F 9/00 (2006.01)
G09F 9/30 (2006.01)
H04N 5/66 (2006.01)

G O 2 F 1/1368
 G O 9 F 9/00 3 5 2
 G O 9 F 9/30 3 3 0 Z
 H O 4 N 5/66 1 0 2 Z

請求項の数 1 (全 17 頁)

(21) 出願番号 特願2000-208288 (P2000-208288)
 (22) 出願日 平成12年7月10日(2000.7.10)
 (65) 公開番号 特開2002-23195 (P2002-23195A)
 (43) 公開日 平成14年1月23日(2002.1.23)
 審査請求日 平成19年7月6日(2007.7.6)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100093506
 弁理士 小野寺 洋二
 (72) 発明者 米納 均
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディスプレイグループ内
 (72) 発明者 佐々木 亨
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディスプレイグループ内
 審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項1】

液晶を挟持した二枚の基板と、

前記基板の一方に形成した複数の走査線と前記走査線に交差する如く形成した複数の信号線と、

前記各走査線と各信号線が交差する表示領域に設けて単位画素のオン・オフを制御するスイッチング素子と、

前記一方の基板の端縁に設けて前記走査線に接続した走査線駆動回路および前記信号線に接続した信号線駆動回路とを具備する液晶表示素子であって、

前記信号線の延長方向に沿って、前記走査線の延長方向で隣接する二つの画素電極の端縁のそれぞれに絶縁膜を介して重畳すると共に、前記信号線の延長方向の両端で当該信号線の下層を絶縁膜を介して交差する交差部で連結した遮光電極とを有し、

前記信号線の断線を、当該断線した信号線と前記交差部の重なり部分とを電氣的に接続すると共に、前記遮光電極を前記スイッチング素子に接続しない一方と前記スイッチング素子に接続する他方とに電氣的に切り離して修正することを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示素子に係り、特に液晶表示素子を構成する基板に形成した走査線や信号線の断線や短絡を低減すると共に断線や短絡の修正による画素の輝度変化を防止する修

正配線を備えた液晶表示素子に関する。

【0002】

【従来の技術】

液晶パネルはガラスなどの透明板からなる2枚の基板の間に液晶層を挟持し、当該基板の内面に形成した画素形成電極間に選択的に電界を印加することにより、画像を表示するものである。

【0003】

液晶表示素子として様々な表示方式が提案され、製品化されているが、その中でも、高品質の画像表示が可能な薄膜トランジスタ型の液晶表示素子は、2枚の基板の一方に画素選択用のスイッチング素子（アクティブ素子）として薄膜トランジスタを有し、この薄膜トランジスタを駆動するための走査線、信号線を配線してある。

10

【0004】

高精細の画像を実現するためには、上記走査線や信号線の数が増大し、それらの配置密度も大となってくる。しかし、これらの配線密度の増大と共に、製造工程中での断線の発生頻度も多くなる。

【0005】

このような断線を修正するために、従来から修正用配線を具備させて断線部分を修復することが行われている。

【0006】

図16は従来の液晶表示素子における断線修正用配線の配置例を模式的に説明する平面図である。また、図17は走査線と信号線の交差部分に形成される画素の拡大平面図である。

20

【0007】

液晶表示素子PNLは下側基板である薄膜トランジスタ基板（以下、TFT基板と言う）SUB1と上側基板であるカラーフィルタ基板（以下、CF基板と言う）SUB2の間に図示しない液晶を挟持してある。TFT基板SUB1とCF基板SUB2の液晶と接する界面には、それぞれ液晶を初期配向させるための配向膜（液晶配向制御膜）が形成してある。

【0008】

TFT基板SUB1の内面には走査線（ゲート配線）GL、信号線（ドレイン配線）DLが敷設してあり、それぞれ走査線駆動回路（ゲート線駆動回路）GDR、信号線駆動回路DDRに接続されている。

30

【0009】

走査線GLと信号線DLの交差部には薄膜トランジスタTFTが形成してある。この薄膜トランジスタは実際には1画素あたり2個を隣接させて形成し、製造工程で一方が所定の特性を奏しないような場合のバックアップとして準備しておく。図17では説明を簡単にするため一個の薄膜トランジスタのみを示してある。

【0010】

また、CF基板SUB2の内面には多色（一般には赤R、緑G、青Bの3色）のカラーフィルタが形成してある。また、これらのカラーフィルタの間に遮光膜であるブラックマトリクスを備えたものもある。このカラーフィルタの上層すなわち液晶側には画素電極との間で液晶の配向方向を制御するための対向電極（共通電極）が形成してある。なお、上記の対向電極をTFT基板SUB1側に配置した、所謂横電界方式も知られている。

40

【0011】

1画素は一对の走査線GLと一对の信号線DLで囲まれた領域に形成される。薄膜トランジスタTFTは、走査線GLをゲート電極とし、信号線DLの一部を延ばしてドレイン電極SD2とし、両者の間にシリコン半導体層ASIを介在させている。画素領域には画素電極ITOが形成されており、薄膜トランジスタTFTとソース電極SD1で接続している。

【0012】

50

信号線DLに沿って画素電極ITOとの境界部分には遮光電極LSDが設けられている。この遮光電極LSDは液晶表示素子の背面に設置するバックライトからの光が信号線DLと画素電極ITOの境界部分から抜け出る、所謂光漏れを防止してコントラストの低下を抑制する機能を有する。

【0013】

図16に示した構成では、走査線駆動回路GDR、信号線駆動回路DDRは共に複数の半導体チップからなり、TFT基板SUB1の周辺に直接形成する、所謂チップ・オン・ガラス方式、フレキシブルプリント基板状に半導体チップを搭載してTFT基板SUB1に圧着するテープキャリアパッド方式などが知られている。

【0014】

このTFT基板SUB1の薄膜トランジスタTFTで構成される表示領域AR（画素領域または有効領域とも言う）を囲んで、かつCF基板SUB2の領域内に、当該表示領域ARを周回して修正用配線REPが設けられている。

【0015】

図18は図16の符号Aで囲んだ部分の模式断面図である。図中、TFT基板SUB2の内面には走査線GLが形成され、その上を絶縁膜（ゲート絶縁膜）GIを介して断線の修正用配線REPが形成されている。その最上層にはさらに絶縁膜（パッシベーション膜）15を形成してある。なお、信号線側の断面構造は、配線密度が走査線GL側よりも大であることを除いて、走査線側と略同様の構成であるので、図面による説明は省略する。

【0016】

図16に示した断線の修正用配線REPは、走査線あるいは信号線が断線した場合、断線した信号線または走査線の両側と修正用配線の交差部にレーザ光を照射して両者の間に介在している絶縁膜を排除し、両者を電氣的に接続させる。この修正用配線を通して信号を供給することで断線の修正を行う。

【0017】

なお、このような配線の欠陥修正のために走査線と信号線とは別個の修正用配線を用いる従来技術を開示したものとしては、特開平9-80470号公報を挙げることができる。

【0018】

また、図17で説明した遮光電極を備えた液晶表示素子は特開平11-212119号公報に開示されている。

【0019】

【発明が解決しようとする課題】

上記図16で説明した修正用配線を用いる従来技術では、修正用配線が走査線と信号線に多くの交差部で交差して形成され、薄膜で形成するこれらの修正用配線が走査線や信号線との乗り越え部が多くなるため、修正用配線と走査線または信号線との間で短絡が生じたり、あるいは修正用配線に断線が発生する場合がある。

【0020】

また、修正配線を基板上に薄膜電極として形成するため、その抵抗が大きく、断線を修正した部分の画素の輝度がその周囲と異なってしまう、表示画像の品質を劣化させる場合があるなど、解決すべき課題の一つとなっていた。

【0021】

本発明の目的は、上記従来技術における課題を解決し、製造工程における走査配線や信号配線の断線の修正を容易にすると共に、修正後の画素の輝度変化を防止した新規な構造を有する液晶表示素子を提供することにある。

【0022】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の手段は、走査電極および信号電極について、それぞれの表示領域の両側に修正用配線を設けると共に、当該修正用配線の外側に上記走査線用と信号線用の外部配線を設け、断線の修正時は断線した配線を前記外部配線で正常な配線に接続する構成とした。

10

20

30

40

50

【0023】

また、本発明の第2の手段は、上記修正用配線はTFT基板内に形成し、上記外部配線の一方または双方をCF基板の内面で表示領域の端部に形成し、信号線の断線の修正時には断線した配線を前記外部配線で正常な配線に接続する構成とした。

【0024】

さらに、本発明の第3の手段は、信号線の両側に沿って画素電極の境界に絶縁膜を介して重畳するように配置した遮光電極を備え、上記信号線の延長方向で上記画素電極の端部に上記遮光電極に絶縁膜を介して重なるように突出させた突出部を形成した。

【0025】

信号線が断線した場合に、上記突出部と上記遮光電極の重なり部分にレーザ光を照射して遮光電極と信号線とを電氣的に接続することにより、当該部分の信号線の断線を修正する構成とした。

10

【0026】

上記の突出部は、信号線の両側（走査線の延長方向で隣接する二つの画素側）に形成してもよいし、片側（走査線の延長方向で隣接する二つの画素の一方側）に形成してもよい。

【0027】

さらにまた、本発明の第4の手段は、上記信号線の延長方向の両側に形成する遮光電極を画素の端部において連結した形状に形成した。この連結部分は絶縁膜を介して信号線の下層を通して交差する。

【0028】

20

信号線が断線した場合に、上記遮光電極の連結部分の信号線にレーザ光を照射して絶縁膜を破壊して遮光電極と電氣的に接続する。また、一方の遮光電極は上記連結部で電氣的に切離して信号線の抵抗変化を防止する。これにより、切断した信号線は遮光電極で接続される。

【0029】

上述した本発明の第2及び第3の手段を信号線の断線修復に適用する場合、液晶表示素子を次のように構成することが推奨される。

【0030】

その一例は、液晶を挟持した一对の基板と、この一对の基板の一方の前記液晶に対向する面の上に第1の方向に延伸するように形成され且つこの第1の方向に交差する第2の方向に沿って並設された複数の走査線と、前記複数の走査線の上に形成された第1の絶縁膜と、前記第1の絶縁膜の上に前記第2の方向に延伸するように形成され且つ前記第1の方向に沿って並設された複数の信号線と、前記複数の走査線的一对と前記複数の信号線的一对とにより囲まれた夫々の領域に設けられた画素電極と、前記複数の信号線的一对の一方と前記画素電極との間に夫々設けられ且つ前記複数の走査線的一对の一方により制御されるスイッチング素子と、複数の走査線的一对の間を前記複数の信号線的一对の少なくとも一方に沿って延伸し且つ前記一对の基板の一方と前記第1の絶縁膜との間に形成された第1の導体層とを構成要素として備えた液晶表示素子において、前記複数の信号線的一对の少なくとも一方に前記第1の導体層に前記第1の絶縁膜を介して重なる少なくとも2つの突出部分を形成した構成である。

30

40

【0031】

また、別の一例は、上述の一例と同じ構成要素を備えた液晶表示素子において、前記第1の導体層に前記複数の信号線の少なくとも一方に前記第1の絶縁膜を介して重なる少なくとも2つの突出部分を形成した構成である。

【0032】

上述の構成要素を備えた液晶表示素子（液晶表示パネルともいう）では、前記複数の走査線の所定的一对と前記複数の信号線の所定的一对とにより囲まれた表示領域（画素ともいう）の形状は、リアルなカラー映像を表示するために前記第2の方向に沿った辺より前記第1の方向に沿った辺を小さく設計することが多い。従って、前記複数の信号線（映像信号線とも呼ばれる）の各々が形成される空間は、前記複数の走査線（ゲート信号線とも呼

50

ばれる)の各々が形成される空間に比べて狭く、その分信号線の幅を狭くせざるを得ない。このため、複数の信号線の断線確率は複数の走査線のそれに比べ高い。

【0033】

このような状況において、上述の前者の例に記した如く液晶表示素子を構成すれば、前記信号線の前記第1導体層に沿った部分で生じた断線を、この信号線に設けられた突出部分の前記第1導体層に重なる位置にレーザ光を照射して突出部分と第1導体層とを導通させることにより修復することができる(前記信号線の断線部分に代えて第1導体層で映像信号を伝送することができる)。また、上述の後者の例に記した如く液晶表示素子を構成すれば、前記信号線の前記第1導体層に沿った部分で生じた断線を、この信号線の断線部分を挟み且つ前記第1導体層の突出部分に重なる位置にレーザ光を照射して信号線と第1導体層とを導通させることにより修復することができる。いずれの例においても、信号線の断線が生じなければ、信号線と第1導体層とを電氣的に分離させたままにしてよい。また、上述の第1導体層を前記画素電極(ITOやIZO等の光透過性が60%以上の導電材料からなる)に比べて光透過性の低い金属や合金等の膜で形成し、これを前記第1の絶縁膜を介して前記画素電極の周縁部と重なるように設ければ、画素電極周縁部に発生する端電場による不測の光漏れを抑止することができる。

10

【0034】

昨今の液晶表示素子は、特開平9-33951号公報等の開示されるように前記複数の信号線の上に第2の絶縁膜を形成し、この上部に前記画素電極を形成する。画素電極は第2の絶縁膜に形成された開口を通して前記スイッチング素子の一端に接続される。この液晶表示装置において、前記第1の絶縁膜がゲート絶縁膜として知られるのに対し、前記第2の絶縁膜は保護膜又はパッシベーション膜として知られる。このように構成される液晶表示素子にも、上述の2つの構成のいずれもが適用できる。上述のレーザ光照射による断線修復を前記一对の基板の一方(TFT基板とも呼ばれる)の成膜プロセスが完了した後に行なう場合、前記信号線と前記第1の導体層とを導通させる上で、又はレーザ光照射における前記信号線又はその突出部分材料の拡散を抑える上で、前記第1の絶縁膜は前記第2の絶縁膜よりも薄く形成することが推奨される。また、上述の前者の例の場合、前記第1の導体層と前記信号線の突出部分とが重なる領域には、少なくとも前記画素電極に覆われない部分(レーザ光を通過させるための部分)を確保することが望ましい。

20

【0035】

なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能である。例えば、後述の実施例にて説明される液晶表示素子を上述した本発明の第2及び第3の手段に係る応用例のいずれかに即して、その形状を変えてもよい。

30

【0036】

【発明の実施の形態】

以下、本発明の実施の形態につき、実施例の図面を参照して詳細に説明する。

【0037】

図1は本発明による液晶表示素子の第1実施例の構成を模式的に示す平面図である。液晶表示素子PNLはTFT基板SUB1とCF基板SUB2の間に液晶を挟持してなる。

40

【0038】

TFT基板SUB1の内面には画素毎に薄膜トランジスタが形成してあり、この薄膜トランジスタのゲート電極に接続する多数の走査線(ゲート配線)GLと、この走査線GLと交差するように薄膜トランジスタのドレイン電極に接続する多数の信号線(ドレイン配線)DLが敷設されている。

【0039】

TFT基板SUB1のCF基板SUB2から外れた外縁には、複数の半導体チップで構成した走査線駆動回路GDR、および走査線駆動回路GDRを構成する半導体チップよりも多い数の半導体チップで構成した信号線駆動回路DDRが搭載されている。

【0040】

50

走査線 G L は走査線駆動回路 G D R に接続され、信号線 D L は信号線駆動回路 D D R に接続されて、所定の画素を構成する薄膜トランジスタをオン・オフさせる。

【0041】

なお、図示しないが、各走査線と各信号線が交差する表示領域 A R に設けた薄膜トランジスタのソース電極は画素領域の大部分を占める画素電極に接続され、この画素電極と C F 基板 S U B 2 側の対向電極との間に液晶の配向方向を制御する電界を形成する。

【0042】

本実施例では、T F T 基板 S U B 1 の内面、かつ C F 基板 S U B 2 の領域内、かつ表示領域 A R の外側において、走査線 G L および信号線 D L の両側にそれぞれ修正用配線（走査線の修正用配線 R E P 1 と信号線の修正用配線 R E P 2）を設けた。

10

【0043】

そして、当該修正用配線 R E P 1 と R E P 2 のそれぞれの外側で基板と独立させて、上記走査線用の外部配線 R R P 1 と信号線用の外部配線 R R P 2 を設け、断線の修正時は断線した走査配線 G L または信号配線 D L を修正用配線 R E P 1 または R E P 2 にレーザ光の照射で電氣的に接続し、外部配線 R R P 1 または R R P 2 で正常な配線に接続する構成とした。

【0044】

本実施例によれば、液晶表示素子の表示領域の外側に外部配線 R R P 1 または R R P 2 を設けたことによって走査線 G L や信号線 D L と各修正用配線 R E P 1、R E P 2 との交差部が前記した従来技術のものよりも少なくなる。したがって、修正用配線 R E P 1、R E P 2 の断線や走査線 G L や信号線 D L との短絡の発生が抑制される。その結果として、液晶表示素子の製造歩留りが向上する。

20

【0045】

図 2 は本発明による液晶表示素子の第 2 実施例の構成を模式的に示す平面図である。図 1 と同一符号は同一機能部分に対応する。本実施例では、走査線 G L および信号線 D L の修正用配線 R E P 1、R E P 2 を T F T 基板 S U B 1 側に形成し、これら修正用配線 R E P 1、R E P 2 を接続するための外部配線 R R P 1'、R R P 2' を C F 基板 S U B 2 の内面に形成した。

【0046】

修正用配線 R E P 1、R E P 2 と外部配線 R R P 1'、R R P 2' の接続は、T F T 基板 S U B 1 と C F 基板 S U B 2 を貼り合わせる工程で導電性ビーズ、あるいは導電性接着材を用いて電氣的に接続する。

30

【0047】

本実施例によれば、外部配線 R R P 1'、R R P 2' は T F T 基板 S U B 1 の内面よりも平坦な内面の C F 基板 S U B 2 側に形成するため、他の配線との交差による断線が無く、またこの外部配線 R R P 1'、R R P 2' は対向電極の形成工程で同時に形成することができるため、製造工程の工程数を増加させることがない。その結果として、液晶表示素子の製造歩留りが向上する。

【0048】

図 3 は本発明による液晶表示素子の第 3 実施例の構成を模式的に示す 1 画素付近の要部平面図である。本実施例の液晶表示素子は、走査線 G L と信号線 D L の交差部に薄膜トランジスタ T F T を備えている。

40

【0049】

薄膜トランジスタ T F T は、走査線 G L をゲート電極とし、その上層に形成した半導体層 A S I の上に信号線 D L から延びるドレイン電極 S D 2 を有し、画素電極 I T O とはソース電極 S D 1 で接続してある。

【0050】

信号線 D L の延長方向に沿って、その両側すなわち走査線 D L の延長方向で隣接する二つの画素電極 I T O の端縁のそれぞれに絶縁膜を介して重畳する遮光電極 L S D とを備えている。

50

【0051】

信号線DLの延長方向の両端では、画素電極ITOの端部（信号線DLと平行する端部）に沿って遮光電極LSDが絶縁膜（図示せず）を介して当該画素電極ITOの一部と重畳するごとく突出させた突出部DLPを備えている。

【0052】

図4は本発明による液晶表示素子の第3実施例において信号線DLに断線が生じた場合の修正構造を説明する1画素付近の要部平面図である。信号線DLに図示した断線DFが発生したとき、信号線DLの一对の突出部DLPにレーザ光を照射し、その溶接点SPWで遮光電極LSDと突出部DLPの間にある絶縁膜を破壊し、遮光電極LSDと突出部DLPを電氣的に接続する。これにより、信号線DLに遮光電極LSDでバイパスが形成される。

10

【0053】

遮光電極LSDの抵抗率を信号線GLのそれと同様にしておくことで、断線修正による抵抗変化が防止でき、当該画素のコントラストの変化を回避し、高品質の画像表示を得ることができる。

【0054】

なお、本実施例では、バイパスとして図中の右側の突出部を用いたが、左側の突出部を用いても同様の効果を得ることができる。

【0055】

図5は本発明による液晶表示素子の第4実施例の構成を模式的に示す1画素付近の要部平面図である。本実施例の液晶表示素子の構成は、信号線DLに形成する突出部の構造を除いて前記第3実施例と同様である。

20

【0056】

すなわち、本実施例の信号線DLには、対応する画素の画素電極ITO側にのみ突出部DLPを備えている。この突出部DLPは信号線DLの延長方向に沿って、その片側すなわち対応する画素電極ITOの端縁に絶縁膜を介して遮光電極LSDと重畳させてある。

【0057】

信号線DLに断線DFが生じた場合の修正構造は図4と同様であり、信号線DLの一对の突出部DLPにレーザ光を照射し、その溶接点SPWで遮光電極LSDと突出部DLPの間にある絶縁膜を破壊し、遮光電極LSDと突出部DLPを電氣的に接続する。これにより、信号線DLに遮光電極LSDでバイパスが形成される。

30

【0058】

遮光電極LSDの抵抗率を信号線GLのそれと同様にしておくことで、断線修正による抵抗変化が防止でき、当該画素のコントラストの変化を回避し、高品質の画像表示を得ることができる。

【0059】

図6は本発明による液晶表示素子の第5実施例の構成を模式的に示す1画素付近の要部平面図である。本実施例の液晶表示素子の構成は、信号線DLに沿って形成する遮光電極LSDの構造を除いて前記第3、第4実施例と同様である。

40

【0060】

信号線DLの延長方向に沿って、当該走査線の延長方向で隣接する二つの画素電極ITOの端縁のそれぞれに絶縁膜を介して重畳すると共に、前記信号線DLの延長方向の両端で当該信号線DLの下層を絶縁膜を介して交差する交差部CBで連結した遮光電極LSDを有している。

【0061】

図7は本発明による液晶表示素子の第5実施例において信号線DLに断線が生じた場合の修正構造を説明する1画素付近の要部平面図である。信号線DLに図示した断線DFが発生したとき、遮光電極LSDの交差部CB上の信号線DLにレーザ光を照射し、その溶接点SPWで遮光電極LSDと交差部CBの間にある絶縁膜を破壊し、遮光電極LSDと交差部CBを電氣的に接続する。これにより、信号線DLに遮光電極LSDでバイパスが形

50

成される。

【0062】

そして、遮光電極LSDの一方すなわち図の左側の画素電極側の遮光電極をレーザ光の照射で電氣的に切り離す。遮光電極LSDの抵抗率を信号線GLのそれと同様にしておくことで、バイパスとなる遮光電極LSDの抵抗を信号線DLと同等とすることができ、抵抗変化に起因する当該画素のコントラストの変化を回避し、高品質の画像表示を得ることができる。

【0063】

また、本発明の他の実施例として、図6における遮光電極LSDを信号線DLと画素電極の端縁にわたる一様な電極膜として形成することもできる。この場合、断線修正時に当該部分の遮光電極LSDの上記図の左側の画素電極側の遮光電極の領域を信号線DLに沿ってレーザ光で切断し、あるいは適当なトリミングを施すことでバイパスとなる遮光電極LSDの抵抗を信号線DLと同等とすることができ、抵抗変化に起因する当該画素のコントラストの変化を回避し、高品質の画像表示を得ることができる。

【0064】

次に、本発明を適用する液晶表示素子の詳細について図8～図15を参照して説明する。

【0065】

図8は液晶表示素子の等価回路の説明図である。液晶表示素子の表示領域AR内で、薄膜トランジスタTFTは隣接する2本の信号線DLと、隣接する2本の走査線GLとの交差領域に配置される。薄膜トランジスタTFTの信号電極と走査電極は、それぞれ信号線DLと走査線GLに接続される。G-1～Gend+1は走査線GLを走査線駆動回路（図ではゲートドライバとして示す。以降の説明でも同様）GDRに接続する引出し端子GTMを示す。同様に、DiR～Di+1Bは信号線DLを信号線駆動回路（図ではドレインドライバとして示す。以降の説明でも同様）に接続する引出し端子DTMを示す。

【0066】

PWUは電源および表示制御回路（図では、コントローラとして示す）であり、ホストらの表示データおよびクロック信号等を受けて走査線駆動回路GDRと信号線駆動回路DDRに表示のための各種信号と電圧を供給する。

【0067】

薄膜トランジスタTFTのソース電極は図中にR、G、Bで示した各色画素を構成する画素電極に接続され、画素電極と対向電極（図示せず）との間に液晶層が設けられているので、薄膜トランジスタTFTのソース電極との間には液晶容量（ C_{LC} ：図示せず）が等価的に接続される。

【0068】

薄膜トランジスタTFTは走査電極に正のバイアス電圧を印加すると導通し、負のバイアス電圧を印加すると不導通となる。また、薄膜トランジスタTFTのソース電極（正確には、ソース電極に接続した画素電極）と前ラインの走査線との間には、次の表示信号の書き込みがなされるまで表示信号を保持するための保持容量 C_{add} が接続される。

【0069】

なお、ソース電極、信号電極は本来その間のバイアス極性によって決まるもので、この液晶表示素子ではその極性は動作中反転するので、ソース電極、信号電極は動作中入れ替わるものと理解されたい。しかし、ここでは説明の便宜上、一方をソース電極、他方を信号電極と固定して説明する。

【0070】

図9は走査線駆動回路と信号線駆動回路に対する表示データとクロック信号の流れの説明図である。ホストから入力する表示データ（赤（R）、緑（G）、青（B））、制御信号クロック、表示タイミング信号、同期信号はコントローラCRRに入り、上記のように表示のための信号が生成されて走査線駆動回路GDRと信号線駆動回路DDRに供給される。

【0071】

信号線駆動回路 D D R の前段のキャリー出力は、そのまま次段の信号線駆動回路 D D R のキャリー入力に与えられる。

【0072】

図10は液晶表示素子の C F 基板側に形成した対向電極に印加される対向電圧と信号線に供給される信号電圧および走査線に供給される走査電圧のレベルとその波形図であり、信号電圧波形は黒表示のときを示す。

【0073】

薄膜トランジスタの走査電極に供給されるゲートオンレベル波形（直流）とゲートオフレベル波形は、 $-9\text{ V} \sim -14\text{ V}$ の間で変化し、 10 V でゲートオンする。信号電極波形（黒表示時）と対向電圧 V_{com} 波形は、約 $0\text{ V} \sim 3\text{ V}$ の間でレベル変化する。例えば、黒レベルの信号電圧波形を1水平期間（1 H）毎に変化させるため、論理処理回路で1ビットずつ論理反転を行い、信号線駆動回路に入力している。走査電極に印加されるゲートオフレベル波形は対向電圧 V_{com} と略同様の振幅と位相で動作する。

10

【0074】

図11は液晶表示素子の各駆動回路の概略構成と信号の流れを示すブロック図である。表示制御装置201、バッファ回路210は図9におけるコントローラ C R R に設けられ、ドレインドライバ211は信号線駆動回路 D D R に、ゲートドライバ206は走査線駆動回路 G D R に相当する。

【0075】

ドレインドライバ211は表示データのデータラッチ部と出力電圧発生回路とから構成される。また、階調基準電圧生成部208、マルチプレクサ209、コモン電圧生成部202、コモンドライバ203、レベルシフト回路207、ゲートオン電圧生成部204、ゲートオフ電圧生成部205、および D C - D C コンバータ212は図9の電源部 P W U に設けられる。

20

【0076】

図12は情報処理装置の本体コンピュータ（ホスト）からコントローラに入力される表示データおよびコントローラからドレインドライバ（すなわち信号線駆動回路）とゲートドライバ（すなわち走査線駆動回路）に出力される信号のタイミング図である。

【0077】

コントローラ C R R は本体（コンピュータ）からの制御信号（クロック信号、表示タイミング信号、同期信号）を受けて、ドレインドライバ D D R への制御信号としてクロック D 1（C L 1）、シフトクロック D 2（C L 2）および表示データを生成し、同時にゲートドライバ G D R への制御信号として、フレーム開始指示信号 F L M、クロック G（C L 3）および表示データを生成する。

30

【0078】

なお、本体からの表示信号の伝送に低電圧差動信号（L V D S 信号）を用いる方式では、本体からの L V D S 信号を液晶表示素子の走査線駆動回路近傍に設置される図示しないインターフェイス基板 P C B に搭載した L V D S 受信回路で元の信号に変換してから走査線駆動回路と信号線駆動回路に供給する。

【0079】

図12から明らかなように、ドレインドライバのシフト用クロック信号 D 2（C L 2）は本体から入力されるクロック信号（D C L K）および表示データの周波数と同じであり、X G A 表示素子では約 40 MHz の高周波となる。

40

【0080】

次に、本発明の液晶表示素子を用いた液晶表示装置とその実装機器の具体例について図13～図15を参照して説明する。

【0081】

図13は本発明の液晶表示素子を電子機器に搭載する液晶表示装置として各種部品と共に集積化した液晶表示モジュールの各構成部品を示す分解斜視図である。

【0082】

50

図13中、SHDは金属材の上フレーム、WDはその表示窓、PNLは液晶表示素子、SPSは光拡散板、GLBは導光体、RFSは反射板、BLはバックライト、MCAは下フレームであり、図に示すような上下の配置関係で各部材が積み重ねられて液晶表示モジュールMDLが組み立てられる。

【0083】

液晶表示モジュールMDLは上フレームSHDに設けられた爪と下フレームに形成したフックによって全体が固定されるようになっている。

【0084】

上フレームSHDの周辺には駆動回路基板（走査線側＝ゲート側回路基板、信号線側＝ドレイン側回路基板）PCB1、PCB2、インタフェース回路基板PCB3がテープキャリアパッドTCP1、TCP2、あるいはジョイナJN1、JN2、JN3で液晶パネルPNLおよび回路基板相互間が接続されている。

10

【0085】

下フレームMCAは、その開口MOにバックライトBLを構成する光拡散シートSPS、導光体GLB、反射板RFSを収納する形状になっている。

【0086】

なお、導光体GLBの側面には線状ランプ（蛍光管）LPが配置される。この線状ランプLPから出射される光を導光体GLB、反射板RFS、光拡散板SPSにより表示面で一様な照明光として液晶パネルPNL側に出射する。LSは蛍光管LPに備えた反射シートである。

20

【0087】

このバックライトBLと液晶パネルPNLの間には照明光に進路を調整するためのプリズムシートPRSが遮光スペーサILSを介して積層されている。

【0088】

図14は液晶表示素子をバックライトと共に上フレームと下フレームで一体化した液晶表示モジュールの外形構造の説明図であって、(A)は表示面側の平面図、(B)は左側側面図、(C)は右側側面図、(D)は上側側面、(E)は下側側面図を示す。

【0089】

同図において、ARは上フレームSHDの表示窓WDに露呈された表示領域、HLD1～4は取り付け穴、LCTは接続コネクタ、LPC1はランプケーブル、CT1はインタフェースコネクタである。

30

【0090】

この液晶表示モジュールは、上フレームSHDと下フレームMCAの2種類の収納・保持部材を用いて組み込まれ、取り付け穴HLD1～4でノートパソコンやモニター等の情報処理装置の表示部に実装される。

【0091】

取り付け穴HLD1とHLD2の間にある凹部にはバックライト用のインバータが組み込まれ、接続コネクタLCTとランプケーブルLPC1でバックライト組立体を構成する線状ランプ（蛍光管）に電力を供給する。なお、この例では蛍光管は液晶パネルPNLの裏下辺に組み込まれている。

40

【0092】

本体コンピュータ（ホスト）からの信号および必要な電源は裏面に位置するインタフェースコネクタCT1を介して供給される。

【0093】

図示の液晶表示モジュールは外径寸法が大きく、表示域ARも大きくなったにも係わらず、表示に寄与しない所謂額縁領域が小さい。さらに、重量も軽量化され、可搬型情報処理装置の可搬性を失うことなく見やすい大画面表示が得られる。

【0094】

図15は図14の液晶表示モジュールの実装例を説明するノート型コンピュータの斜視図である。このノート型コンピュータ（可搬型パソコン）はキーボード部（本体部）と、こ

50

のキーボード部にヒンジで連結した表示部から構成される。キーボード部にはキーボードとホスト（ホストコンピュータ）、CPU等の信号生成機能を収納し、表示部のケースCASEには液晶表示素子PNLの周辺に駆動回路基板FPC1、FPC2、コントロールチップTCONを搭載したPCB、およびバックライトを一体化した液晶表示モジュールと、バックライトの電源であるインバータ電源基板IVなどが実装される。

【0095】

そして、上記の液晶表示モジュールを構成する液晶表示素子は前記した実施例の何れかの断線・短絡修正構造あるいは断線修正構造を有することで、製造工程における配線の断線に対して容易かつ確実に対応でき、結果として製造歩留りが向上し、高品質の画像表示を可能とする。

【0096】

【発明の効果】

以上説明したように、本発明によれば、製造工程における走査配線や信号配線の断線を容易かつ確実に修正することができ、修正後の画素の輝度変化を防止して高品質の画像表示を可能とした液晶表示素子を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示素子の第1実施例の構成を模式的に示す平面図である。

【図2】本発明による液晶表示素子の第2実施例の構成を模式的に示す平面図である。

【図3】本発明による液晶表示素子の第3実施例の構成を模式的に示す1画素付近の要部平面図である。

【図4】本発明による液晶表示素子の第3実施例において信号線DLに断線が生じた場合の修正構造を説明する1画素付近の要部平面図である。

【図5】本発明による液晶表示素子の第4実施例の構成を模式的に示す1画素付近の要部平面図である。

【図6】本発明による液晶表示素子の第5実施例の構成を模式的に示す1画素付近の要部平面図である。

【図7】本発明による液晶表示素子の第5実施例において信号線DLに断線が生じた場合の修正構造を説明する1画素付近の要部平面図である。

【図8】液晶表示素子の等価回路の説明図である。

【図9】走査線駆動回路と信号線駆動回路に対する表示データとクロック信号の流れの説明図である。

【図10】液晶表示素子の各駆動回路の概略構成と信号の流れを示すブロック図である。

【図11】液晶表示素子の各駆動回路の概略構成と信号の流れを示すブロック図である。

【図12】情報処理装置の本体コンピュータ（ホスト）からコントローラに入力される表示データおよびコントローラからドレインドライバ（すなわち信号線駆動回路）とゲートドライバ（すなわち走査線駆動回路）に出力される信号のタイミング図である。

【図13】本発明の液晶表示素子を電子機器に搭載する液晶表示装置として各種部品と共に集積化した液晶表示モジュールの各構成部品を示す分解斜視図である。

【図14】液晶表示素子をバックライトと共に上フレームと下フレームで一体化した液晶表示モジュールの外形構造の説明図である。

【図15】図14の液晶表示モジュールの実装例を説明するノート型コンピュータの斜視図である。

【図16】従来の液晶表示素子における断線修正用配線の配置例を模式的に説明する平面図である。

【図17】走査線と信号線の交差部分に形成される画素の拡大平面図である。

【図18】図16の符号Aで囲んだ部分の模式断面図である。

【符号の説明】

PNL・・・液晶表示素子、SUB1・・・下側基板である薄膜トランジスタ基板（TFT基板）、SUB2・・・上側基板であるカラーフィルタ基板（CF基板と言う）、GL・・・走査線（ゲート配線）、DL・・・信号線（ドレイン配線）、GDR・

10

20

30

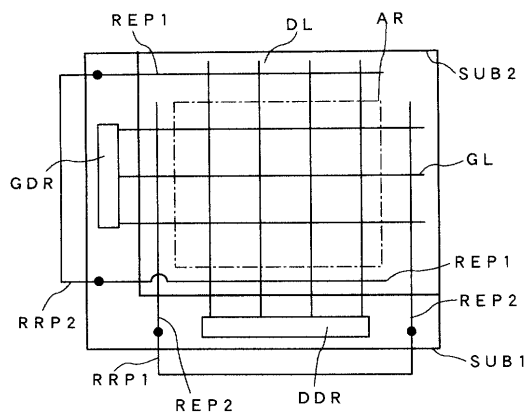
40

50

・・・走査線駆動回路（ゲート線駆動回路）、DDR・・・信号線駆動回路、TFT・
 ・・・・薄膜トランジスタ、REP1，REP2・・・修正配線、RRP1，RRP2・
 ・・・・外部配線、AR・・・表示領域、LSD・・・遮光電極、DLP・・・突出
 部、SPW・・・溶接点、DF・・・断線部、CB・・・交差部。

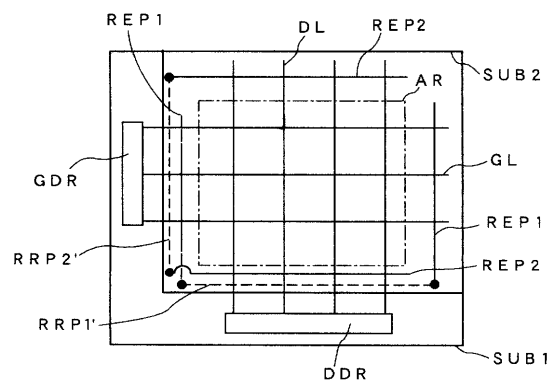
【図1】

図1



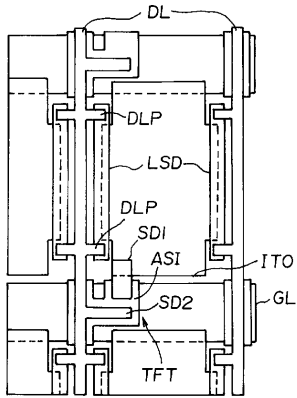
【図2】

図2



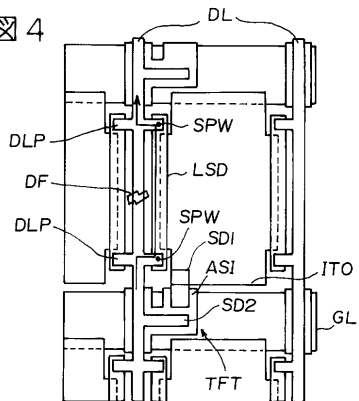
【図 3】

図 3



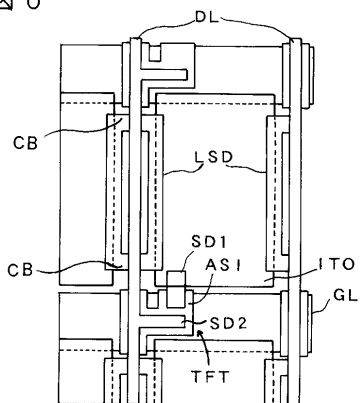
【図 4】

図 4



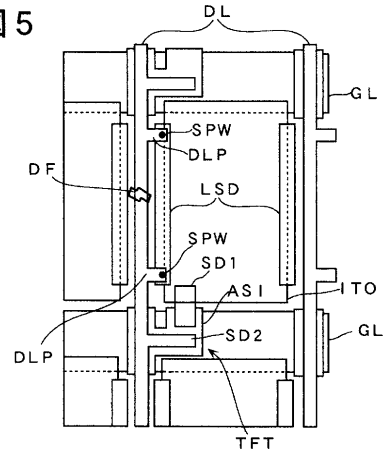
【図 6】

図 6



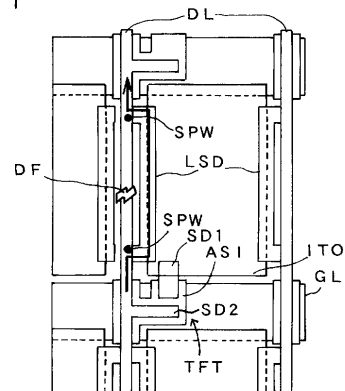
【図 5】

図 5



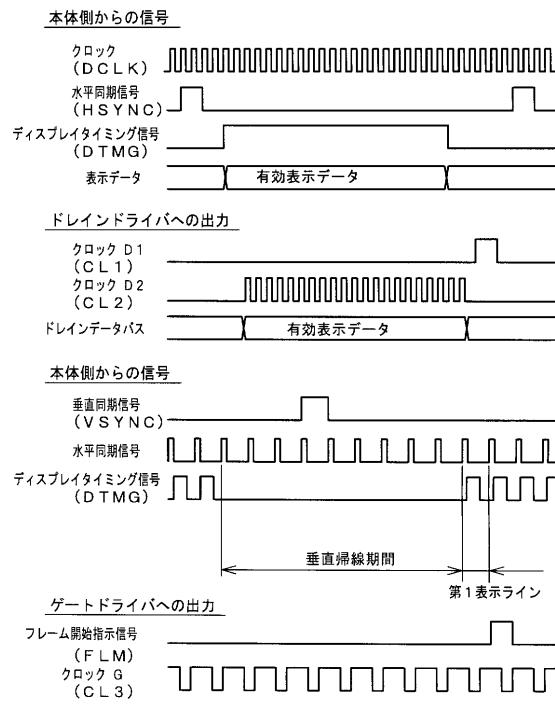
【図 7】

図 7



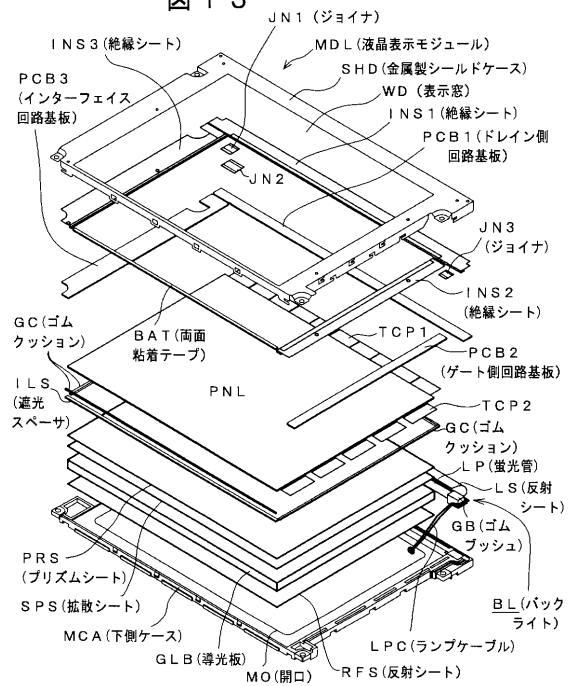
【図 1 2】

図 1 2



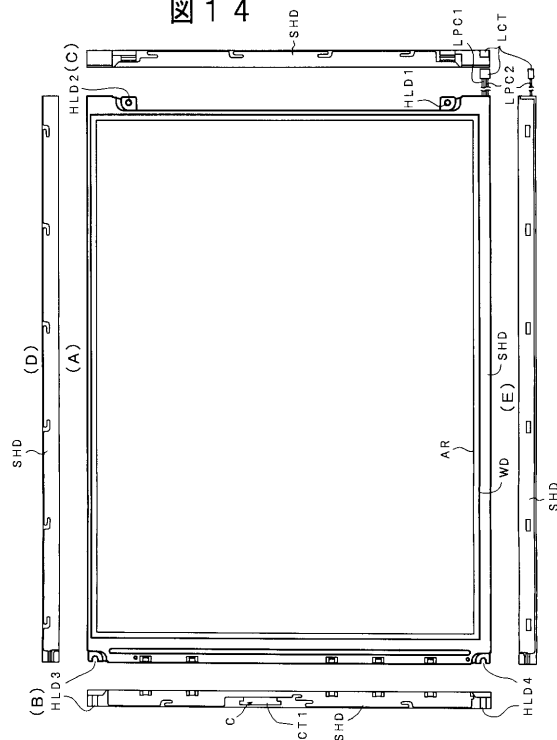
【図 1 3】

図 1 3



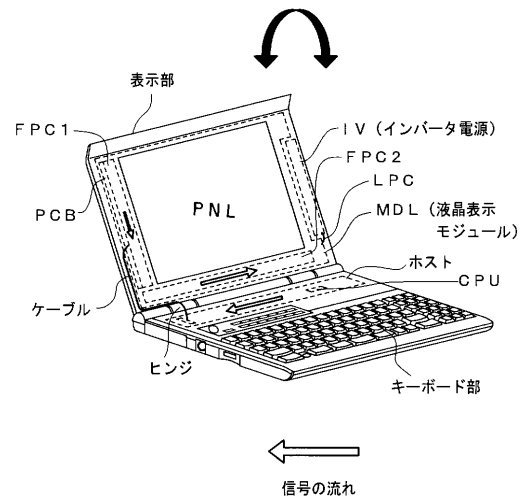
【図 1 4】

図 1 4



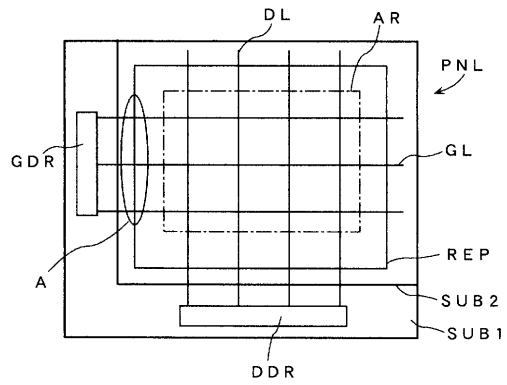
【図 1 5】

図 1 5



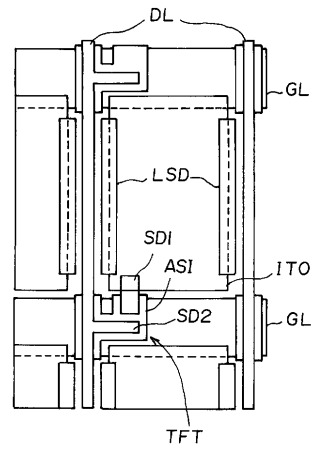
【図16】

図16



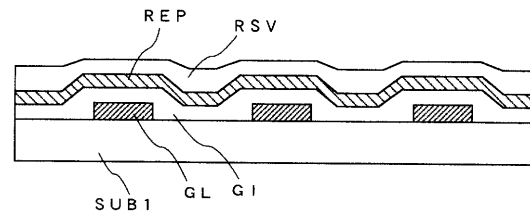
【図17】

図17



【図18】

図18



フロントページの続き

- (56)参考文献 特開平11-202364 (JP, A)
特開平10-268354 (JP, A)
特開平11-064876 (JP, A)
特開平10-026771 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G09F 9/00
G09F 9/30
H04N 5/66

专利名称(译)	液晶显示元件		
公开(公告)号	JP4722260B2	公开(公告)日	2011-07-13
申请号	JP2000208288	申请日	2000-07-10
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	米納均 佐々木亨		
发明人	米納 均 佐々木 亨		
IPC分类号	G02F1/1368 G09F9/00 G09F9/30 H04N5/66 G02F1/136		
FI分类号	G02F1/1368 G09F9/00.352 G09F9/30.330.Z H04N5/66.102.Z G02F1/136.500 G09F9/30.330		
F-TERM分类号	2H092/GA38 2H092/GA59 2H092/JA24 2H092/JA29 2H092/JB54 2H092/JB56 2H092/JB73 2H092/MA47 2H092/MA52 2H092/NA15 2H092/NA16 2H092/NA29 2H092/PA08 2H092/PA12 2H092/PA13 2H192/AA24 2H192/CB05 2H192/CB45 2H192/CB46 2H192/CC04 2H192/CC57 2H192/DA02 2H192/EA04 2H192/FB22 2H192/GA41 2H192/GA42 2H192/GD32 2H192/GD61 2H192/HB37 2H192/HB49 2H192/HB50 5C058/AA06 5C058/AB06 5C058/BA32 5C094/AA07 5C094/AA08 5C094/AA42 5C094/AA43 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB02 5C094/DB04 5C094/DB05 5C094/DB08 5C094/EA04 5C094/EA05 5C094/EB02 5C094/ED03 5C094/ED15 5C094/FA01 5C094/FA02 5C094/FB12 5C094/FB15 5C094/GB10 5G435/AA17 5G435/BB12 5G435/BB15 5G435/CC09 5G435/CC12 5G435/EE02 5G435/EE27 5G435/EE37 5G435/FF05 5G435/FF13 5G435/HH12 5G435/HH14 5G435/KK05 5G435/KK10		
代理人(译)	小野寺杨枝		
其他公开文献	JP2002023195A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了便于校正制造过程中扫描布线和信号布线的断开，并防止校正后像素的亮度发生变化。解决方案：在扫描电极GL和信号电极DL中，校正布线REP1和REP2安装在显示区域AR的两侧，并且用于扫描线和信号线的外部布线RRP1和RRP2安装在校正布线的部外。在校正断开的情况下，断开的配线通过外部配线连接到正常配线。

图 1

