

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4647843号
(P4647843)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 8 (全 31 頁)

(21) 出願番号	特願2001-196019 (P2001-196019)	(73) 特許権者	000005108
(22) 出願日	平成13年6月28日 (2001.6.28)		株式会社日立製作所
(65) 公開番号	特開2003-15155 (P2003-15155A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成15年1月15日 (2003.1.15)	(74) 代理人	100083552
審査請求日	平成20年3月3日 (2008.3.3)		弁理士 秋田 収喜
		(72) 発明者	河内 玄士朗
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内
		(72) 発明者	佐藤 秀夫
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内
		(72) 発明者	宮沢 敏夫
			千葉県茂原市早野3300番地 株式会社
			日立製作所 ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1の基板と、第2の基板と、前記第1の基板と前記第2の基板との間に挟持された液晶とを有する液晶表示装置であって、

前記第1の基板は、各画素領域に、導電性の反射膜と、前記反射膜の上に設けられた絶縁膜と、前記絶縁膜の上に設けられた透光性の画素電極と、前記絶縁膜の上に設けられた透光性の対向電極とを有し、

前記液晶は、前記第1の基板の前記画素電極と、前記第1の基板の前記対向電極との間の電位差によって発生する電界により駆動され、

前記反射膜は、平面的に見たとき、前記画素電極と前記対向電極との両方に重畳しており、

前記反射膜は、前記各画素領域に対応して配置されたスイッチング素子を介して電位が供給されることを特徴とする液晶表示装置。

【請求項 2】

前記反射膜は、前記画素領域の一部に形成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記反射膜は、前記画素領域の全域に形成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項 4】

10

20

前記反射膜は、M o 層の上に A l 層が形成された 2 層の膜であることを特徴とする請求項 1 から 3 の何れかに記載の液晶表示装置。

【請求項 5】

前記画素電極は、I T O で形成されていることを特徴とする請求項 1 から 4 の何れかに記載の液晶表示装置。

【請求項 6】

前記対向電極は、I T O で形成されていることを特徴とする請求項 1 から 5 の何れかに記載の液晶表示装置。

【請求項 7】

前記対向電極は、前記絶縁膜の表面に接していることを特徴とする請求項 1 から 6 の何れかに記載の液晶表示装置。

10

【請求項 8】

前記対向電極は、前記第 1 の基板のみに形成されていることを特徴とする請求項 1 から 7 の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に、アクティブ・マトリクス型と称される液晶表示装置に関する。

【0002】

20

【従来の技術】

液晶表示装置は薄型、軽量、低消費電力といった特長を生かして、パーソナルコンピュータに代表される情報機器や携帯型の情報端末や携帯電話、デジタルカメラやカメラ一体型 V T R 機器等のビジュアル機器の画像情報、文字情報の表示機器として広く用いられている。

【0003】

近年、D V D の登場、大容量磁気ドライブの急速な進化による大容量メディアの普及や B S デジタル放送の開始に伴い、パーソナルコンピュータと映像デジタルメディアの融合が進んでおり、このような用途に対応できる高画質の画像表示装置への要求が強くなっている。

30

【0004】

インプレーンスイッチング (I P S) モードの液晶ディスプレイは、このような高い画質に対する要求を満たすことが可能な表示方式であることが認められており、その画質の更なる改善に向けてさまざまな改良がなされてきた。

【0005】

ここで、I P S モードの液晶ディスプレイとは、液晶を介して対向配置される基板のうちの一方の基板の液晶側の画素領域に、画素電極とこの画素電極との間に電界を発生せしめる対向電極とが設けられ、該電界のうち基板とほぼ平行な成分によって液晶の光透過率を制御する構成となっているものである。

【0006】

40

一方、携帯電話、携帯情報端末の普及に伴い、消費電力の極めて小さな中小型の液晶表示装置に対する要求も強くなっている。

【0007】

I P S モードの液晶表示装置では、たとえば特開平 7 - 3 6 0 5 8 号に開示されているように、絶縁膜を介した異なる層の金属電極間に発生する横電界により液晶をスイッチングする方式がもっとも一般的であるが、このような構造は、通常の T N 方式の表示装置に比べ、画素開口率を大きくすることが困難で、光利用効率が低いという不都合がある。

【0008】

これを補うために、バックライト輝度を増大させねばならず、L C D モジュール全体としてノートブックタイプのパーソナルコンピュータや携帯端末に要求されるような低消費電

50

力化は困難であった（以下、第１の従来技術と称する）。

【０００９】

また、上記従来方式の画素構成では開口率を大きくするためにはそれぞれの電極間の間隔を大きくすることが必要であるが、電極間隔を広くすると駆動電圧が上昇し、ドライバＬＳＩの消費電力が増大してしまう。よって、ＩＰＳモードＬＣＤの低消費電力化は従来の技術では達成は困難であった。

【００１０】

このような問題を解決するため、たとえば特開平１１－３０６３８３号では、平面状の透明電極とこれと異層化されて上方に形成された透明電極よりなる櫛歯状電極との間に発生するフリンジ電界により液晶を駆動することにより画素開口率を向上させる方式が知られている（以下、第２の従来技術と称する）。

10

【００１１】

また、駆動電圧を低減する方法として、たとえば特開平６－１４８５９６号では、画素に液晶駆動電極を接続した２個のトランジスタを設けてこれらを差動駆動することにより駆動電圧を低減する方式が開示されている（以下、第３の従来技術と称する）。

【００１２】

【発明が解決しようとする課題】

まず、第１の従来技術の問題点は、すでに述べたように、液晶駆動電極に絶縁膜を介した異なる層の金属電極を用いたため開口率の拡大が困難で低消費電力化は達成できない。

【００１３】

20

第２の従来技術においては、開口率の向上は明らかであるが、従来の方式に比べ、残像の発生が顕著であり、高画質化達成が困難であった。また、工程中に各層の透明電極を形成する必要があるため、工程が複雑になりコスト低減が困難である。

【００１４】

第３の従来技術においては、液晶駆動部では低駆動電圧化は達成できるが、２本の信号線の間で差動電圧を供給するようにドライバＬＳＩの前段で画像データを変換する必要があるため、このための回路が複雑になりコストアップになる。また、この変換回路内部での電圧のダイナミックレンジが通常の駆動の場合よりも反って大きくなり、したがってこの部分で消費電力が大きくなってしまい、モジュール全体での低消費電力化が達成できない。

【００１５】

30

以上のように従来の技術、あるいはその組み合わせでは、低消費電力が要求される機器へのＩＰＳモード液晶の適用は困難であった。

本発明は、このような従来技術の問題点を解決し、たとえばノートブックタイプのパーソナルコンピュータや携帯端末に適した広視野角液晶表示装置を提供することを目的とする。

【００１６】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【００１７】

40

手段１．

少なくとも一方が透明な一対の基板と、この基板に挟持された液晶層を有する液晶表示装置であって、前記一対の基板の一方の基板は少なくともその主表面が絶縁性であって、前記絶縁性の主表面に形成された複数の走査電極と、

前記複数の走査電極に交差するように形成された複数の信号電極と、

複数の共通電極と、

前記複数の信号電極と複数の走査電極の交差点近傍に形成された複数の薄膜トランジスタと、

隣接する２本の走査電極と隣接する２本の信号電極によって規定される画素領域内に前記薄膜トランジスタの各々に接続され配置された液晶駆動電極と、

50

前記画素領域内に配置された光反射層とを有し、前記液晶駆動電極に与える電圧によって前記液晶層を駆動する機能を有する液晶表示装置において前記光反射層と前記共通電極とこれらの間に挟持された絶縁層により電荷保持容量を形成した。

また、前記光反射層と前記液晶駆動電極は第2の絶縁層により異層化した。

また、前記液晶駆動電極を透明導電膜により構成した。

【0018】

手段2.

少なくとも一方が透明な一对の基板と、この基板に挟持された液晶層を有する液晶表示装置であって、前記一对の基板の一方の基板は少なくともその主表面が絶縁性であって、前記絶縁性の主表面に形成された複数の走査電極と、

10

前記複数の走査電極に交差するように形成された複数の信号電極と、

前記複数の信号電極と複数の走査電極の交差点近傍に形成された複数の薄膜トランジスタと、

隣接する2本の走査電極と隣接する2本の信号電極によって規定される画素領域内に前記薄膜トランジスタの各々に接続され配置された液晶駆動電極と、

前記画素領域内に配置された光反射層とを有し、前記液晶駆動電極に与える電圧によって前記液晶層を駆動する機能を有する液晶表示装置において前記光反射層と前記液晶駆動電極とこれらの間に挟持された絶縁層により電荷保持容量を形成した。

【0019】

また、前記光反射層は共通電極を兼ね、前記走査電極と交差するよう配置した。

20

また、前記液晶駆動電極を透明導電膜により構成した。

また、前記光反射層と前記液晶駆動電極に挟持される絶縁層をカラーレジストにより構成した。

また、前記光反射層と前記液晶駆動電極に挟持される絶縁層は、反射光を拡散するように所定のパターンにパターニングした。

【0020】

手段3.

少なくとも一方が透明な一对の基板と、この基板に挟持された液晶層を有する液晶表示装置であって、前記一对の基板の一方の基板は少なくともその主表面が絶縁性であって、前記絶縁性の主表面に形成された複数の走査電極と、

30

前記複数の走査電極に交差するように形成された複数の信号電極と、

複数の共通電極と、

前記複数の信号電極と複数の走査電極の交差点近傍に形成された複数の薄膜トランジスタと、

隣接する2本の走査電極と隣接する2本の信号電極によって規定される画素領域内に前記薄膜トランジスタの各々に接続され配置された透明導電膜よりなる液晶駆動電極と、前記画素領域内に配置された光反射層とを有し、前記液晶駆動電極に与える電圧によって前記液晶層を駆動する機能を有する液晶表示装置において前記光反射層によって規定される反射表示領域は隣接する2本の信号電極の間の略中央部に配置され、前記反射表示領域と隣接する信号電極の間の領域をもって透過表示領域を規定した。

40

【0021】

光反射層と共通電極とこれら間に挟持された絶縁層により電荷保持容量を形成することにより、画素全体の開口率に影響を与えることなく、必要十分な容量値を確保できる。

【0022】

液晶駆動電極を透明導電膜で構成し、光反射層と液晶駆動電極を絶縁層により異層化することで、光反射層と液晶駆動電極の間で電荷保持容量を形成することが可能になり画素全体の開口率に影響を与えることなく、必要十分な容量値を確保できる。

【0023】

また、光反射層と液晶駆動電極を異層化する絶縁層としてカラーレジストを用いてカラーフィルタの機能を持たせることにより、対向基板との位置合わせずれに起因する開口率の

50

低下を防止できる。

【 0 0 2 4 】

光反射層と液晶駆動電極により電荷保持容量を構成する際に、光反射層を共通電極として用い、信号電極と平行な方向に延伸して配置することにより、共通電極一本あたりの負荷容量を共通電極を走査電極と平行に延伸させた場合に比べ小さくすることができる。

【 0 0 2 5 】

このことは、携帯電話、携帯情報機器用として用いられる低消費電力LCDを前提とすると大きな差となる。低消費電力化するためには、供給する電源電圧を低電圧化することが必須である。

【 0 0 2 6 】

液晶層に印可する駆動電圧を下げるためには、対向基板上のコモン電極の電圧を一定値ではなく液晶駆動電極の電圧波形と同期させて駆動する、いわゆるコモン反転駆動方式を採用することが有効である。

【 0 0 2 7 】

電荷保持容量を有する画素で構成されるLCDに対してコモン反転駆動で液晶層に正しい駆動電圧を供給するためには、電荷保持容量の共通電極も、対向基板のコモン電極と同時に駆動しなければならない。

【 0 0 2 8 】

線順次走査によるコモン反転駆動において選択されている走査線に着目すると、共通電極を走査電極と平行に延伸させた場合には、選択されている走査線に対応する共通電極を入力側から見た負荷容量は選択走査線に接続された1ライン分の画素の電荷保持容量と液晶層容量および共通電極と信号電極の交差容量の和になる。

【 0 0 2 9 】

また、非選択走査線に対応する共通電極の一本あたりの容量は第0近似では共通電極と信号電極の交差容量の和で与えられる。この容量は選択されている走査線に対応する共通電極の容量に比べると非常に小さい値である。

【 0 0 3 0 】

一方、共通電極を信号電極と平行な方向に延伸して配置した場合には、共通電極一本あたりの容量は、共通電極と走査電極の交差容量と選択された画素1個分の電荷保持容量と液晶層容量の和になり、すべての共通電極で等しい。

【 0 0 3 1 】

共通電極全体の容量は共通電極を延伸させる方向によらず等しいが、共通電極を走査電極と平行に延伸させた場合には、共通電極の容量の内選択走査線に対応する共通電極の容量が非選択走査線に対応する他の共通電極に比べて大きいため、共通電極の抵抗値が十分小さくない場合、信号遅延により横方向のシャドウイングが発生し画質不良になる可能性がある。

【 0 0 3 2 】

一方、共通電極を信号電極と平行な方向に延伸して配置した場合には共通電極一本あたりの容量はすべての共通電極で等しく、小さな値になる。このため、上記のような信号遅延による画質問題は発生しない。

本発明のその他の特徴は以下の実施の形態から明らかとなるであろう。

【 0 0 3 3 】

【 発明の実施の形態 】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

《 画素の構成 》

実施例 1 .

図1は、それぞれ本発明による液晶表示装置の単位画素の一実施例を示す平面である。液晶表示装置の液晶表示部はマトリクス状に配置された多数の画素から構成され、単位画素はそのうちの1つの画素となる。したがって、図1に示す単位画素の上下および左右のそれぞれの単位画素も同様の構成となっている。

10

20

30

40

50

【 0 0 3 4 】

そして、図 2 の右、中、左の各図は、それぞれ図 1 中 A - A'、C - C'、B - B' 部における断面を示す。また、図 3 は画素アレイ部の等価回路を示す。

【 0 0 3 5 】

全体は歪点約 670 の無アルカリガラス基板 1 上に膜厚 50 nm の Si_3N_4 膜 200 と膜厚 120 nm の SiO_2 膜 2 からなるバッファ絶縁膜の上に形成されている。バッファ絶縁膜はガラス基板 1 からの Na 等の不純物の拡散を防止する役割を持つ。

【 0 0 3 6 】

前記 SiO_2 膜 2 上には、2 個の薄膜トランジスタ TFT に対応する 2 つの膜厚 50 nm の多結晶 Si (以下 poly-Si と記す) 膜 30 が形成され、各々の poly-Si 30 上には SiO_2 からなるゲート絶縁膜 20 を介して Mo よりなる走査配線電極 10 が形成されている。また、前記走査配線電極 (ゲート信号線) 10 と同じ Mo を用いて第 2 の信号配線電極 (基準電圧信号線) 11 が形成されている。

10

【 0 0 3 7 】

上記部材全部を覆うように SiO_2 からなる層間絶縁膜 21 が形成され、層間絶縁膜 21 に設けたコンタクトスルーホールを介して、Mo / Al / Mo の 3 層金属膜よりなる第 1 の信号配線電極 (ドレイン信号線) 12 およびソース電極 13 が一方の poly-Si 層の一部に設けられたソース、ドレイン層に接続されている。

【 0 0 3 8 】

また、層間絶縁膜 21 に設けたコンタクトスルーホールを介して、Mo / Al / Mo の 3 層金属膜よりなる接続電極 16 が他方の poly-Si 層の一部に設けられたソース、ドレイン層の一方と前記第 2 の信号配線電極 11 とに接続され、ソース、ドレイン層の他方には Mo / Al / Mo の 3 層金属膜よりなる第 2 のソース電極 13' が層間絶縁膜 21 に設けたコンタクトスルーホールを介して接続されている。

20

【 0 0 3 9 】

Mo / Al / Mo の 3 層金属膜の内、Al の下層の Mo 膜は poly-Si 膜と Al の間のコンタクト抵抗を、Al の上層の Mo 膜はソース電極と画素電極の間のコンタクト抵抗を低減するために設けている。

【 0 0 4 0 】

これらの素子全体は、膜厚 400 nm の Si_3N_4 からなる保護絶縁膜 22 と膜厚 2 μm のアクリル系樹脂を主成分とする有機保護膜 23 により被覆されている。

30

【 0 0 4 1 】

さらに一方の薄膜トランジスタ TFT のソース電極 13 には保護絶縁膜 22 および有機絶縁膜 23 に設けたコンタクトスルーホールを介してインジウム - スズ酸化物 (ITO) よりなる第 1 の画素電極 14 が接続され、他方の薄膜トランジスタ TFT の第 2 のソース電極 13' には保護絶縁膜 22 および有機絶縁膜 23 に設けたコンタクトスルーホールを介して ITO よりなる第 2 の画素電極 (対向電極) 15 が接続されている。

【 0 0 4 2 】

前記第 1 の画素電極 14 と第 2 の画素電極 15 は図 1 の平面図に示すように、互いに交差する 2 つの櫛歯状の電極として構成される。この場合、走査配線電極 (ゲート信号線) 10 と第 1 の信号配線電極 (ドレイン信号線) とで囲まれる領域のうち実質的に画素領域として機能するのは該領域の周辺を除く部分 (液晶を介して対向する他の基板の液晶側の面に形成されるブラックマトリクスの開口部に相当する) となるので、この画素領域にて前記第 1 の画素電極 14 と第 2 の画素電極 15 はそれらの並設方向に交互に配列された状態となる。

40

【 0 0 4 3 】

また、図 3 に示すように、前記 2 本の信号配線電極の内、第 1 の信号配線電極 12 は走査配線電極 10 と交差するように形成され、第 2 の信号配線電極 11 は走査配線電極 10 と平行に配置されている。第 1 の信号配線電極 12 に供給された電圧は第 1 の薄膜トランジスタ TFT を介して前記第 1 の画素電極 14 に印加され、第 2 の信号配線電極 11 に供給

50

された電圧は、第2の薄膜トランジスタTFTを介して前記第2の画素電極に印加され、液晶はこれらの2つの画素電極間に発生する電界により駆動される。

【0044】

このように構成された液晶表示装置は、第1および第2の信号配線電極に差動電圧を印加することにより、各々の画素電極に印加される電圧を通常の1/2に低減できる。

【0045】

また、2つの画素電極を透明電極であるITOで構成し、かつ、幅4μmの互いに交差する櫛歯状電極とすることで、駆動電圧を低減できる。

【0046】

また、電極が透明であることから、電極上の液晶が電極の端部から1.5~2μm内側までフリンジ電界により駆動され、開口部と同等に働くため、実効的な開口率が向上し、光利用効率が向上する。

これらの効果により、LCDモジュール全体の消費電力を低減できる。

【0047】

実施例2.

図4は本発明による液晶表示装置の単位画素の一実施例を示す平面図で、図1と対応した図となっている。図5の右、中、左の各図はそれぞれ、図4中A-A'、C-C'、B-B'部の断面を示す。図6は画素アレイ部の等価回路を示す。

【0048】

本実施において、使用した各種膜材料およびそれらの積層構造は、実施例2の場合とほぼ同様である。また、第1の信号配線電極(ドレイン信号線)12に供給された電圧は第1の薄膜トランジスタTFTを介して前記第1の画素電極14に印加され、第2の信号配線電極(基準電圧信号線)11に供給された電圧は、第2の薄膜トランジスタTFTを介して前記第2の画素電極に印加される構成、および2つの画素電極を透明電極であるITOで構成し、かつ、幅4μmの互いに交差する櫛歯状電極とした点も同様である。

【0049】

本実施においては、図6に示すように、前記第2の信号配線電極11を、第1の信号配線12と略平行に配置した点が実施例1とは異なる。

【0050】

具体的には、実施例1における接続電極にあたる部材を第2の信号配線電極11として、第1の信号配線電極12と平行な方向に延在させたものである。この際、前記第2の信号配線電極11は櫛歯状の第2の画素電極の内の一本の電極の下層に配置せしめた。

【0051】

このような配置とすることにより、前記実施例1で必要であった第2の信号配線電極11と接続電極間を接続するスルーホールを1個排除できるため、開口率を向上できた。また、前記第2の信号配線電極11は櫛歯状の第2の画素電極の内の一本の電極の下層に配置したことにより、不透明な信号配線電極11の存在による開口率の低下を最小限とすることができる。

【0052】

第2の信号配線電極11を走査電極10と平行に延伸させた場合には、第2の信号配線電極11の容量は第2の信号配線電極11に接続されるすべての画素の電荷保持容量と液晶層容量の和になり、大きな値となる。第2の信号配線電極11の抵抗値が十分小さくない場合、信号遅延により横方向のシャドウイングが発生し画質不良になる可能性がある。

【0053】

このことから、実施例2のように、第2の信号配線電極11を第1の信号配線電極12と平行な方向に延伸して配置した場合には、第2の信号配線電極11一本あたりの容量は、共通電極と走査電極の交差容量と選択された画素1個分の電荷保持容量と液晶層容量の和になり、前者にくらべ小さい値となるため上記のような信号遅延による画質問題は発生しない。

【0054】

10

20

30

40

50

実施例 3 .

図 7 は本発明による液晶表示装置の単位画素の他の実施例を示した平面図で、図 1 と対応した図となっている。

【 0 0 5 5 】

図 8 の右、中、左の各図はそれぞれ、図 7 中の A - A'、C - C'、B - B' 部の断面を示す。図 9 は画素アレイ部の等価回路を示す。

本実施において、使用した各種膜材料およびそれらの積層構造は、前記実施例 1 とほぼ同様である。

【 0 0 5 6 】

本実施においては、前記第 2 の信号配線電極 11 と第 2 の画素電極 15 は直接接続され、これらの間には薄膜トランジスタ T F T が無い構成とした。このように画素内に構成する薄膜トランジスタ T F T を 1 個だけとすることにより、薄膜トランジスタ T F T に占有される面積を縮小できるので画素開口率を拡大できる。また、このような構成としても前記第 2 の信号配線電極 11 と第 1 の信号配線電極 12 の間に差動電圧を印加することにより、駆動電圧を低減できる効果は前記第 1 および第 2 の実施の形態と同様に得ることができる。

【 0 0 5 7 】

駆動方式としては、1 フレーム期間毎に電圧極性を反転するフレーム反転駆動もしくは、1 走査期間毎に電圧極性を反転するライン反転駆動のどちらかを使用可能である。

【 0 0 5 8 】

また、2 つの画素電極を透明電極である I T O で構成し、かつ、幅 4 μ m の互いに交差する櫛歯状電極とした点も同様であるので、実施例 1 と同様な開口率の向上、駆動電圧電源の低減を実現できる。

【 0 0 5 9 】

本実施のように画素駆動薄膜トランジスタ T F T として、駆動能力の大きな p o l y - S i 薄膜トランジスタ T F T を用いることにより薄膜トランジスタ T F T のサイズを小さくでき、画素開口率を向上させることが可能となる。

【 0 0 6 0 】

実施例 4 .

図 10 は本発明による液晶表示装置の単位画素の一実施例を示す平面図で、図 1 と対応した図となっている。図 11 の右、中、左の各図はそれぞれ、図 10 中 A - A'、C - C'、B - B' 部の断面を示す。図 12 は画素アレイ部の等価回路を示す。

本実施において、使用した各種膜材料およびそれらの積層構造は、前記実施例 1 とほぼ同様である。

【 0 0 6 1 】

本実施において、前記実施 3 と同様に、第 2 の信号配線電極（基準電圧信号線）11 と第 2 の画素電極（対向電極）15 は直接接続され、これらの間には薄膜トランジスタ T F T が無い構成とした。

【 0 0 6 2 】

ただし、この際、前記第 2 の信号配線電極 11 を、第 1 の信号配線電極 12 と略平行に配置した。このような配置とすることにより、第 2 の信号配線電極と接続電極間を接続するスルーホールを 1 個排除できるため、開口率を向上できた。

【 0 0 6 3 】

また、前記第 2 の信号配線電極 11 は櫛歯状の第 2 の画素電極の内の一本の電極の下層に配置したことにより、不透明な信号配線電極 11 の存在による開口率の低下を最小限とすることができる。また、本実施の形態では、第 2 の信号配線電極と第 2 の画素電極の間の薄膜トランジスタ T F T が存在しないため、さらに開口率は大きくできる。

【 0 0 6 4 】

本実施はこれまで、示した実施の形態の中ではもっとも開口率を大きくできる構成である。

10

20

30

40

50

その他、駆動電圧を低減できる効果については前記実施例 3 と同様である。

【 0 0 6 5 】

駆動方式としては、1 フレーム毎に 1 フレーム期間毎に電圧極性を反転するフレーム反転駆動もしくは、1 フレーム毎に電圧極性を反転するが、隣り合う第 1 の信号配線電極には逆極性の電圧を印加するカラム反転駆動のどちらかを使用可能である。

【 0 0 6 6 】

実施例 5 .

図 1 3 は本発明による液晶表示装置の単位画素の他の実施例を示す平面図で、図 1 と対応した図となっている。図 1 4 の右、中、左の各図はそれぞれ、図 1 3 の A - A '、C - C '、B - B ' 部の断面を示す。

10

【 0 0 6 7 】

本実施において、使用した各種膜材料およびそれらの積層構造は、前記実施例 1 とほぼ同様である。また、第 1 の信号配線電極 (ドレイン信号線) 1 2 に供給された電圧は第 1 の薄膜トランジスタ T F T を介して前記第 1 の画素電極 1 4 に印加され、第 2 の信号配線電極 (基準電圧信号線) 1 1 に供給された電圧は、第 2 の薄膜トランジスタ T F T を介して前記第 2 の画素電極 (対向電極) に印加される構成、および 2 つの画素電極を透明電極である I T O で構成し、かつ、幅 4 μ m の互いに交合する櫛歯状電極とした点も同様である。

【 0 0 6 8 】

本実施においては、表示領域を構成する互いに交合する櫛歯状電極の下層に光を反射する反射電極 1 3 ' を配置した点が特徴である。

20

【 0 0 6 9 】

反射電極 1 3 ' は、実施例 1 における第 2 のソース電極 1 3 ' を画素領域の全域にまで延長させることにより形成されている。したがって、反射電極 1 3 ' は第 2 の画素電極と同じ電位となる。また、反射部分表面では M o / A l / M o の 3 層膜で構成されていた前記第 2 のソース電極の内、上層の M o のみが除去された構成となっている。このようにすることにより、反射電極表面での光反射率を 4 0 % から 9 0 % に大幅に向上できる。

【 0 0 7 0 】

本実施では、外光を反射電極で反射することによって画像表示を得る。

また、液晶は 2 つの画素電極の間に形成される横電界と第 1 の画素電極 1 4 と反射電極 1 3 0 の間に形成されるフリンジ電界によって駆動される。

30

【 0 0 7 1 】

前記第 2 の従来技術 (特開平 1 1 - 3 0 6 3 8 3) においても、平面状の透明電極とこれと異層化されて上方に形成された透明電極よりなる櫛歯状電極を用いた横電界方式の液晶表示装置が開示されているが、前記従来例では、すべての櫛歯状電極は同じ電位を与え、平面電極と櫛歯状電極との間に発生する電界のみを利用するのに対し、本実施においては、互いに交合する 2 つの櫛歯状電極を用い、2 本の相対する櫛歯電極の間に発生する電界と櫛歯電極のうちの一つと反射電極の間に発生するフリンジ電界の両方によって液晶を駆動する点が異なる。

【 0 0 7 2 】

このことにより、2 本の櫛歯電極の間でより均一な電界を印加できるので、良好な表示画像を得ることができる。

40

【 0 0 7 3 】

実施例 6 .

図 1 5 は本発明による液晶表示装置の単位画素の他の実施例を示す平面図で、図 1 と対応した図となっている。

【 0 0 7 4 】

図 1 6 の右、中、左の各図はそれぞれ、図 1 5 の A - A '、C - C '、B - B ' 部の断面を示す。

【 0 0 7 5 】

50

本実施において、使用した各種膜材料およびそれらの積層構造は、前記実施例 1 とほぼ同様である。また、第 1 の信号配線電極（ドレイン信号線）12 に供給された電圧は第 1 の薄膜トランジスタ T F T を介して前記第 1 の画素電極 14 に印加され、第 2 の信号配線電極（基準電圧信号線）11 に供給された電圧は、第 2 の薄膜トランジスタ T F T を介して前記第 2 の画素電極（対向電極）に印加される構成、および 2 つの画素電極を透明電極である I T O で構成し、かつ、幅 4 μ m の互いに交合する櫛歯状電極とした点も同様である。

【0076】

本実施においては、表示領域を構成する互いに交合する櫛歯状電極の下層に部分的に光を反射する反射電極 13' を配置し、部分反射・透過型の表示装置を構成した。この反射電極 13' は、実施例 5 におけるそれと層構造が同様となっており、ただ画素領域の約半分の領域に及んで形成されていることが異なる。すなわち、反射電極 13' が形成されている領域とそれ以外の領域において反射表示領域と透過表示領域を構成するようになっている。

10

【0077】

反射表示モードでは外光を反射電極 13' で反射することによって、透過表示モードではバックライトからの光を利用して画像表示を得る。透過、反射の表示原理はこれまで説明したものと同様である。

【0078】

このような、部分反射・透過型の表示装置は屋外で使用されることの多い携帯電話や携帯端末等の小型機器に適したものであり、本発明の画素構造を利用することにより、駆動電圧を低減できるので機器を低消費電力化できる。また横電界駆動方式の特長である広い視野角も得られるので、良質な画像表示が可能となる。

20

【0079】

実施例 7 .

図 17 は本発明による液晶表示装置の単位画素の一実施例を示す平面図で、図 1 と対応した図となっている。図 18 は、図 17 の A - A' 部の断面を示す。図 19 は画素アレイ部の等価回路を示す。

本実施において、使用した各種膜材料およびそれらの積層構造は、前記実施例 1 とほぼ同様である。

30

【0080】

本実施においては、まず、第 1 の信号配線電極（ドレイン信号線）12 に供給された第 1 の電圧は第 1 の薄膜トランジスタ T F T を介して前記第 1 の画素電極 14 に印加され、第 2 の信号配線電極（基準電圧信号線）11 に供給された第 2 の電圧は、第 2 の薄膜トランジスタ T F T を介して前記第 2 の画素電極（対向電圧）に印加される。

【0081】

また、第 1 の信号配線電極 12 に供給された第 3 の電圧は第 3 の薄膜トランジスタ T F T を介して前記第 3 の画素電極 140 に印加され、第 2 の信号配線電極 11 に供給された第 4 の電圧は、第 4 の薄膜トランジスタ T F T を介して前記第 4 の画素電極 150 に印加される。前記第 1 ~ 第 4 の画素電極はいずれも幅 4 μ m の互いに交合する櫛歯状電極として構成される。

40

【0082】

そして、前記第 3 および第 4 の画素電極の下層には反射電極 130' が設けられ反射表示モードで動作し、一方、前記第 1 および第 2 の画素電極で構成される表示領域は透過表示モードで動作し、全体として部分反射・透過の表示装置として動作する。

【0083】

本実施例の特徴は反射表示領域と透過表示領域の各々に一対の薄膜トランジスタ T F T を設け、それぞれ異なる電圧で駆動させることを可能とした点にある。

【0084】

前記、第 1 および第 2 の薄膜トランジスタ T F T のゲート電極は第 1 の走査配線電極 10

50

に接続され、第3および第4の薄膜トランジスタTFTのゲート電極は第2の走査配線電極100に接続されており、それぞれ異なったタイミングで選択ゲートパルス電圧を印加し、これに同期して画像信号を第1の信号配線電極12と第2の信号配線電極11に印加することで、反射、透過各々の画素電極に異なった電圧を印加することが可能となる。

【0085】

このような構成では、画素内の薄膜トランジスタTFTが4個になり開口率の点では不利となるが、反射モードと透過モードで輝度がピークとなる電圧値が異なる場合に良質な画像を得るために有効である。

【0086】

なお、この実施例では第2の信号配線電極（基準電圧信号線）11と第2あるいは第4の画素電極（対向電圧）との間に薄膜トランジスタを介在させた構成としたものであるが、この薄膜トランジスタを設けなくてもよいことはもちろんである。

【0087】

《液晶および対向基板を含む構成の一実施例》

図20は本発明の実施例1ないし4に係る透過型液晶表示装置の液晶セル断面模式図を示す。

【0088】

液晶層506を基準に下部のガラス基板1上には、上述したように、走査配線電極（図示せず）と信号配線電極（図示せず）とがマトリックス状に形成され、その交点近傍に形成された薄膜トランジスタTFT（図示せず）を介してITOよりなる第1の画素電極14および第2の画素電極15を駆動する。

【0089】

液晶層506を挟んで対向する対向ガラス基板508上には、カラーフィルタ-507、カラーフィルタ-保護膜OCが形成されている。

【0090】

偏光板505はそれぞれ一对のガラス基板1, 508の外側の表面に形成され、その偏光透過軸は直交するように配置されている。

【0091】

液晶層506は液晶分子の向きを設定する下部配向膜ORI1と、上部配向膜ORI2の間に封入され、ガラス基板1と対向ガラス基板508との固定を図るシール材SL（図示せず）によってシールされている。下部配向膜ORI1は、ガラス基板1側の有機絶縁膜23の上部に形成される。

【0092】

この液晶表示装置はガラス基板1側と対向ガラス基板508側の層を別々に形成し、その後上下ガラス基板1, 508を重ね合わせ、両者間に液晶506を封入することによって組立られる。

【0093】

バックライトBLからの光の透過を画素電極14および15部分で調節することにより薄膜トランジスタTFT駆動型のカラー液晶表示装置が構成される。

【0094】

液晶層を基板面にほぼ沿う方向の電界により駆動すると、電界を印加したさいに液晶分子が基板面に対して立ちあがることなく、基板面内で回転することにより透過する光の偏光方向を制御して画像表示ができる。

【0095】

このため、液晶分子の複屈折性に起因するコントラストの視野角依存性を実質的になくすることができ、視野角の広い高画質の液晶表示装置が得られる。

【0096】

図21は図20に示した液晶表示素子の電圧輝度（V-B）特性を示す。図中aが本発明の表示装置のB-V特性であり、図中bは電極間間隔14μmのメタル電極を用いた従来のいわゆる横電界方式の液晶表示素子のB-V特性である。

10

20

30

40

50

【 0 0 9 7 】

本発明の表示素子では透過率がピークとなる電圧が従来の約 7 V から 3 . 5 V まで低減できた。また、透過率のピーク値も大きく向上していることがわかる。

これらは、2 つの画素電極を透明電極である I T O で構成し、かつ、幅 4 μ m の互いに交差する櫛歯状電極とすることによるものである。

【 0 0 9 8 】

《液晶および対向基板を含む構成の他の実施例》

図 2 2 は本発明の実施例 6 および 7 に係る部分反射・透過型液晶表示装置の液晶セル断面模式図を示す。

セルの断面構成は、前述した図 2 0 とほぼ同様であるが、部分反射・透過表示を実現するために櫛歯状電極の一部の下層に反射電極 1 3 ' を設けた。

10

【 0 0 9 9 】

図 2 3 は図 2 2 に示した液晶表示素子の電圧輝度特性を示す。図中 c は透過表示領域の透過率の電圧依存性を、d は反射表示領域の反射率の電圧依存性を示す。反射表示と透過表示で反射率あるいは透過率が最大となる電圧が異なっている。

【 0 1 0 0 】

このような場合には図 1 7、図 1 8 に示す構成により、反射部と透過部の一対画素電極の各々に薄膜トランジスタ T F T を接続し、それぞれ最適な電圧を印加することにより、良好な表示特性を得ることができる。

【 0 1 0 1 】

20

《表示装置全体の構成の一実施例》

図 2 4 は、周辺駆動回路を薄膜トランジスタ T F T アクティブマトリックスとともに同一基板上に集積した表示装置全体の等価回路を示す。例えば、図 1 および図 2 に示した構成を持つ画素と、Y 1 ~ Y e n d の走査配線電極 1 0 と X 1 R、X 1 G、X 1 B ~ X e n d B の第 1 の信号配線電極 1 2、C 1 ~ C e n d の第 2 の信号配線電極とからなる薄膜トランジスタ T F T アクティブマトリックス 5 0 と、これを駆動する垂直走査回路 5 1、第 1 の信号側駆動回路 5 3 および第 2 の信号配線電極に信号を供給するよりなる第 2 の信号側駆動回路、およびレベルシフタ L S とからなる。

【 0 1 0 2 】

本実施例では、走査線数は 6 0 0 本、信号線数は 2 4 0 0 本で、表示部の対角サイズは約 5 インチである。

30

【 0 1 0 3 】

薄膜トランジスタ T F T アクティブマトリックスの形態としては、図 2 5 のように、図 3 および図 4 で示した構成の画素を使用してもよい、この場合は、薄膜トランジスタ T F T アクティブマトリックスは Y 1 ~ Y e n d の走査配線電極 1 0 と X 1 R、X 1 G、X 1 B ~ X e n d B の第 1 の信号配線電極 1 2、C 1 R ~ C 1 e n d の第 2 の信号配線電極とから構成され、これを駆動する垂直走査回路 5 1、第 1 の信号側駆動回路 5 3 および第 2 の信号配線電極に信号を供給するよりなる第 2 の信号側駆動回路、およびレベルシフタ L S が周辺に配置される。この場合には、第 2 の信号側駆動回路は表示部の下辺側に配置される点が図 2 4 の形態とは異なる。

40

【 0 1 0 4 】

垂直走査回路 5 1 は垂直クロック信号により駆動されるシフトレジスタ回路と行選択電圧を供給されるレベルシフタとからなり、走査配線電極 1 0 に行選択パルスを出力する。

【 0 1 0 5 】

水平走査回路 5 2 は水平クロック信号により駆動されるシフトレジスタ回路 S R H と 6 ビットにデジタル化された画像データ D A T A をラッチするためのラッチ回路 L 1、ラッチされたデジタルデータをアナログデータにデコードするデジタル-アナログコンバータ回路 D A C、1 行分の D A C からの出力を一時的に蓄えるラインメモリ L M、およびラインメモリに蓄えた画像データを信号配線電極 1 2 に供給するためのアナログスイッチ S W よりなる。尚、D A C には各ビットに対応して重み付けされた基準電圧信号が供給されてい

50

る。

【0106】

これら駆動回路は相補型(CMOS)のpoly-Si薄膜トランジスタTFTあるいは、N型のpoly-Si薄膜トランジスタTFTにより構成される。

【0107】

図26は、図24または図25の液晶表示素子の全体構成図を示す。薄膜トランジスタTFTアクティブマトリクス、周辺駆動回路等を形成したガラス基板1と、内表面にカラーフィルタが形成された対向基板508とが、シール材520によって張り合わされ、間に液晶組成物が封入されている、ガラス基板1と対向基板508それぞれの外表面には偏光フィルム505が、偏光透過軸が直交するように配置されている。TFT基板上の一辺には接続端子521が形成され、これに接続されたFPC522により、TFT基板に表示データ、制御信号、電源電圧等が供給される。

10

【0108】

poly-Si薄膜トランジスタTFTを用いてデジタルアナログコンバータ等の駆動回路を基板上に集積したため、外部接続端子数、外部部品点数を大幅に低減できた。また本発明の画素を用いたことにより、液晶駆動電圧を低減できたので、信号側駆動回路の出力電圧を低減でき、回路の消費電力を低減できた。

【0109】

このことにより、従来適用が困難であった小型LCDにIPSモード駆動方式を用いることが可能となった。

20

【0110】

《表示装置全体の構成の他の実施例》

図27は周辺駆動回路の一部を薄膜トランジスタTFTアクティブマトリクスとともに同一基板上に集積した表示装置全体の等価回路を示す。例えば、図1および図2に示した構成を持つ画素と、Y1~Yendの走査配線電極10とX1R、X1G、X1B~XendBの第1の信号配線電極12、C1~Cendの第2の信号配線電極とからなる薄膜トランジスタTFTアクティブマトリクス50と、これを駆動する垂直走査回路51、第2の信号配線電極に信号を供給する第2の信号側駆動回路52、水平側ドライバLSIDRV1~DRV3、ドライバLSIの出力を複数の第1の信号配線電極に振り分けるためのスイッチ回路SWおよびレベルシフタLSとからなる。本実施例では、走査線数は480本、信号線数は1980本で表示部の対角サイズは約7インチである。また、本実施の形態においてはpoly-Si薄膜トランジスタTFTによる駆動回路は全てN型薄膜トランジスタTFTのみを用いて構成されている。

30

【0111】

図45はN型薄膜トランジスタTFTのみを用いて構成した垂直走査回路図を、図46に動作信号波形例を示す。回路はN型薄膜トランジスタTFTとブートストラップ容量Cbによって構成され、基準電位Vss、スタート信号Vin、クロックパルス電圧V1およびこれと相補的なクロックパルス電圧V2によって駆動されるダイナミック回路である。通常CMOS回路で必要な電源電圧供給配線はなく、V1、V2の相補クロック電圧から供給される電荷によって動作する。このため、通常N型トランジスタと負荷で構成したインバータ回路を用いたシフトレジスタ回路で問題となる電源配線から接地配線への貫通電流が存在しない。このため、駆動回路の消費電力を低減できる。また、N型薄膜トランジスタTFTだけで回路を構成したため、製造プロセスがCMOS構成の回路の製造プロセスに比べて簡略となり低コスト化可能となった。

40

【0112】

図28は図27に示した液晶表示素子の全体の斜視構成図を示す。薄膜トランジスタTFTアクティブマトリクス、周辺駆動回路等を形成したガラス基板1と、内表面にカラーフィルタが形成された対向基板508とが、シール材520によって張り合わされ、間に液晶組成物が封入されている、ガラス基板1と対向基板508それぞれの外表面には偏光フィルム505が、偏光透過軸が直交するように配置されている。TFT基板上の一辺には

50

水平側ドライバLSIはガラス基板上に直接実装され、ドライバLSIには接続端子521とこれに接続されたFPC522によりデジタルの表示データ、制御信号、電源電圧等が供給される。

【0113】

本実施においては、デジタルの表示データからアナログデータへの変換は水平側ドライバLSI内で行われ、poly-Si薄膜トランジスタTFTで構成した周辺駆動回路は、垂直側の走査回路と、ドライバLSIから出力されるアナログデータを複数の信号配線に振り分けるスイッチ回路のみよりなる。水平回路側のスイッチ回路により1本のドライバLSIの出力が複数の信号配線に振り分けられるので、ドライバLSIの出力ピン数を減らすことができる。これによりドライバLSIの消費電力を低減可能となる。

10

【0114】

《製造方法の一実施例》

次に、前記図28に示したようにN型薄膜トランジスタTFTだけで構成した液晶表示素子に用いるTFTアクティブマトリクス基板を例に取り、その製造工程を図29～図35を用いて説明する。

【0115】

厚さ500μm、幅750mm、幅950mmの歪点約670の無アルカリガラス基板1上を洗浄後、SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚50nmのSi₃N₄膜200を形成する。続いて、テトラエトキシシランとO₂の混合ガスを用いたプラズマCVD法により、膜厚120nmのSiO₂膜2を形成する。Si₃N₄、SiO₂ともに形成温度は400である。

20

【0116】

次に、SiO₂膜2上にSiH₄、Arの混合ガスを用いたプラズマCVD法によりほぼ真性の水素化非晶質シリコン膜300を50nm形成する。成膜温度は400で、成膜直後水素量は約5at%であった。次に基板を450で約30分アニールすることにより、水素化非晶質シリコン膜300中の水素を放出させる。アニール後の水素量は約1at%であった。

【0117】

次に、波長308nmのエキシマレーザ光LASERを前記非晶質シリコン膜にフルエンス400mJ/cm²で照射し、非晶質シリコン膜を熔融再結晶化させて、ほぼ真性の多結晶シリコン膜30を得る。この時レーザビームは幅0.3mm、長さ200mmの細線状の形状であり、ビームの長手方向とほぼ垂直な方向に基板を10μmピッチで移動しながら照射した。照射時は窒素雰囲気とした(図29)。

30

【0118】

通常のホテルソグラフィ法により所定のレジストパターンを多結晶シリコン膜30上に形成しCF₄とO₂の混合ガスを用いたリアクティブイオンエッチング法により多結晶シリコン膜30を所定の形状に加工する。

【0119】

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚100nmのSiO₂を形成しゲート絶縁膜20を得る。この時のテトラエトキシシランとO₂の混合比は1:50、形成温度は400である。

40

【0120】

次にスパッタリング法により、Mo膜を200nm形成後、通常のホテルソグラフィ法により所定のレジストパターンをMo膜上に形成し、混酸を用いたウエットエッチング法によりMo膜を所定の形状に加工し走査配線電極10および第2の信号配線11を得る。

【0121】

エッチングに用いたレジストパターンを残したまま、イオン注入法によりPイオンを加速電圧60KeV、ドーズ量1E15(cm⁻²)で打ちこみ、N型薄膜トランジスタTFTのソース、ドレイン領域31を形成する(図30)。

【0122】

50

次に、エッチングに用いたレジストパターンを除去後、再度イオン注入法によりPイオンを加速電圧65 KeV、ドーズ量 $2 \times 10^{13} \text{ (cm}^{-2}\text{)}$ で打ちこみ、N型薄膜トランジスタTFTのLDD領域32を形成する(図31)。

【0123】

LDD領域の長さは、Moをウエットエッチングしたときのサイドエッチング量で定められる。本実施例の場合約0.8 μm である。この長さはMoのオーバーエッチング時間を変化させることで制御できる。基板内でのLDD長のばらつきは約0.1 μm と良好であった。このような工程を用いることで、LDDを形成するためのマスクパターン形成工程を省略できるので、工程を簡略にできる。

【0124】

次に、基板にエキシマランプまたはメタルハライドランプの光を照射するラピッドサーマルアニール(RAT)法により打ち込んだ不純物を活性化する。エキシマランプまたはメタルハライドランプ等の紫外光を多く含む光を用いてアニールすることにより、poly-Si層のみを選択的に加熱できる、ガラス基板が加熱されることによるダメージを回避できる。不純物の活性化は、基板収縮や曲がり変形等が問題にならない範囲で、450程度以上の温度での熱処理によっても可能である(図32)。

【0125】

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚500 nmのSiO₂を形成し層間絶縁膜21を得る。この時のテトラエトキシシランとO₂の混合比は1:5、形成温度は350 である。

【0126】

次に、所定のレジストパターンを形成後、混酸を用いたウエットエッチング法により、前記層間絶縁膜にコンタクトスル・ホールを開孔する。続いて、スパッタリング法により、Tiを50 nm、Al-Nd合金を500 nm、Ti50 nmを順次積層形成した後、所定のレジストパターンを形成後、BCl₃とCl₂の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、信号配線電極12とソース電極13、13'接続電極16を得る(図33)。

【0127】

SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚400 nmのSi₃N₄膜22を形成し、さらに、スピン塗布法によりアクリル系感光性樹脂を約3.5 μm の膜厚で塗布し、所定のマスクを用いて露光、現像して前記アクリル系樹脂にスルーホールを形成する。次に230 で20分ベークすることで、アクリル樹脂を焼成し、膜厚2.3 μm の有機保護膜23を得る。続いて、前記有機保護膜23に設けたスルーホールパターンをマスクとして下層のSi₃N₄膜をCF₄を用いたリアクティブイオンエッチング法により加工し、Si₃N₄膜にスルーホールを形成する(図34)。

【0128】

このように、有機保護膜をマスクとして用いて下層の絶縁膜を加工することにより、一回のホトリソグラフィ工程で2層の膜をパターンニングできる、工程を簡略化できた。

【0129】

最後にスパッタリング法によりITO膜を70 nm形成し、混酸を用いたウエットエッチングにより所定の形状に加工して第1および第2の画素電極を形成しアクティブマトリクス基板が完成する(図35)。

【0130】

《製造方法の他の実施例》

次に、前記図26に示したようなCMOS薄膜トランジスタTFTで構成した内蔵駆動回路を有する液晶表示素子に用いるTFTアクティブマトリクス基板の製造工程を図26～図44を用いて説明する。

【0131】

厚さ500 μm 、幅750 mm、幅950 mmの歪点約670 の無アルカリガラス基板1上を洗浄後、SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚

10

20

30

40

50

50 nmの Si_3N_4 膜200を形成する。続いて、テトラエトキシシランと O_2 の混合ガスを用いたプラズマCVD法により、膜厚120 nmの SiO_2 膜2を形成する。 Si_3N_4 、 SiO_2 ともに形成温度は400である。

【0132】

次に、 SiO_2 膜2上に SiH_4 、Arの混合ガスを用いたプラズマCVD法によりほぼ真性の水素化非晶質シリコン膜300を50 nm形成する。成膜温度は400で、成膜直後水素量は約5 at %であった。次に基板を450で約30分アニールすることにより、水素化非晶質シリコン膜300中の水素を放出させる。

【0133】

次にテトラエトキシシランと O_2 の混合ガスを用いたプラズマCVD法により、膜厚100 nmの SiO_2 膜201を形成し、次にイオン注入法によりボロン(B^+)を加速電圧40 KeVドーズ量 $5 \times 10^{12} (\text{cm}^{-2})$ で注入する。ボロンは薄膜トランジスタTFTのしきい値電圧を調整するためのものである(図36)。

10

【0134】

次に、緩衝フッ酸により SiO_2 膜201を除去し、波長308 nmのエキシマレーザー光LASERを前記非晶質シリコン膜にフルエンス 400 mJ/cm^2 で照射し、非晶質シリコン膜を溶融再結晶化させて、P型の多結晶シリコン膜30を得る(図37)。

【0135】

次にスパッタリング法により、Mo膜を200 nm形成後、通常のホテルソグラフィ法により所定のレジストパターンをMo膜上に形成し、 CF_4 を用いたリアクティブイオンエッチング法によりMo膜を所定の形状に加工しN型薄膜トランジスタTFTのゲート電極10Nを得る。

20

【0136】

エッチングに用いたレジストパターンPRを残したまま、イオン注入法によりリン(P)イオンを加速電圧60 KeV、ドーズ量 $1 \times 10^{15} (\text{cm}^{-2})$ で打ちこみ、N型薄膜トランジスタTFTのソース、ドレイン領域31を形成する。この時P型薄膜トランジスタTFT(図38左)は素子全体をMo膜とホテルレジスト膜PRのパターンで保護しリンイオンが注入されないようにする(図38)。

【0137】

次に、レジストパターンを残したまま、基板を混酸で処理し、加工されたMo電極をサイドエッチングしパターンをスリミングし、レジストを除去した後、イオン注入法によりPイオンを加速電圧65 KeV、ドーズ量 $2 \times 10^{13} (\text{cm}^{-2})$ で打ちこみ、N型薄膜トランジスタTFTのLDD領域32を形成する(図39)。

30

【0138】

先の例と同様に、LDD領域の長さは混酸によるサイドエッチング時間によって制御される。

【0139】

次に所定のレジストパターンをMo膜上に形成し、 CF_4 を用いたリアクティブイオンエッチング法によりP型薄膜トランジスタTFTのゲート電極10Pおよび薄膜トランジスタTFT以外の配線パターンを得る。この時、N型薄膜トランジスタTFTは全体をホテルレジストパターンで保護し、エッチングガスから保護する(図40)。

40

【0140】

次に、基板にエキシマランプまたはメタルハライドランプの光を照射するラピッドサーマルアニール(RAT)法により打ち込んだ不純物を活性化する(図41)。

【0141】

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚500 nmの SiO_2 を形成し層間絶縁膜21を得る。

【0142】

次に、所定のレジストパターンを形成後、混酸を用いたウエットエッチング法により、前記層間絶縁膜にコンタクトスル・ホールを開孔する。続いて、スパッタリング法により、

50

Tiを50nm、Al-Nd合金を500nm、Ti50nmを順次積層形成した後、所定のレジストパターンを形成後、 BCl_3 と Cl_2 の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、信号配線電極12とソース電極13、13'接続電極16を得る(図42)。

【0143】

SiH_4 と NH_3 と N_2 の混合ガスを用いたプラズマCVD法により膜厚400nmの Si_3N_4 膜22を形成し、さらに、スピン塗布法によりアクリル系感光性樹脂を約3.5 μm の膜厚で塗布し、所定のマスクを用いて露光、現像して前記アクリル系樹脂にスルーホールを形成する。次に230℃で20分ベークすることで、アクリル樹脂を焼成し、膜厚2.3 μm の有機保護膜23を得る。続いて、前記有機保護膜23に設けたスルーホールパターンをマスクとして下層の Si_3N_4 膜を CF_4 を用いたリアクティブイオンエッチング法により加工し、 Si_3N_4 膜にスルーホールを形成する(図43)。

10

【0144】

最後にスパッタリング法によりITO膜を70nm形成し、混酸を用いたウエットエッチングにより所定の形状に加工して第1および第2の画素電極を形成しアクティブマトリクス基板が完成する(図44)。

【0145】

本実施による製法によれば、先の実施例に比べ、僅か1枚のマスク増でCMOS回路を有するTFTアクティブマトリクス基板を作製することができる。

【0146】

20

【発明の効果】

以上のように、本発明によれば、低電力で、広視野角を有し、かつ明るい液晶表示装置を低コストで実現できる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図2】図1のA-A'線における断面図である。

【図3】図1に示す画素の等価回路である。

【図4】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図5】図4のA-A'線における断面図である。

【図6】図4に示す画素の等価回路である。

30

【図7】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図8】図7のA-A'線における断面図である。

【図9】図7に示す画素の等価回路である。

【図10】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図11】図10のA-A'線における断面図である。

【図12】図10に示す画素の等価回路である。

【図13】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図14】図13のA-A'線における断面図である。

【図15】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図16】図15のA-A'線における断面図である。

40

【図17】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図18】図17のA-A'線における断面図である。

【図19】図17に示す画素の等価回路である。

【図20】本発明による液晶表示装置の液晶および対向基板をも含めた構成の一実施例を示す断面図である。

【図21】図20に示す構成における印加電圧と透過率の関係を示すグラフである。

【図22】本発明による液晶表示装置の液晶および対向基板をも含めた構成の他の実施例を示す断面図である。

【図23】図20に示す構成における印加電圧と透過率の関係を示すグラフである。

【図24】本発明による液晶表示装置の全体の構成の一実施例を示す等価回路図である。

50

【図 2 5】本発明による液晶表示装置の全体の構成の他の実施例を示す等価回路図である。

【図 2 6】図 2 4 あるいは図 2 5 に示した液晶表示装置の斜視図である。

【図 2 7】本発明による液晶表示装置の全体の構成の他の実施例を示す等価回路図である。

【図 2 8】図 2 7 に示した液晶表示装置の斜視図である。

【図 2 9】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の一つ目の工程を示す図である。

【図 3 0】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の二つ目の工程を示す図である。

10

【図 3 1】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の三つ目の工程を示す図である。

【図 3 2】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の四つ目の工程を示す図である。

【図 3 3】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の五つ目の工程を示す図である。

【図 3 4】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の六つ目の工程を示す図である。

【図 3 5】本発明による液晶表示装置の製造方法の一実施例を示す断面図で、その方法の七つ目の工程を示す図である。

20

【図 3 6】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の一つ目の工程を示す図である。

【図 3 7】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の二つ目の工程を示す図である。

【図 3 8】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の三つ目の工程を示す図である。

【図 3 9】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の四つ目の工程を示す図である。

【図 4 0】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の五つ目の工程を示す図である。

30

【図 4 1】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の六つ目の工程を示す図である。

【図 4 2】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の七つ目の工程を示す図である。

【図 4 3】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の八つ目の工程を示す図である。

【図 4 4】本発明による液晶表示装置の製造方法の他の実施例を示す断面図で、その方法の九つ目の工程を示す図である。

【図 4 5】本発明のよる液晶表示装置の走査信号駆動回路の一実施例を示す回路図である。

40

【図 4 6】図 4 5 に示した回路の信号波形を示す図である。

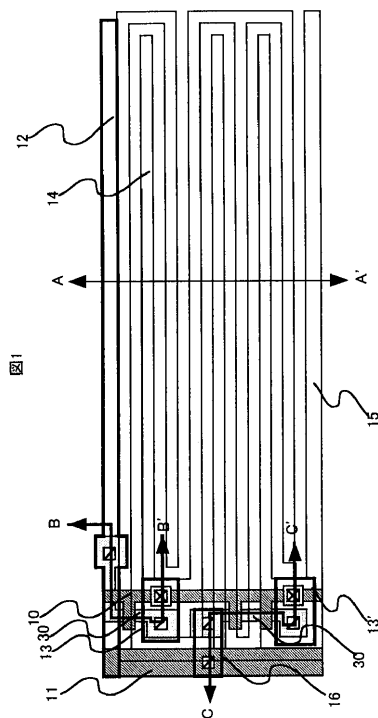
【符号の説明】

1 ... ガラス基板、1 0 ... 走査配線電極、1 2 ... 第 1 の信号配線電極、1 1 ... 第 2 の信号配線電極、1 3 ... ソース電極、1 4 ... 第 1 の画素電極、1 5 ... 第 2 の容量電極、1 6 ... 接続電極、1 0 P ... P 型薄膜トランジスタ T F T のゲート電極、1 0 N ... N 型薄膜トランジスタ T F T のゲート電極、1 0 0 ... 第 2 の走査配線電極、2 ... S i ₃ N ₄ バッファ膜、2 0 0 ... S i O ₂ バッファ膜、2 0 ... ゲート絶縁膜、2 1 ... 層間絶縁層、2 2 ... 保護絶縁膜、2 3 ... 有機絶縁膜、2 0 1 ... 保護絶縁膜、3 0 0 ... 真性水素化非晶質 S i 膜、3 0 ... p o l y - S i 膜、3 1 ... 低抵抗 n 型 p o l y - S i 層、3 3 ... 高抵抗 n 型 p o l y - S i 層、

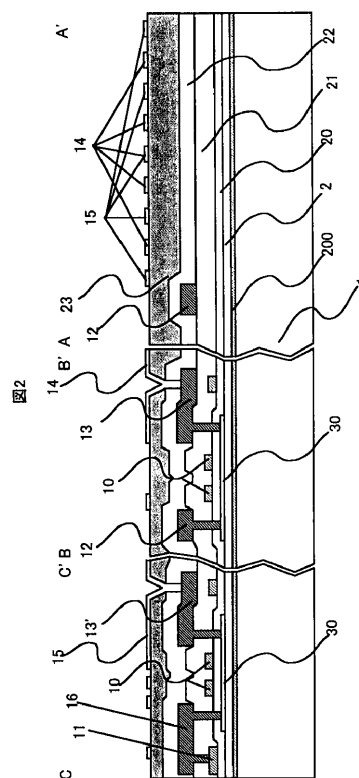
50

50 ... TFTアクティブマトリクス、51 ... 垂直走査回路、53 ... 第1の信号側駆動回路、52 ... 第2の信号側駆動回路、DRV1 ~ DRV3 ... ドライバLSI、505 ... 偏光板、506 ... 液晶組成物、507 ... カラーフィルタ、508 ... 対向基板、OC ... カラーフィルタ保護膜、ORI1、ORI2 ... 配向膜、BL ... バックライト、522 ... FPC、520 ... シールパターン、SRH ... 水平側シフトレジスタ、L1 ... ラッチ回路、DAC ... デジタルアナログ変換回路、SW ... アナログスイッチ回路、LS ... レベルシフタ、PR ... ホトレジスト、LASER ... エキシマレーザ光、UV ... 紫外ランプ光

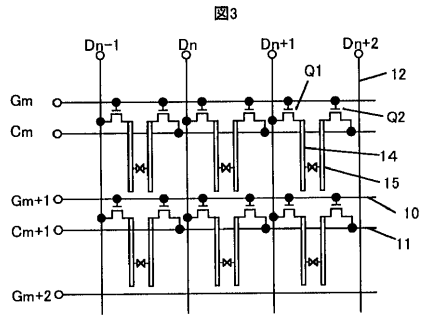
【図1】



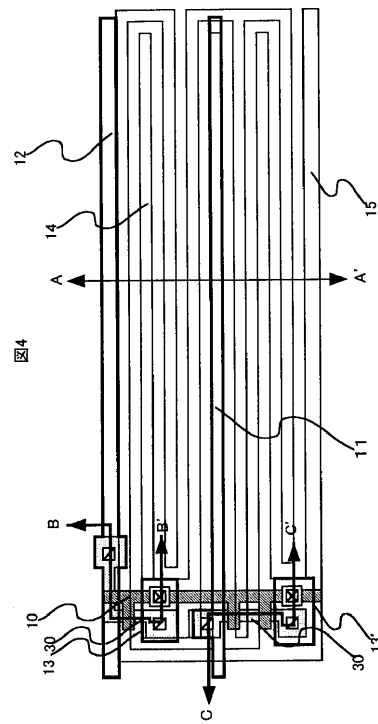
【図2】



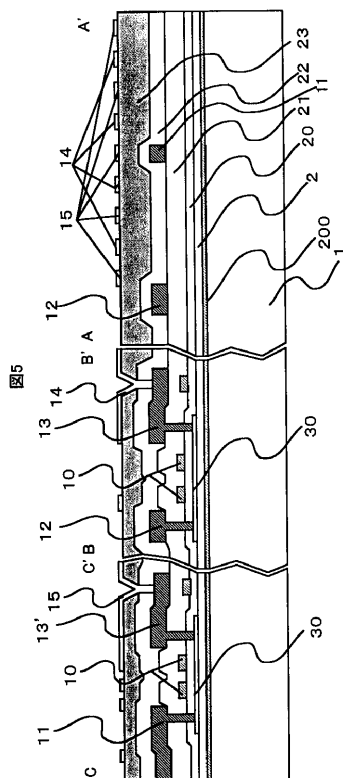
【図 3】



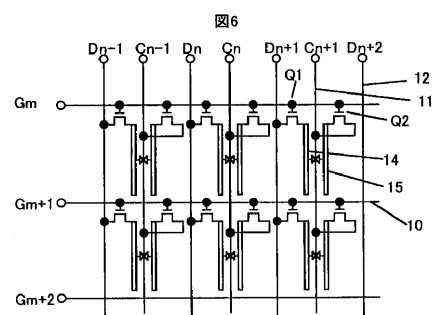
【図 4】



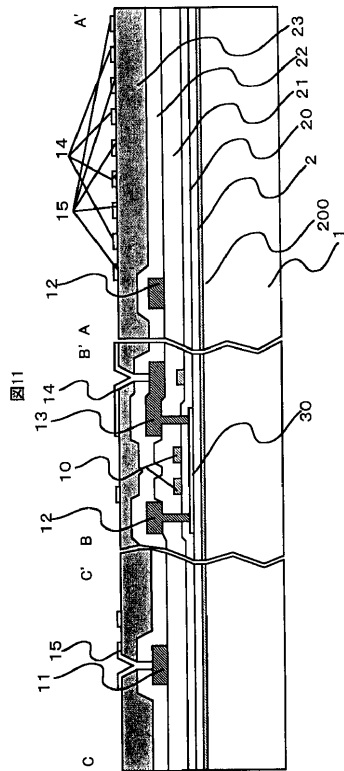
【図 5】



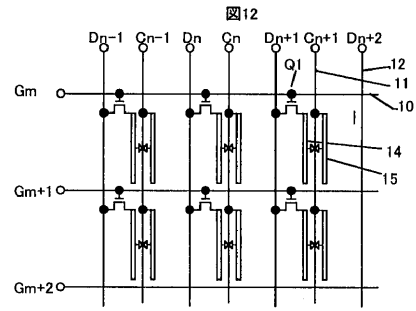
【図 6】



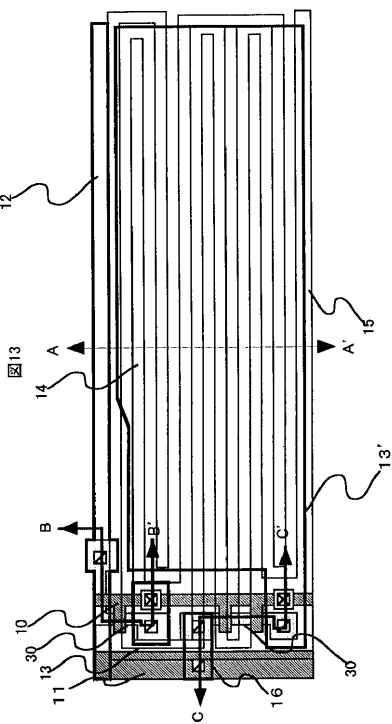
【図 1 1】



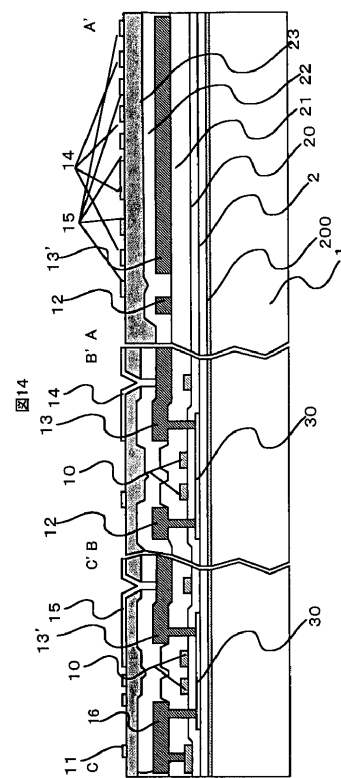
【図 1 2】



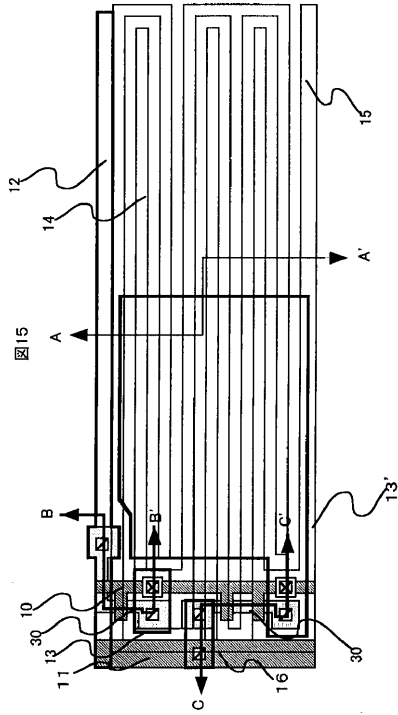
【図 1 3】



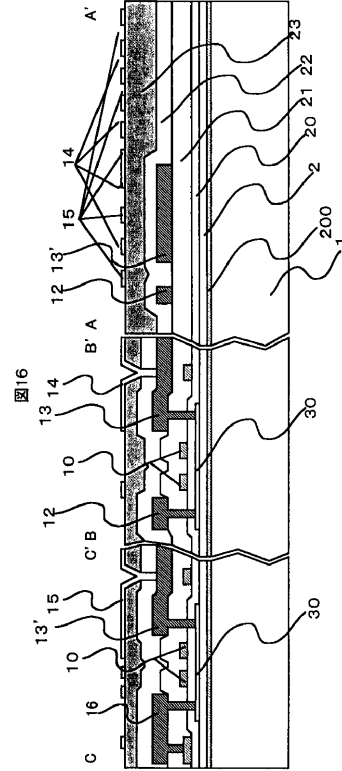
【図 1 4】



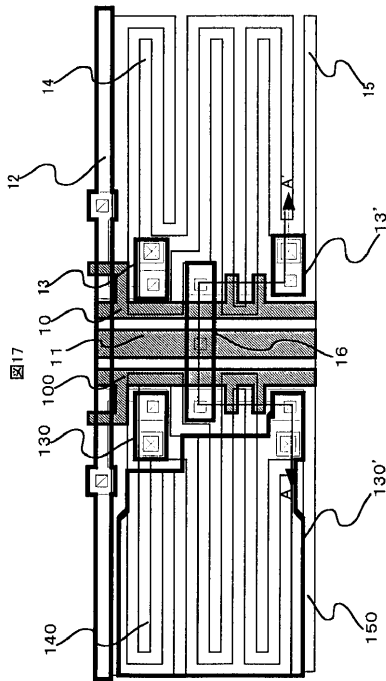
【図 15】



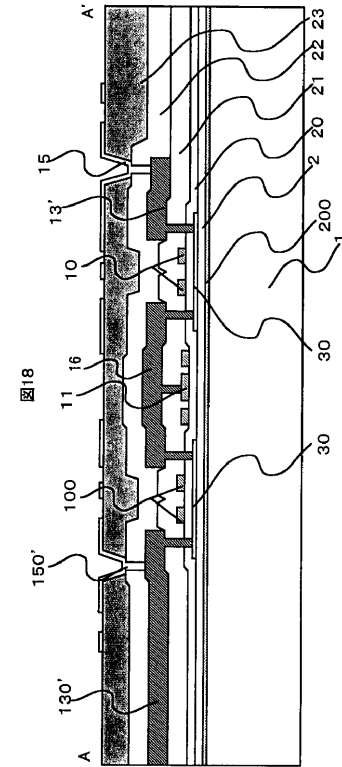
【図 16】



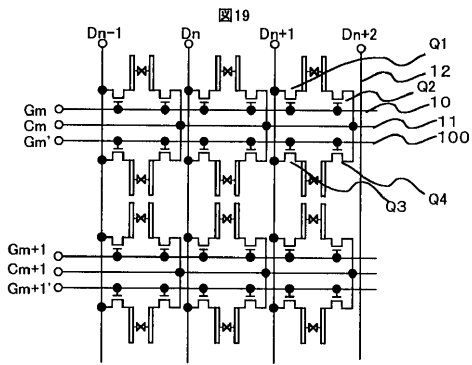
【図 17】



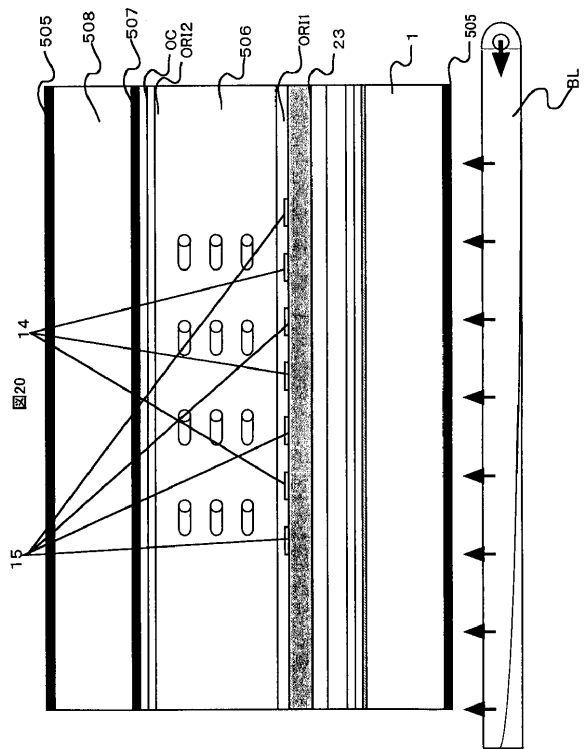
【図 18】



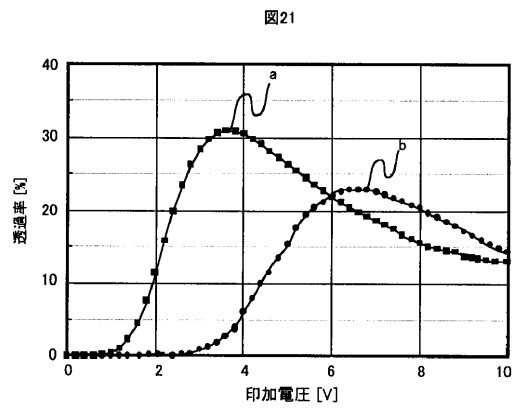
【図19】



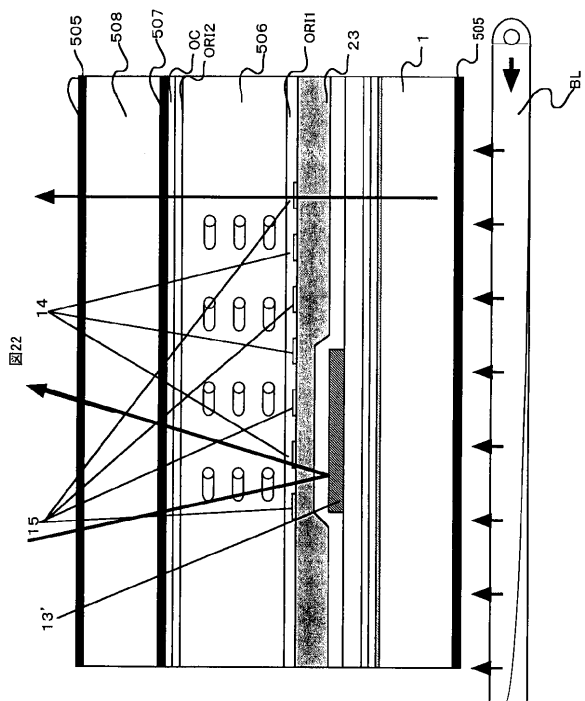
【図20】



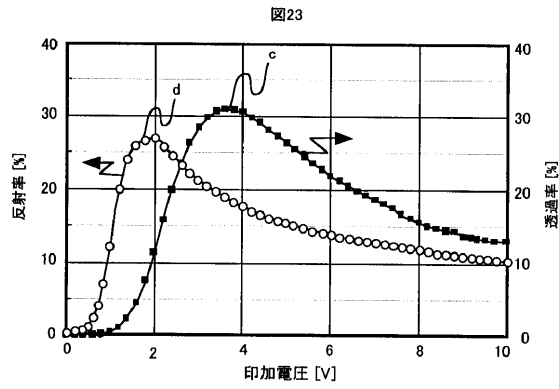
【図21】



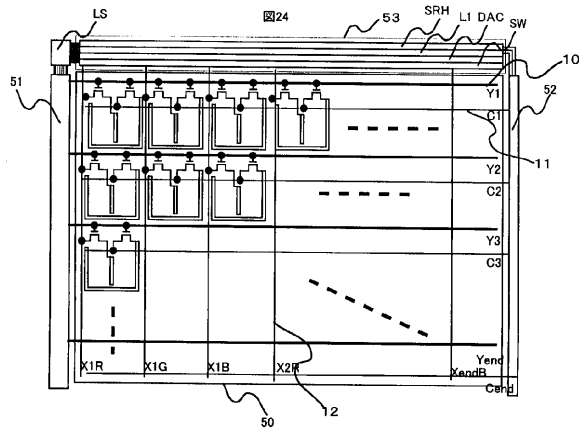
【図22】



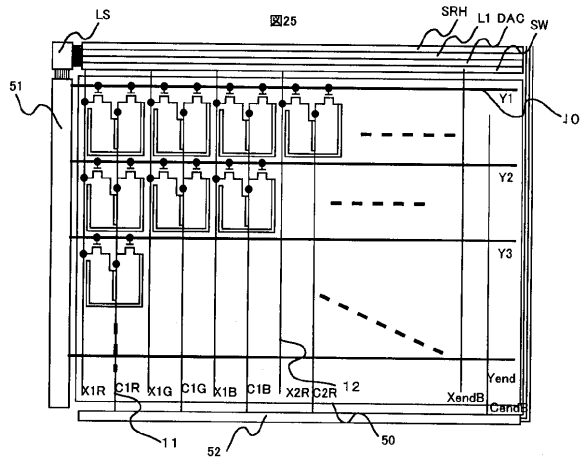
【図23】



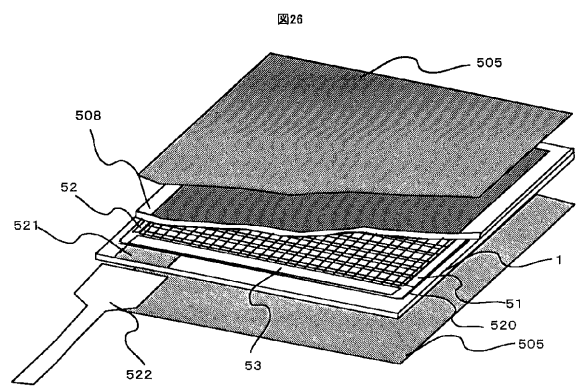
【図24】



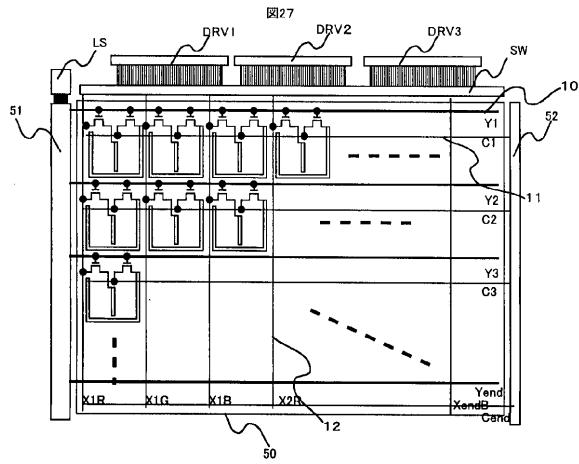
【図25】



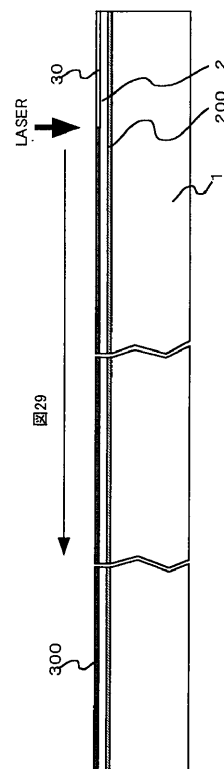
【図26】



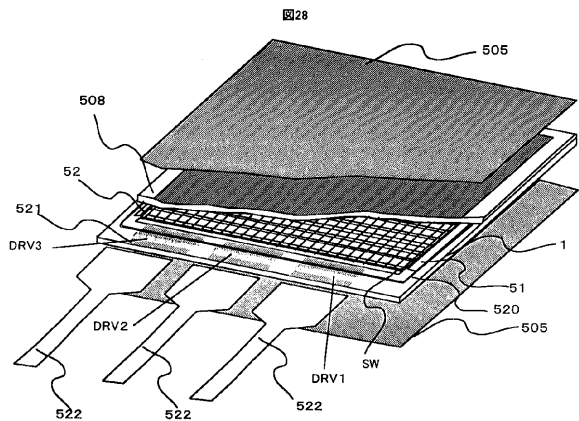
【図27】



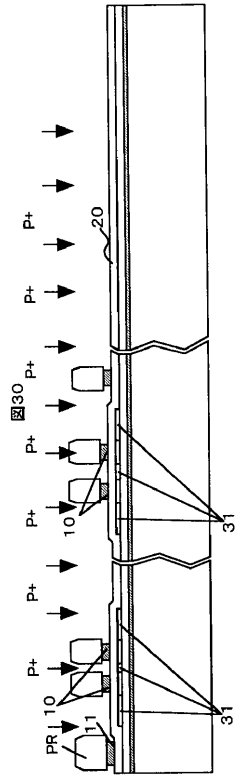
【図29】



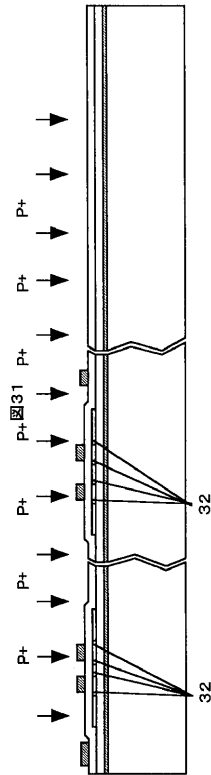
【図28】



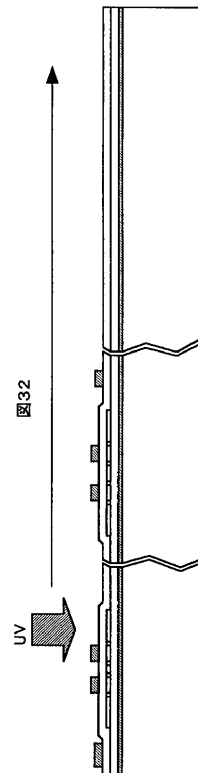
【図 30】



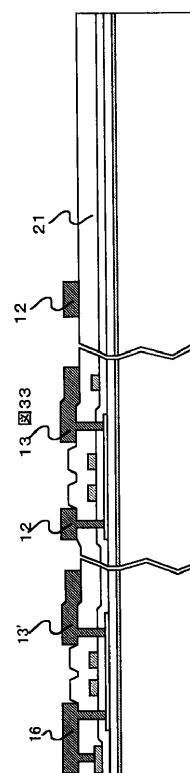
【図 31】



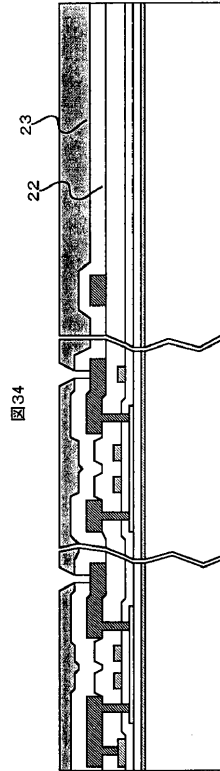
【図 32】



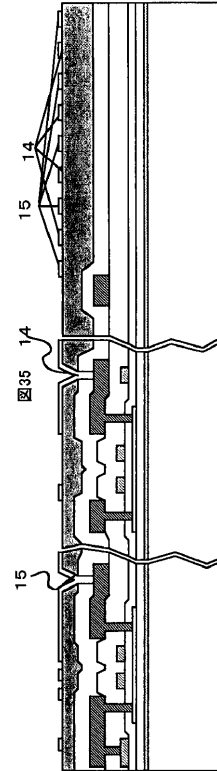
【図 33】



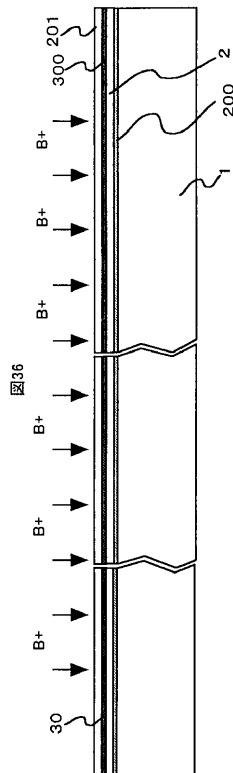
【図 3 4】



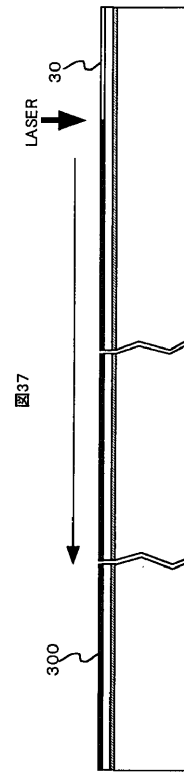
【図 3 5】



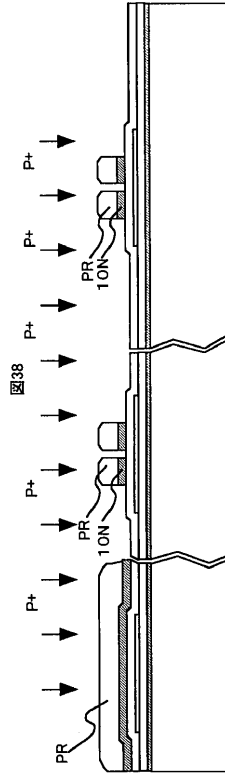
【図 3 6】



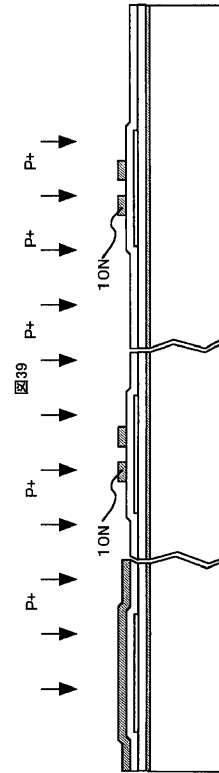
【図 3 7】



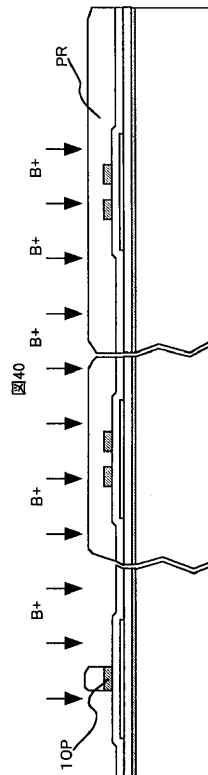
【図 38】



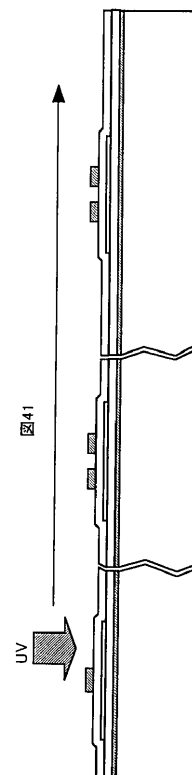
【図 39】



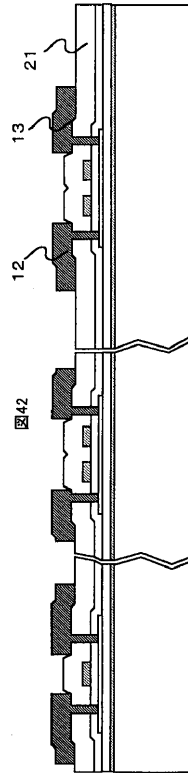
【図 40】



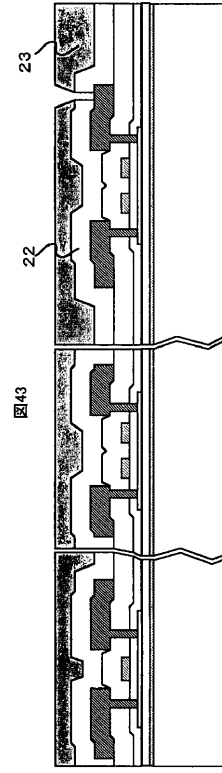
【図 41】



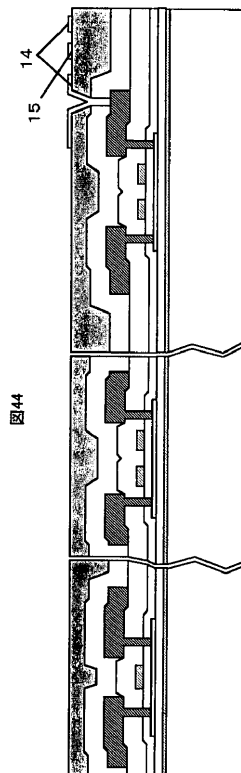
【図42】



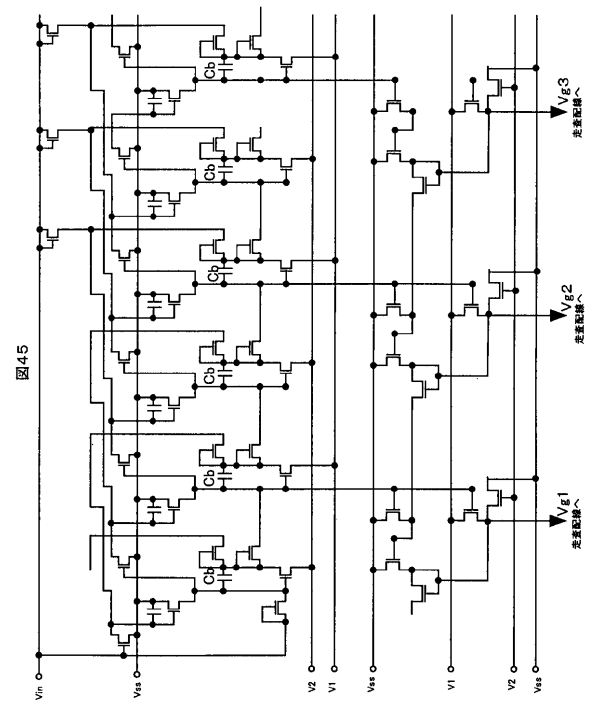
【図43】



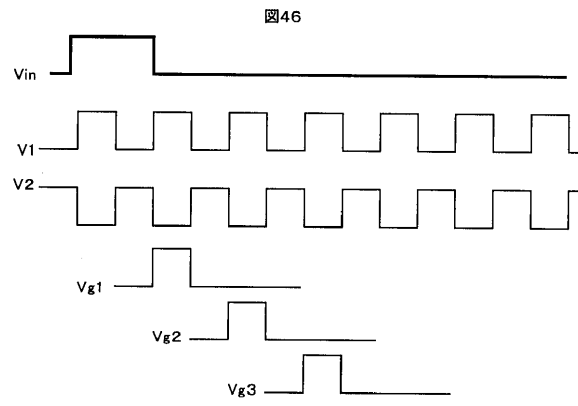
【図44】



【図45】



【図 46】



フロントページの続き

(72)発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

(72)発明者 近藤 克己

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

審査官 福田 知喜

(56)参考文献 特開2001-235744(JP,A)

特開平11-271788(JP,A)

特開平06-202073(JP,A)

特開2000-206550(JP,A)

特開2001-042366(JP,A)

特開2001-034238(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP4647843B2	公开(公告)日	2011-03-09
申请号	JP2001196019	申请日	2001-06-28
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	河内玄士朗 佐藤秀夫 宫沢敏夫 三上佳朗 近藤克己		
发明人	河内 玄士朗 佐藤 秀夫 宫沢 敏夫 三上 佳朗 近藤 克己		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134363		
FI分类号	G02F1/1368 G02F1/1335.520		
F-TERM分类号	2H092/GA14 2H092/HA04 2H092/HA05 2H092/HA06 2H092/JA24 2H092/JA46 2H092/JB57 2H092/KA04 2H092/KA05 2H092/KA12 2H092/MA08 2H092/MA18 2H092/MA27 2H092/MA29 2H092/NA01 2H092/NA26 2H092/NA27 2H092/NA29 2H191/FA02Y 2H191/FA22X 2H191/FA22Z 2H191/FA34Y 2H191/FA81Z 2H191/FB14 2H191/GA04 2H191/GA19 2H191/HA15 2H191/LA25 2H191/NA10 2H191/NA29 2H191/NA35 2H191/NA45 2H191/NA48 2H192/AA24 2H192/BB03 2H192/BB73 2H192/BB91 2H192/BC31 2H192/BC63 2H192/BC72 2H192/CB02 2H192/CB13 2H192/CC05 2H192/CC58 2H192/CC64 2H192/CC72 2H192/EA43 2H192/EA76 2H192/FB02 2H192/HA47 2H192/HA82 2H192/HA90 2H291/FA02Y 2H291/FA22X 2H291/FA22Z 2H291/FA34Y 2H291/FA81Z 2H291/FB14 2H291/GA04 2H291/GA19 2H291/HA15 2H291/LA25 2H291/NA10 2H291/NA29 2H291/NA35 2H291/NA45 2H291/NA48		
审查员(译)	福田 知喜		
其他公开文献	JP2003015155A JP2003015155A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现低功耗和高图像质量的液晶显示装置。解决方案：在通过液晶排列的一个基板的液晶侧的像素区域中，第一开关元件和第二开关元件通过扫描来自栅极信号线的信号操作，图像电极通过来自漏极信号线的视频信号提供提供第一开关元件和通过第二开关元件从参考电压信号线提供参考电压信号的对电极，并且图像电极和对电极各自由带状半透明导电层形成，并且它们也是交替排列在基本像素区域中。

