

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4517296号
(P4517296)

(45) 発行日 平成22年8月4日 (2010.8.4)

(24) 登録日 平成22年5月28日 (2010.5.28)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO9G 3/36 (2006.01)	GO9G 3/36
GO9G 3/20 (2006.01)	GO9G 3/20 621M
請求項の数 3 (全 9 頁) 最終頁に続く	

(21) 出願番号	特願2005-288896 (P2005-288896)	(73) 特許権者	304053854
(22) 出願日	平成17年9月30日 (2005.9.30)		エプソンイメージングデバイス株式会社
(65) 公開番号	特開2007-101701 (P2007-101701A)		長野県安曇野市豊科田沢6925
(43) 公開日	平成19年4月19日 (2007.4.19)	(74) 代理人	100107906
審査請求日	平成19年3月20日 (2007.3.20)		弁理士 須藤 克彦
		(72) 発明者	松田 洋史
			東京都港区浜松町二丁目4番地1号 三洋
			エプソンイメージングデバイス株式会社内
		審査官	鈴木 俊光
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶層を介して貼り合わされた第1及び第2の基板からなり、

前記第1の基板上において、画素選択用トランジスタとそれに接続した画素電極とを備えた複数の画素を含む表示画素領域と、

画素選択用トランジスタとそれに接続した画素電極とを備えブラックマトリクスによって遮光された複数のダミー画素を含み前記表示画素領域に隣接して配置されたダミー画素領域と、

前記画素選択用トランジスタに駆動信号を供給する駆動用トランジスタと、を備え、

前記駆動用トランジスタのチャネル領域の少なくとも一部は、絶縁膜を介して前記ダミー画素の前記画素電極と重畳して形成されていることを特徴とする液晶表示装置。

【請求項2】

前記駆動用トランジスタは、前記画素選択用トランジスタに前記駆動信号として表示信号を供給するサンプリング用トランジスタであることを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記駆動用トランジスタは、低温ポリシリコン層からなる能動層を備えていることを特徴とする請求項1又は請求項2に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、表示画素領域と、それに隣接するダミー画素領域とを備えた液晶表示装置に関する。

【背景技術】

【0002】

従来より、ガラス基板上に、液晶表示画素として複数の画素が形成された表示画素領域と、表示に寄与しないダミー画素を含むダミー画素領域とが形成された表示装置が知られている。以降、このような表示装置を、「液晶表示装置」と略称して説明を行う。

【0003】

次に、従来例に係る液晶表示装置の概略について図面を参照して説明する。図3は、この液晶表示装置の後述する表示画素領域10A及びその近傍を示す平面図である。図3に示すように、液晶表示装置を構成する2枚のガラス基板のうち、その一方の第1の基板1上には、表示信号Dを供給するデータ線2及び画素選択信号Gを供給する走査線3が格子状に形成されている。データ線2及び走査線3に囲まれる各領域には、液晶表示画素として、複数の画素10が形成されている。各画素10には、データ線2及び走査線3に接続された画素選択用薄膜トランジスタ(Thin Film Transistor; 以降、「TFT」と略称する)11と、画素選択用TFT11に接続された画素電極12が形成されている。なお、図示しないが、画素10は、さらに、1対の配向膜、第2の基板、共通電極、第2の配向膜、液晶層、位相差板、偏光板等を備えており、液晶表示画素を構成している。以降、これらの複数の画素10が形成される領域を、表示画素領域10Aと略称して説明を行う。

10

20

【0004】

さらに、この液晶表示装置の第1の基板1上の表示画素領域10Aに隣接した領域には、複数のダミー画素20を含むダミー画素領域20Aが形成されている。ダミー画素20は、画素10の上記構成を有し、さらに不図示のブラックマトリクスによって遮光されている。即ちダミー画素20は実際の表示には寄与しない。

【0005】

ただし、このダミー画素20が表示画素領域10Aに隣接して形成されることにより、表示画素領域10Aの端部に配置された画素10を構成する各層の形成が他の画素10に比して不均一に形成されることが抑止される。即ち、上記端部の画素10とそれより内側の画素10との各層の膜厚に関する差異が減少する。また、ダミー画素20は、画素10と同一の電気的な構成を有している。そのため、上記端部の画素10の電気的特性が、それより内側の画素10に比して異なるという問題を回避することができる。

30

【0006】

上記ダミー画素領域20Aの外側の領域には、ダミー画素20に隣接して、所定の同期信号に応じて画素選択用TFTに駆動用信号を供給する駆動用TFTが形成されている。ここでは、駆動用TFTは、例えば駆動信号の1つである表示信号Dをデータ線2に供給するサンプリング用TFT60であるものとする。複数のサンプリング用TFT60は、駆動回路である水平駆動回路101に含まれている。なお、図示しないが、走査線3には、画素選択信号Gを供給する駆動用TFTを含む垂直駆動回路102が接続されている。

40

【0007】

次に、上記液晶表示装置の動作を説明すると、最初に、垂直駆動回路102の駆動用TFTを通して走査線3に供給された画素選択信号Gにより、画素選択用TFT11がオンする。そして、水平駆動回路101の駆動用TFT、即ちサンプリング用TFT60を通してデータ線2に供給された表示信号Dが、画素選択用TFT11を通して画素電極12に供給される。このとき、表示信号Dに応じて画素10の不図示の液晶層の光の透過量が変化して、画素10から上記光の透過量に応じた表示光が出力される。一方、ダミー画素20は、画素10と同様に表示光を出力するものの、ブラックマトリクスに遮光されているため表示光が観察者に視認されない。

【0008】

50

なお、本願に関連する技術文献としては、以下の特許文献が挙げられる。

【特許文献1】特開2003-241683号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上記液晶表示装置では、駆動用TFT、即ちサンプリング用TFT60を第1の基板1上の額縁（即ち、画素10やダミー画素20が形成されない第1の基板1上の端部）に形成する必要がある。そのため、液晶表示装置の狭額縁化が妨げられていた。そこで本発明は、表示画素領域とダミー画素領域とを備えた液晶表示装置の狭額縁化を図るものである。

10

【課題を解決するための手段】

【0010】

本発明の液晶表示装置は、上記課題に鑑みて為されたものであり、液晶層を介して貼り合わされた第1及び第2の基板からなり、第1の基板上において、画素選択用トランジスタとそれに接続した画素電極とを備えた複数の画素を含む表示画素領域と、画素選択用トランジスタとそれに接続した画素電極とを備えブラックマトリクスによって遮光された複数のダミー画素を含む表示画素領域に隣接して配置されたダミー画素領域と、画素選択用トランジスタに駆動信号を供給する駆動用トランジスタとを備え、以下の特徴を有する。即ち、駆動用トランジスタのチャンネル領域の少なくとも一部は、絶縁膜を介してダミー画素の画素電極と重畳して形成されている。

20

【0011】

また、本発明は、上記構成において、駆動用トランジスタは、画素選択用トランジスタに駆動信号として表示信号を供給するサンプリング用トランジスタであることを特徴とする。また、本発明は、上記構成において、駆動用トランジスタは、低温ポリシリコン層からなる能動層を備えていることを特徴とする。

【発明の効果】

【0012】

本発明の液晶表示装置によれば、表示画素領域と、それに隣接するダミー画素領域とを備えた液晶表示装置において、画素選択用トランジスタに駆動信号を供給する駆動用トランジスタ（例えばサンプリング用トランジスタ）を形成するのに必要な基板の額縁の面積を、従来例に比して小さく抑えることが可能となる。即ち、上記液晶表示装置の狭額縁化を図ることが可能となる。

30

【発明を実施するための最良の形態】

【0013】

次に、本発明の実施形態に係る液晶表示装置について図面を参照して説明する。図1は、本実施形態に係る液晶表示装置の後述する表示画素領域10A及びその近傍を示す平面図である。また、図2は、図1のX-X線に沿った断面図であり、後述するダミー画素20の画素電極12とサンプリング用TFT30とが重畳する領域を示している。なお、図1及び図2では、図3に示したものと同様の構成要素については同一の符号を付して説明を行う。また、図1及び図2では、後述する複数の画素10もしくは複数のダミー画素20のうち、その一部を示している。

40

【0014】

図1に示すように、データ線2及び走査線3が格子上に形成された第1の基板1上に、複数の画素10が形成された表示画素領域10Aが配置されている。また、表示画素領域10Aに隣接して、第1の基板1上に、複数のダミー画素20が形成されたダミー画素領域20Aが配置されている。

【0015】

そして、ダミー画素20の画素電極12と平面的に重畳するようにして、画素選択用TFT11に駆動信号を供給する駆動用TFT、即ちサンプリング用TFT30が形成されている。このサンプリング用TFT30は、駆動信号の1つである表示信号Dをデータ線

50

2に供給するものである。複数のサンプリング用TFT30は、駆動回路である不図示の水平駆動回路に含まれている。なお、図示しないが、走査線3には、画素選択信号Gを供給する駆動用TFTを含む垂直駆動回路が接続されている。

【0016】

次に、ダミー画素20の画素電極12と、それに重畳して形成されるサンプリング用TFT30の詳細について図2を参照して説明する。

【0017】

図2に示すように、第1の基板1上に、サンプリング用TFT30の能動層31が形成されている。この能動層31は、例えば低温ポリシリコン層からなる。能動層31を含む第1の基板1上には、例えばシリコン酸化膜やシリコン窒化膜からなるゲート絶縁膜32が形成されている。能動層31上に位置するゲート絶縁膜32上には、例えばクロム(Cu)から成るゲート電極33が形成されている。

【0018】

ゲート電極33上を含むゲート絶縁膜32上には、例えばシリコン酸化膜やシリコン窒化膜からなる層間絶縁膜34が形成されている。ここで、能動層31のドレイン領域及びソース領域上に位置するゲート絶縁膜32及び層間絶縁膜34には、上記ドレイン領域及びソース領域の能動層31の一部を露出するコンタクトホールが設けられている。そして、それらのコンタクトホールを介して、能動層31の一部上に、そのドレイン領域と接続するドレイン電極35、及びそのソース領域と接続するソース電極が形成されている。上記ソース電極は、データ線2そのものであってもよい。もしくは上記ソース電極は、データ線2とは別に形成され、不図示の箇所で不図示のコンタクト等を介してデータ線2と接続されたものであってもよい。ここでは、上記ソース電極はデータ線2そのものであるとして、ソース電極2として表記する。上記ドレイン電極35及びソース電極2（即ちデータ線）は、特に限定されないが、例えばアルミニウム(Al)からなる。なお、上記データ線2は、能動層31のソース領域に接続される代わりに、上記ドレイン領域に接続されてもよい。

【0019】

ドレイン電極35及びソース電極2を含む層間絶縁膜34上には、例えば塗布酸化膜からなる平坦化絶縁膜36が形成されている。平坦化絶縁膜36上には、ダミー画素20の画素電極12が形成されている。ここで、サンプリング用TFT30の能動層31のチャンネル領域A_{ch}（即ち、ドレイン電極35とソース電極2に挟まれる領域）の少なくとも一部は、平坦化絶縁膜36を介して、画素電極12と重畳している。即ち、サンプリング用TFT30と画素電極12とは、平坦化絶縁膜36により絶縁されている。

【0020】

さらに、画素電極12上には、不図示の第1の配向膜が形成されている。そして、画素電極12と対向して、不図示のスペーサを介して、第2の基板38（即ちガラス基板）が配置されている。画素電極12と対向する側の第2の基板38上には、ダミー画素20を遮光するためのブラックマトリクス39が形成されている。さらに、ブラックマトリクス39上には、例えばITO(Indium Tin Oxide)からなる共通電極40が形成されている。共通電極40上には、不図示の第2の配向膜が形成されている。第1の基板1と第2の基板38との間には、上記不図示のスペーサにより、液晶層41が封止されている。一方、画素電極12と対向しない側の第2の基板38上には、不図示の光学的な位相差板及び偏光板が形成されている。

【0021】

このように、サンプリング用TFT30の一部が、平坦化絶縁膜36を介して画素電極12と重畳して形成されている。そのため、第1の基板1を平面的に見た場合、図1に示すように、データ線2に沿って重畳した距離αの分だけ、サンプリング用TFT30を形成するのに必要な第1の基板1上での額縁の面積を、従来例に比して小さく抑えることが可能となる。即ち、液晶表示装置の狭額縁化を図ることが可能となる。

【0022】

なお、上記実施形態では、駆動用TFTとしてサンプリング用TFT30がダミー画素20の画素電極12と重畳して形成されるものとしたが、本発明はこれに限定されない。即ち、本発明は、サンプリング用TFT30に替わって、その他のTFTが形成される場合についても適用されるものである。

【0023】

例えば、図示しないが、画素10内のデータ線2、走査線3、もしくは画素電極12等の形成不良や断線を検査するための検査信号を供給する検査用TFTが、所定の絶縁膜を介してダミー画素20の画素電極12と重畳して形成されてもよい。また、図示しないが、走査線3に画素選択信号Gを供給するための駆動用TFT（例えば垂直駆動回路に含まれる駆動用TFT）が、所定の絶縁膜を介してダミー画素20の画素電極12と重畳して形成されてもよい。これらの場合においても、上記TFTを形成するのに必要な第1の基板1上での額縁の面積を、従来例に比して小さく抑えることが可能となる。即ち、液晶表示装置の狭額縁化を図ることが可能となる。

10

【0024】

なお、上述した実施形態の画素10及びダミー画素20は、上記構成に限定されない。即ち、画素10及びダミー画素20は、ダミー画素20の画素電極12と、サンプリング用TFT30等の上記TFTのチャネル領域の少なくとも一部とが、所定の絶縁膜を介して互いに重畳する構成を有していれば、上記以外の構成を有してもよい。例えば、本発明は、画素電極12上に反射金属層が設けられ、いわゆる反射型液晶表示装置が構成される場合についても適用される。

20

【図面の簡単な説明】

【0025】

【図1】本発明の実施形態に係る液晶表示装置の表示画素領域及びその近傍を示す平面図である。

【図2】図1のX-X線に沿った断面図である。

【図3】従来例に係る液晶表示装置の表示画素領域及びその近傍を示す平面図である。

【符号の説明】

【0026】

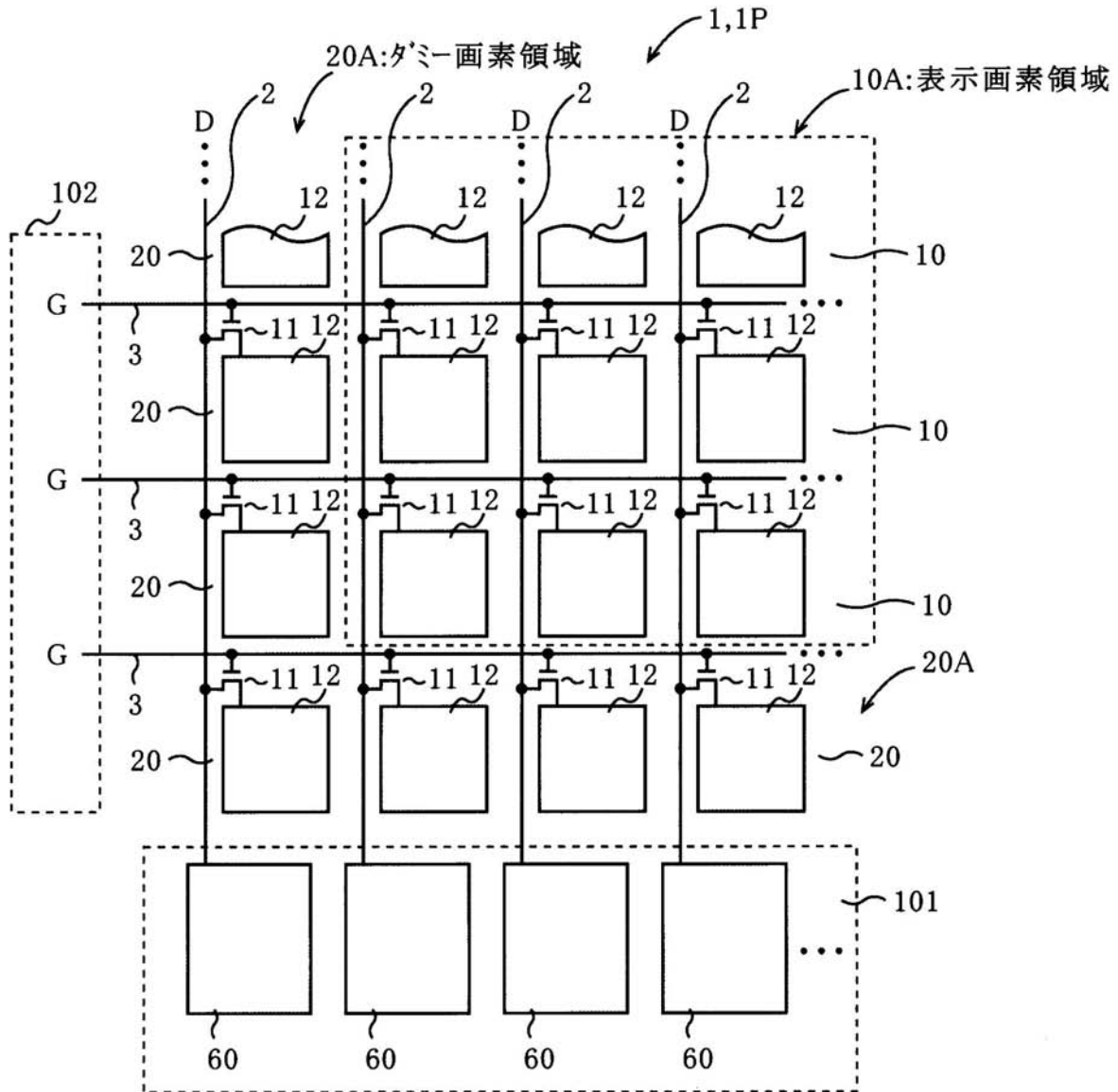
1	第1の基板	2	データ線，ソース電極	3	走査線
10	画素	11	画素選択用TFT	12	画素電極
20	ダミー画素	30，60	サンプリング用TFT		
31	能動層	32	ゲート絶縁膜	33	ゲート電極
34	層間絶縁膜	35	ドレイン電極	36	平坦化絶縁膜
38	第2の基板	39	ブラックマトリクス	40	共通電極
41	液晶層				

30

30:サンプルリンク用TFT

- | | | | |
|-----------|----------------|-----------|------------|
| 1:第1の基板 | 2:ゾース電極(デ'ータ線) | 31:能動層 | 32:ゲ'ート絶縁膜 |
| 33:ゲ'ート電極 | 34:層間絶縁膜 | 35:ドレイン電極 | 36:平坦化絶縁膜 |
| 38:第2の基板 | 39:ブ'ラックマトリクス | 40:共通電極 | 41:液晶層 |

【図3】



- | | | |
|-------------|----------------|----------|
| 1: 第1の基板 | 2: データ線 | 3: 走査線 |
| 10: 画素 | 11: 画素選択用TFT | 12: 画素電極 |
| 20: タミ-画素 | 60: サンプルング用TFT | |
| 101: 水平駆動回路 | 102: 垂直駆動回路 | |

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 2 3 A

(56)参考文献 特開 2 0 0 4 - 1 0 2 2 5 6 (J P, A)
特開 2 0 0 2 - 1 5 6 6 5 3 (J P, A)
特開 2 0 0 1 - 1 8 3 6 9 6 (J P, A)
特開平 1 1 - 1 9 4 3 6 0 (J P, A)
特開 2 0 0 3 - 0 2 1 8 4 3 (J P, A)
特開 2 0 0 5 - 1 4 1 2 6 4 (J P, A)

(58)調査した分野(Int.Cl., D B名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 4 5

专利名称(译)	液晶表示装置		
公开(公告)号	JP4517296B2	公开(公告)日	2010-08-04
申请号	JP2005288896	申请日	2005-09-30
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	松田洋史		
发明人	松田 洋史		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1345 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G09G2300/0413 G09G2310/0232		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1345 G09G3/36 G09G3/20.621.M G09G3/20.680.G G09G3/20.623.A G02F1/1335.500		
F-TERM分类号	2H091/FA35Y 2H091/FD04 2H091/GA02 2H091/GA13 2H091/LA03 2H091/LA30 2H092/GA33 2H092/GA59 2H092/JA25 2H092/KA04 2H092/KA07 2H092/NA25 2H092/PA06 2H092/PA09 2H191/FA14Y 2H191/FD04 2H191/GA04 2H191/GA19 2H191/LA03 2H191/LA40 2H192/AA24 2H192/BC31 2H192/CB02 2H192/EA22 2H192/EA67 2H192/FA02 2H192/FB06 2H192/FB33 2H192/HB13 2H291/FA14Y 2H291/FD04 2H291/GA04 2H291/GA19 2H291/LA03 2H291/LA40 5C006/BB16 5C006/BC06 5C006/EB05 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/JJ03 5C080/JJ06		
代理人(译)	须藤克彦		
审查员(译)	铃木俊光		
其他公开文献	JP2007101701A		
外部链接	Espacenet		

摘要(译)

要解决的问题：相对于具有显示像素区域和与显示像素区域相邻的虚设像素区域的液晶显示装置，使框架变窄。解决方案：显示像素区域10A，包括设置用于像素选择的TFT 11的多个像素10和与TFT 11连接的像素电极12，形成在第一基板1上。设置有虚设像素区域20A的虚设像素区域20A。用于像素选择的TFT11和连接到TFT11并包含由黑矩阵39遮光的多个虚设像素20的像素电极12形成在显示像素区域10A附近。此外，形成驱动TFT，即采样TFT 30，以便叠加在虚设像素20的像素电极12上。即，虚设像素20的像素电极12至少叠加在沟道的一部分上。采样TFT 30的区域Ach通过平坦化绝缘膜36

【図1】

