

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4385993号
(P4385993)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
HO1L 21/28 (2006.01)	HO1L 21/28 3O1R
HO1L 29/417 (2006.01)	HO1L 29/50 M
HO1L 29/423 (2006.01)	HO1L 29/58 G
請求項の数 12 (全 12 頁) 最終頁に続く	

(21) 出願番号 特願2005-137211 (P2005-137211)
 (22) 出願日 平成17年5月10日(2005.5.10)
 (65) 公開番号 特開2006-317516 (P2006-317516A)
 (43) 公開日 平成18年11月24日(2006.11.24)
 審査請求日 平成19年10月15日(2007.10.15)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 永野 慎吾
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

対向して配置された一対の絶縁性基板に挟持された液晶層と、
 前記絶縁性基板の一方の基板上に形成された複数のゲート配線と、
 前記複数のゲート配線と第1の絶縁膜を介して交差して形成された複数のソース配線と、
 前記複数のゲート配線と前記複数のソース配線との各交差部に形成されたスイッチング素子と、
 前記スイッチング素子に接続された画素電極と、
 前記画素電極との間で前記絶縁性基板に略平行な方向に電界を印加すべく前記画素電極に
 対向して形成された対向電極と、
 前記ソース配線より下層において前記第1の絶縁膜を介して、前記ソース配線に沿って形
 成された第1の電極パターンと、
 平面視において、前記ソース配線より上層において第2の絶縁膜を介して、前記ソース配
 線に沿って、且つ前記ソース配線と実質的に重なり合わないよう形成された第2の電極
 パターンとを備え、
 前記第1の電極パターンは、前記ソース配線に沿って、前記ソース配線及び前記第2の電
 極パターンの幅方向の少なくとも一部とそれぞれ重なり合うように形成され、且つ所定の
 電位が入力され、
 前記第2の電極パターンは、前記対向電極の電位が入力されることを特徴とする液晶表示
 装置。

【請求項 2】

前記第 1 の電極パターンは、前記ソース配線に沿って、且つ前記ソース配線の幅方向の全てにおいて、重なり合うように形成されたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 の電極パターンの前記所定の電位は、前記ゲート配線の電位であることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】

前記第 1 の電極パターンの前記所定の電位は、前記対向電極の電位であることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

10

【請求項 5】

前記第 1 の電極パターン及び第 2 の電極パターンは、前記ソース配線の幅方向の両側に形成されたことを特徴とする請求項 1 乃至 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記第 1 の電極パターンは、前記ゲート配線と同一層の導電膜で形成されたことを特徴とする請求項 1 乃至 5 のいずれかに記載の液晶表示装置。

【請求項 7】

前記第 2 の電極パターンは、前記対向電極と同一層の導電膜で形成されたことを特徴とする請求項 1 乃至 6 のいずれかに記載の液晶表示装置。

【請求項 8】

前記第 1 の電極パターンの前記ソース配線に対する幅方向の遠端は、第 2 の電極パターンのソース配線に対する幅方向の遠端よりも幅方向に突出しないことを特徴とする請求項 1 乃至 7 のいずれかに記載の液晶表示装置。

20

【請求項 9】

対向して配置された一对の絶縁性基板に挟持された液晶層と、
前記絶縁性基板の一方の基板上に形成された複数のゲート配線と、
前記複数のゲート配線と第 1 の絶縁膜を介して交差して形成された複数のソース配線と、
前記複数のゲート配線と前記複数のソース配線との各交差部に形成されたスイッチング素子と、

前記スイッチング素子に接続された画素電極と、

30

前記画素電極との間で前記絶縁性基板に略平行な方向に電界を印加すべく前記画素電極に対向して形成された対向電極と、

を備えた液晶表示装置の製造方法であって、

平面視において、前記ソース配線より下層において前記第 1 の絶縁膜を介して、前記ソース配線に沿って前記ソース配線の幅方向の少なくとも一部と重なり合い、且つ所定の電位が入力される第 1 の電極パターンを形成する工程と、

前記ソース配線より上層において第 2 の絶縁膜を介して、前記ソース配線に沿って、且つ前記ソース配線と実質的に重なり合わず、前記第 1 の電極パターンの幅方向と少なくとも一部と重なり合い、前記対向電極と同電位が入力される前記第 2 の電極パターンを形成する工程と、

40

を含むことを特徴とする液晶表示装置の製造方法。

【請求項 10】

前記第 1 の電極パターンは、前記ゲート配線に接続されることを特徴とする請求項 9 に記載の液晶表示装置の製造方法。

【請求項 11】

前記第 1 の電極パターンは、前記ゲート配線と同一層の導電膜で形成することを特徴とする請求項 9 又は 10 に記載の液晶表示装置の製造方法。

【請求項 12】

前記第 2 の電極パターンは、前記対向電極と同一層の導電膜で形成することを特徴とする請求項 9 乃至 11 のいずれかに記載の液晶表示装置の製造方法。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、横方向電界（In-Plane-Switching、以下IPSと記載）方式のアクティブマトリクス型の液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

近年、アクティブマトリクス型の液晶表示装置において、液晶に印加する電界の方向を基板に対して平行な方向とするIPS方式が、主に超広視野角を得る手法として用いられている。この方式を採用すると、視角方向を変化させた際のコントラストの変化、階調レベルの反転がほとんど無くなることが明らかにされている（例えば特許文献1参照）。

10

【0003】

図9(a)は、従来一般的なIPS方式の液晶表示装置の画素部を示す平面図で、図9(b)は、そのA-A断面図である。液晶表示装置は、TFTアレイ基板100と、対向基板200と、その間に注入された液晶300などから構成される。TFTアレイ基板100は、ガラス基板等の透明絶縁性基板92上に形成された複数本の走査信号線であるゲート配線1と、保持容量を形成する共通配線3と、これとゲート絶縁膜8を介して交差する信号電圧を供給する複数本のソース配線2と、ソース配線2と平行に設けられた複数本の櫛状の画素電極5と、画素電極5と平行かつ交互に配置された複数本の櫛状の対向電極6と、薄膜トランジスタ（Thin Film Transistor、以下TFTと記載）からなるスイッチング素子を形成する半導体膜7、ドレイン電極4、ソース電極91と、層間絶縁膜9などから構成される。

20

【0004】

スイッチング素子がOFFで、画素電極5と対向電極6の間に液晶300を駆動する電圧が保持容量により保持された状態において、ソース配線2に他の画素の異なる信号電圧が印加されると、その電圧によってソース配線2から漏れ電界が発生し、ソース配線2近傍の液晶300の配向状態を変えてしまう。このため、ソース配線2方向にクロストーク等の表示不良を引き起こしていた。この従来例では、液晶300の配向の乱れた領域の表示への影響を低減するために、ソース配線2に隣接する対向電極6が電界遮蔽電極としても機能するように、ソース配線2に隣接する対向電極6の幅は他の部分の対向電極6より広く形成している。結果として、ソース配線2近傍の光透過に寄与しない領域の幅L1が広くなり、画素開口率が低くなるという問題点があった。

30

【0005】

このような問題点を解決するために、図10(a)、(b)に示す構造が提案されている。図10(a)は、従来IPS方式の液晶表示装置の画素部を示す平面図で、図10(b)は、そのB-B断面図である。この構造では、画素電極5と対向電極6は層間絶縁膜9上に形成されている。ゲート絶縁膜8と層間絶縁膜9を同一工程でエッチングすることで、共通配線3と対向電極6、および、ドレイン電極4と画素電極5の電気接続を行うコンタクトホール10が形成されている。対向電極6はソース配線2を覆い、両者が重なり合うように配置されている。

40

【0006】

このような構成では、ソース配線2に隣接する対向電極6が電界遮蔽電極としても機能して、ソース配線2から発生する漏れ電界を効果的に遮蔽するため、液晶300の配向状態の乱れを低減することができる。このため、光の透過を制限する幅L2を狭くでき、画素開口率を大きくすることができる（例えば特許文献2参照）。

【0007】

【特許文献1】特開平8-254712号公報

【特許文献2】特開2003-307741号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 8 】

しかしながら、図 1 0 に示される構造では、ソース配線 2 と対向電極 6 とが重なり合う構成をとるため、層間絶縁膜 9 の欠陥などによって、ソース配線 2 と対向電極 6 との短絡が発生しやすいという問題があった。

【 0 0 0 9 】

この短絡防止のために、層間絶縁膜 9 を複数回に分けて成膜するなど、製造工程の追加を行うことで短絡を大幅に低減することが可能であるが、製造工程の増加を招く問題点があった。

【 0 0 1 0 】

本発明は、このような問題点を解決するためになされたもので、ソース配線 2 からの漏れ電界を効率的に遮蔽することで、液晶配向の乱れを低減すると共に、画素開口率を大きくでき、かつ、製造工程を増加することなく、ソース配線 2 と対向電極 6 との短絡が発生しにくい液晶表示装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

本発明にかかる液晶表示装置は横電界方式であり、平面視において、ソース配線より下層に第 1 の絶縁膜を介してソース配線に沿って第 1 の電極パターンをソース配線及び第 2 の電極パターンの幅方向の少なくとも一部とそれぞれ重なり合うように配置し、且つ第 1 の電極パターンは所定の電位が入力され、第 2 の電極パターンはソース配線より上層に第 2 の絶縁膜を介してソース配線に沿って、ソース配線と実質的に重なり合わない位置に配置して、且つ第 2 の電極パターンは対向電極と同電位が入力され、ソース配線から液晶への漏れ電界を上下層に配置された第 1 の電極パターン及び第 2 の電極パターンにより効果的に遮蔽することを特徴としたものである。

【発明の効果】

【 0 0 1 2 】

本発明によれば、製造工程を増加することなく画素開口率が高く、かつ、ソース配線からの漏れ電界の影響による液晶配向の乱れを低減することができる液晶表示装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

実施の形態 1 .

図 1 (a)、(b) に 実施の形態 1 にかかるアレイ基板の画素部の平面図およびソース配線近傍の C - C 断面図を示す。ソース配線 2 に沿って第 1 の電極パターンを示す第 1 電界遮蔽電極 1 1 と、第 2 の電極パターンを示す第 2 電界遮蔽電極 1 2 が設けられている。図中で他の同一番号は従来例と同一である。

【 0 0 1 4 】

図 1 (a) において、ガラス基板等の透明絶縁性基板上に、ゲート配線 1 と共通配線 3 、および、共通配線 3 と一体化された第 1 電界遮蔽電極 1 1 が同一層の導電膜で形成され、その上層に第 1 の絶縁膜であるゲート絶縁膜 8 が設けられる。次に、T F T を形成する半導体膜 7 の形成後、ソース配線 2、ソース電極 9 1、ドレイン電極 4 が形成され、その上層に第 2 の絶縁膜である層間絶縁膜 9 が設けられる。その後、ゲート絶縁膜 8 と層間絶縁膜 9 を同一工程でエッチングすることで、共通配線 3 と対向電極 6、および、ドレイン電極 4 と画素電極 5 の電気接続を行うコンタクトホール 1 0 が形成される。最後に画素電極 5 と対向電極 6、および、対向電極 6 と一体化された第 2 電界遮蔽電極 1 2 が同一層の導電膜で形成される。

【 0 0 1 5 】

本実施の形態では、第 1 電界遮蔽電極 1 1 は、ゲート配線 1 とソース配線 2 の交差部およびその近傍を除いたソース配線 2 に沿って、ソース配線 2 の幅方向の全てに重なり合うように配置される。第 2 電界遮蔽電極 1 2 は、ソース配線 2 に沿って配置し、かつ、ソース配線 2 と実質的に重なり合わないよう配置される。

10

20

30

40

50

【0016】

ここで図1(b)を用いて、本実施の形態について更に詳しく説明する。図1(b)において、第1電界遮蔽電極11はソース配線2よりも幅広であり、ゲート絶縁膜8を介して両者は重なり合う構成をとる。第2電界遮蔽電極12はソース配線2の上層に層間絶縁膜9を介して設けられ、両者は実質的に重なり合わない構成をとる。

【0017】

なお、本明細書において、実質的に重なり合わないとは、完全に全ての部分で重なり合わないことのみを意味するものではなく、発明の効果を損なわない範囲であれば、一部に重なり合う部分があってもよいことを意味するものとする。

【0018】

本構成にすることで、ソース配線2からの漏れ電界Eの一部は第1電界遮蔽電極11の側に引き込まれることになり、第2電界遮蔽電極12で遮蔽すべき漏れ電界Eは減少する。よって第2電界遮蔽電極12の幅を小さく設計することができ、ソース配線2近傍の光透過に寄与しない領域を小さくすることができる。その結果、画素開口率を向上させることができる。

【0019】

また、第2電界遮蔽電極12とソース配線2は実質的に重なり合わない構成をとるため、図10の従来例で懸念されるような、層間絶縁膜9の欠損等に起因するソース配線2と第2電界遮蔽電極12との短絡は殆どなく、歩留まりの向上が可能となる。

【0020】

また、短絡の対策として層間絶縁膜9を複数層に分けて成膜する等の製造工程の追加も必要なく、高い生産性が期待できる。

【0021】

一方、ゲート絶縁膜8は、従来においてもゲート配線1とTFTを形成する半導体膜7との短絡を防止するために厚膜化、または、複数層に分けて成膜する等の短絡防止策がとられているので、ソース配線2と第1電界遮蔽電極11との短絡の発生は殆どない。

【0022】

なお、本実施の形態では、第1電界遮蔽電極11は共通電極3、対向電極6および第2電界遮蔽電極12と同じ電位としている。第1電界遮蔽電極11と第2電界遮蔽電極12は、スイッチング素子がOFFで液晶を駆動する電圧の保持期間中は、一定の電位とすることが望ましい。

【0023】

第1電界遮蔽電極11から液晶への漏れ電界はゲート絶縁膜8と層間絶縁膜9の影響で、第2電界遮蔽電極12からの漏れ電界とは多少異なる強度となる。よって、液晶を駆動する漏れ電界としては、第2電界遮蔽電極12の影響が支配的となるように、第1電界遮蔽電極11のソース配線2に対する幅方向の遠端M1、M2は、第2電界遮蔽電極12のソース配線2に対する幅方向の遠端M3、M4よりも幅方向に突出しないように、ソース配線2に近い側に配置することが望ましい。

【0024】

さらに、本実施の形態では、第1電界遮蔽電極11はゲート配線1と同一層の導電膜で形成される共通配線3と一体化されて構成されているので製造工程が増えることはない。第2電界遮蔽電極12も画素電極5と同一層の導電膜で形成される対向電極6と一体化されて構成されているので、製造工程が増えることはない。

【0025】

また、本実施の形態では、同一層で形成される画素電極5、対向電極6、第2電界遮蔽電極12をITOなどの透明導電膜で形成すれば、光透過率をさらに向上することができ、実効的な画素開口率を向上させる効果を得ることができる。

【0026】

次に、本発明の実施の形態1にかかる液晶表示装置の製造プロセスフローについて、図2を用いて説明する。

10

20

30

40

50

【 0 0 2 7 】

まず、図 2 (a) に示すように、絶縁性基板上に Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 等やそれらを主成分とする合金、または ITO 等の透明導電膜、またはそれらの多層膜をスパッタ法や蒸着法等により成膜後、写真製版と微細加工技術により、ゲート電極 1、共通配線 3、第 1 電界遮蔽電極 11 を形成する。

【 0 0 2 8 】

次に、図 2 (b) に示すように、窒化シリコン、酸化シリコン等よりなるゲート絶縁膜 8、非晶質シリコン、多結晶ポリシリコン等よりなる半導体膜 7、P 等の不純物を高濃度にドーピングした n 型非晶質シリコン、n 型多結晶シリコン等からなるコンタクト膜 90 を、プラズマ CVD、常圧 CVD、減圧 CVD 法等で成膜する。なお、ゲート絶縁膜 8 は、ピンホール等の膜欠損発生による短絡を防止するために、複数回に分けて成膜することが好ましい。次いで、写真製版、エッチングにより、コンタクト膜 90 および半導体膜 7 を島状に加工する。

10

【 0 0 2 9 】

次に、図 2 (c) に示すように、Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 等やそれらを主成分とする合金、または ITO 等の透明導電膜、またはそれらの多層膜をスパッタ法や蒸着法等により成膜後、写真製版と微細加工技術により、ソース配線 2、ソース電極 91、ドレイン電極 4 を形成する。さらに、TFT のチャンネルを形成する部位のコンタクト膜 90 をソース電極 91、ドレイン電極 4、あるいはそれらを形成する際にパターニング処理されたフォトリジストをマスクとしてエッチングする。

20

【 0 0 3 0 】

次いで、図 2 (d) に示すように、窒化シリコン、酸化シリコン等の無機絶縁膜または有機樹脂等からなる第 2 の絶縁膜である層間絶縁膜 9 を形成する。その後、写真製版とエッチングによりコンタクトホール 10 を形成する。

【 0 0 3 1 】

最後に、図 2 (e) に示すように、Cr、Al、Ta、Ti、Mo、W、Ni、Cu、Au、Ag 等やそれらを主成分とする合金、または ITO 等の透明導電膜、またはそれらの多層膜をスパッタ法や蒸着法等により成膜後、写真製版と微細加工技術により、画素電極 5、対向電極 6、第 2 電界遮蔽電極 12 を形成する。

【 0 0 3 2 】

以上の工程により、本実施の形態における IPS 方式の液晶表示装置を構成する TFT アレイ基板を作製することができる。

30

【 0 0 3 3 】

このようにして作製された TFT アレイ基板は、その後のセル工程において配向膜を塗布し、ラビング等の手法を用いて一定の方向に配向処理を施す。同様に、TFT アレイ基板と対向する対向基板にも配向膜を塗布し、ラビング等の手法を用いて一定の方向に配向処理を施す。これらの TFT アレイ基板と対向基板とを互いの配向膜が向き合うように、所定の間隔を持って重ね合わせ、基板周縁部をシール材にて接着し、両基板間に液晶を注入して封止する。このようにして形成した液晶セルの両面に偏光板を貼り付けた後、駆動回路を接続、最後にバックライトユニットを取り付けることにより、液晶表示装置を作製する。

40

【 0 0 3 4 】

実施の形態 2 .

図 3 (a)、(b) に実施の形態 2 にかかる液晶表示装置の画素部の平面図およびソース配線近傍の D - D 断面図を示す。実施の形態 1 と異なるのは、第 1 電界遮蔽電極 11 がソース配線 2 の幅方向の全面にあるのではなく、ソース配線 2 の幅方向の一部である辺付近のみで重なり合っている点である。基本的な動作、作用は実施の形態 1 と同じである。

【 0 0 3 5 】

実施の形態 1 に比較すると、ソース配線 2 から液晶への漏れ電界 E の引き込み効果は同様に有しており、第 1 電界遮蔽電極 11 はソース配線 2 との重なり面積が少ないので、ソ

50

ース配線 2 との短絡がさらに低減できるだけでなく、ソース配線 2 の寄生容量を実施の形態 1 より抑制することができる。

【 0 0 3 6 】

実施の形態 3 .

図 4 (a)、(b) に実施の形態 3 にかかる液晶表示装置の画素部の平面図およびソース配線近傍の E - E 断面図を示す。実施の形態 1 と異なるのは、第 1 電界遮蔽電極 1 1 がソース配線 2 の幅方向の全面にあるのではなく、ソース配線 2 とは重なり合わないようにソース配線 2 に沿って配置されている点である。基本的な動作、作用は実施の形態 1 と同じである。

【 0 0 3 7 】

実施の形態 1 および 2 に比較すると、ソース配線 2 から液晶への漏れ電界 E の引き込み効果は同様に有しており、第 1 電界遮蔽電極 1 1 はソース配線 2 と重なり合わないため短絡が殆どなく、ソース配線 2 の寄生容量を実施の形態 1 および 2 より抑制することができる。

【 0 0 3 8 】

実施の形態 4 .

図 5 (a)、(b) に実施の形態 4 にかかる液晶表示装置の画素部の平面図およびソース配線近傍の F - F 断面図を示す。本実施の形態では第 1 電界遮蔽電極 1 1 はゲート配線 1 と一体化されて構成され、ソ-ス配線 2 に沿ってソース配線 2 の幅方向の全てにおいて重なり合うように配置されている。さらに、第 2 電界遮蔽電極 1 2 は対向電極 6 と一体化されて構成され、ソース配線 2 に沿ってソース配線 2 の上層に層間絶縁膜 9 を介してソース配線 2 と重なり合わないように配置されている。ここで、実施の形態 1 と異なるのは、保持容量の構成がゲート配線 1 と画素電極 5 との間に保持容量を形成する C S オンゲートの構成であり、共通配線 3 がない点である。

【 0 0 3 9 】

次に動作について説明する。第 1 電界遮蔽電極 1 1 はゲート電極 1 の電位であり、第 2 電界遮蔽電極 1 2 は対向電極 6 の電位である。ここで、第 1 電界遮蔽電極 1 1 の電位は対向電極 6 の電位ではないが、ソース配線 2 から液晶への漏れ電界 E の引き込み効果は実施の形態 1 と同様に有している。さらに、第 2 電界遮蔽電極 1 2 が設けられているので、ソース配線 2 からの漏れ電界 E を遮蔽する効果は、実施の形態 1 と殆ど変わらない。

【 0 0 4 0 】

また、第 1 電界遮蔽電極 1 1 は対向電極 6 の電位と異なるが、液晶の配向状態に与える漏れ電界の影響は、全画素において一定の同じ大きさの漏れ電界であるのでクロストーク等の表示不良は引き起こさない。

【 0 0 4 1 】

よって、画素開口率を向上させ、かつ、歩留まりの高い液晶表示装置を得ることができる。更に C S オンゲートの構成をとることで、共通配線 3 が不要となり、その部分を表示領域として使用することが可能となり、更なる画素開口率の向上を実現できる。

【 0 0 4 2 】

なお、本実施の形態では第 1 電界遮蔽電極 1 1 を隣接画素のゲート配線 1 と一体化した構成を説明したが、第 1 電界遮蔽電極 1 1 を自画素のゲート配線 1 と一体化した場合においても同様の効果を得ることができる。

【 0 0 4 3 】

実施の形態 5 .

図 6 (a)、(b) に発明の実施の形態 5 にかかる液晶表示装置の画素部の平面図およびソース配線近傍の G - G 断面図を示す。実施の形態 4 と異なるのは、第 1 電界遮蔽電極 1 1 がソース配線 2 の幅方向の全面にあるのではなく、ソース配線 2 の幅方向の一部である辺付近のみで重なり合っている点である。

【 0 0 4 4 】

実施の形態 4 に比較すると、ソース配線 2 から液晶への漏れ電界 E の引き込み効果は同

10

20

30

40

50

様に有しており、第1電界遮蔽電極11はソース配線2との重なり面積が少ないので、ソース配線2との短絡がさらに低減できるだけでなく、ソース配線2の寄生容量を実施の形態4より抑制することができる。

【0045】

実施の形態6.

図7(a)、(b)に発明の実施の形態6にかかる液晶表示装置の画素部の平面図およびソース配線近傍のH-H断面図を示す。実施の形態4と異なるのは、第1電界遮蔽電極11がソース配線2の幅方向の全面にあるのではなく、ソース配線2とは重なり合わないようにソース配線2に沿って配置されている点である。

【0046】

実施の形態4および5に比較すると、ソース配線2から液晶への漏れ電界Eの引き込み効果は同様に有しており、第1電界遮蔽電極11はソース配線2と重なり合わないため短絡が殆どなく、ソース配線2の寄生容量を実施の形態4および5より抑制することができる。

【0047】

実施の形態7.

図8(a)に発明の実施の形態7にかかる液晶表示装置の画素部の平面図およびソース配線近傍のJ-J断面図を示す。本実施の形態では第1電界遮蔽電極11はゲート配線1と一体化されて構成され、ソース配線2に沿ってソース配線2の幅方向の全てにおいて重なり合うように配置されている。さらに、第2電界遮蔽電極12は対向電極6と一体化されて構成され、ソース配線2に沿ってソース配線2の上層に層間絶縁膜9を介してソース配線2と実質的に重なり合わないように配置されている。

【0048】

実施の形態4と異なるのは、CSオンゲートの構成ではなく、保持容量を形成する共通配線3が別途設けられている点である。基本的な動作と効果は実施の形態4と同じである。

【0049】

以上の実施の形態では、第1電界遮蔽電極11はゲート配線1または共通配線3と一体化された構成として、また、第2電界遮蔽電極12は対向電極6と一体化された構成として同一層の導電膜で形成される場合を示したが、これらとはそれぞれ独立した電極パターンとして同一層の導電膜で形成しても良い。または、別の層として別途形成してもよい。

【図面の簡単な説明】

【0050】

【図1】この発明の実施の形態1を示す液晶表示装置の画素部を示す平面図とソース配線近傍のC-C断面図である。

【図2】この発明の実施の形態1を示す液晶表示装置の製造プロセスフローである。

【図3】この発明の実施の形態2を示す液晶表示装置の画素部を示す平面図とソース配線近傍のD-D断面図である。

【図4】この発明の実施の形態3を示す液晶表示装置の画素部を示す平面図とソース配線近傍のE-E断面図である。

【図5】この発明の実施の形態4を示す液晶表示装置の画素部を示す平面図とソース配線近傍のF-F断面図である。

【図6】この発明の実施の形態5を示す液晶表示装置の画素部を示す平面図とソース配線近傍のG-G断面図である。

【図7】この発明の実施の形態6を示す液晶表示装置の画素部を示す平面図とソース配線近傍のH-H断面図である。

【図8】この発明の実施の形態7を示す液晶表示装置の画素部を示す平面図とソース配線近傍のJ-J断面図である。

【図9】従来のIPS方式の液晶表示装置の画素部を示す平面図とソース配線近傍のA-A断面図である。

10

20

30

40

50

【図10】従来のIPS方式のその他の液晶表示装置の画素部を示す平面図とソース配線近傍のB-B断面図である。

【符号の説明】

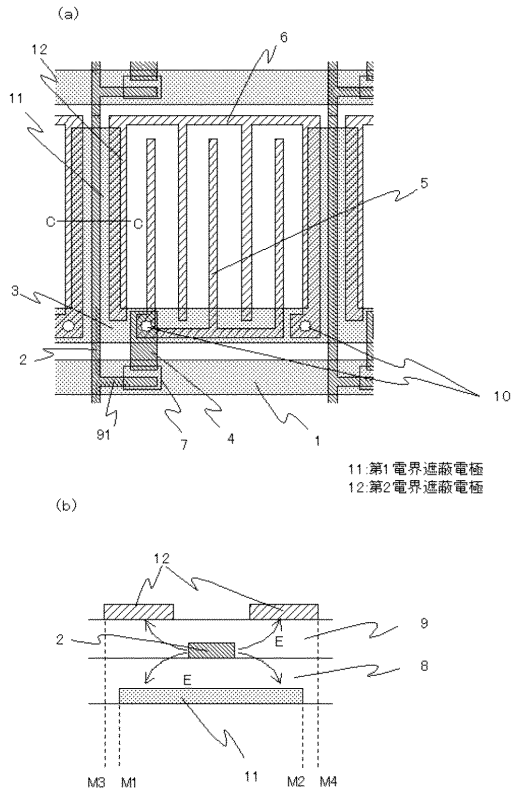
【0051】

- 1 ゲート配線
- 2 ソース配線
- 3 共通配線
- 4 ドレイン電極
- 5 画素電極
- 6 対向電極
- 7 半導体膜
- 8 ゲート絶縁膜
- 9 層間絶縁膜
- 10 コンタクトホール
- 11 第1電界遮蔽電極
- 12 第2電界遮蔽電極
- 90 コンタクト膜
- 91 ソース電極
- 92 透明絶縁性基板
- 100 TFTアレイ基板
- 200 対向基板
- 300 液晶

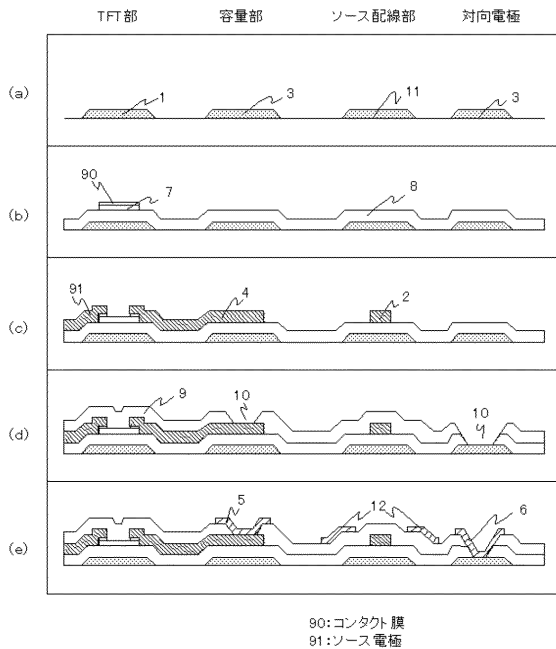
10

20

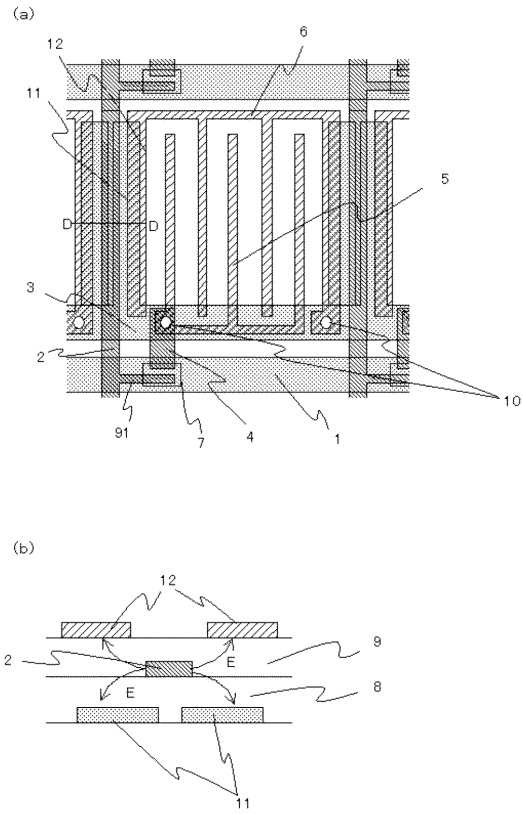
【図1】



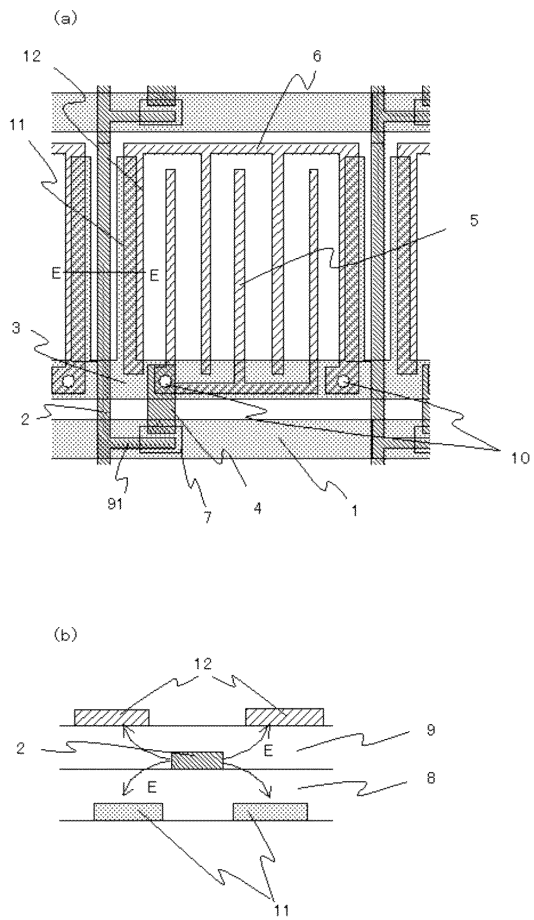
【図2】



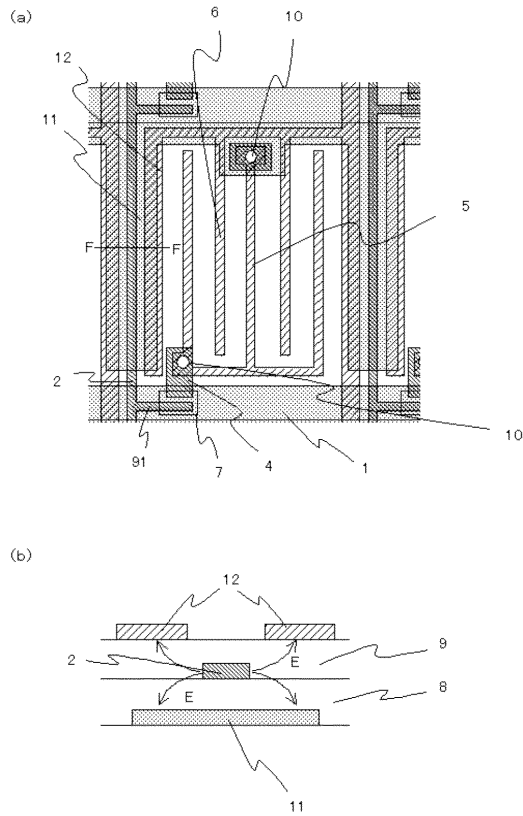
【図3】



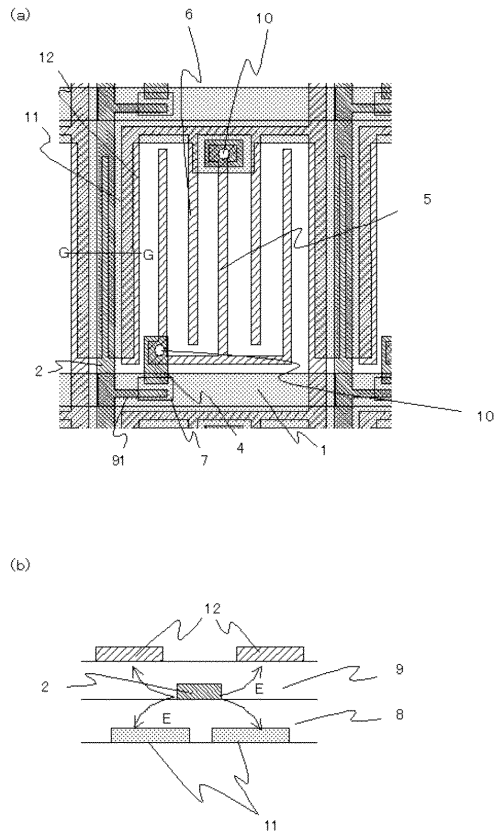
【図4】



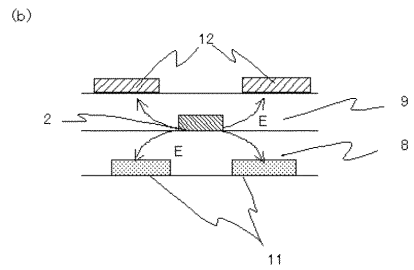
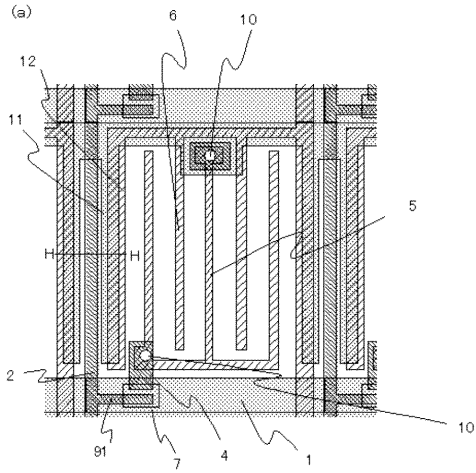
【図5】



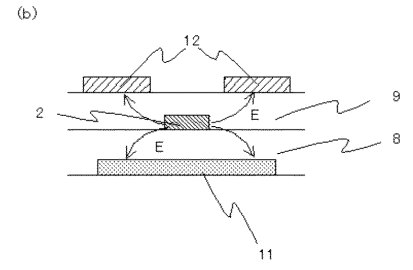
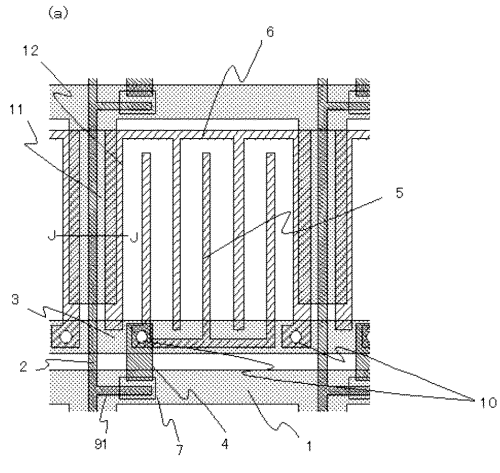
【図6】



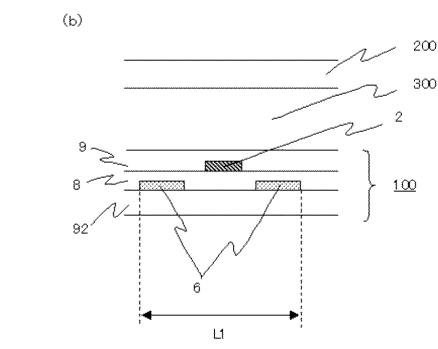
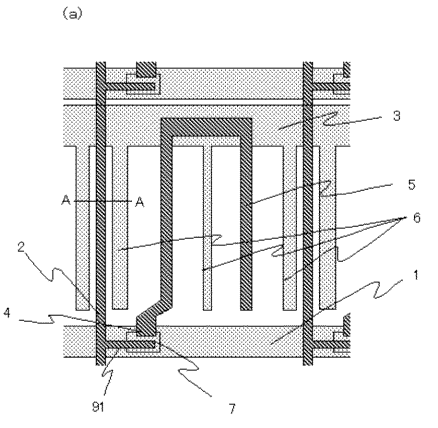
【図7】



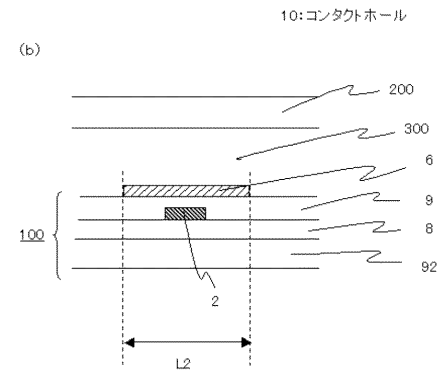
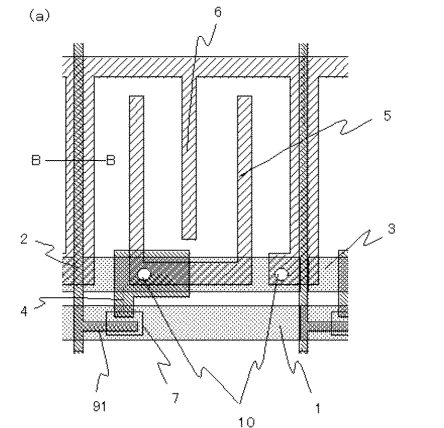
【図8】



【図9】



【図10】



- 1: ゲート直線
- 2: ソース直線
- 3: 共通直線
- 4: ドレイン電極
- 5: 画素電極
- 6: 対向電極
- 7: 半導体膜
- 8: ゲート絶縁膜
- 9: 層間絶縁膜
- 100: TFTアレイ基板
- 200: 対向基板
- 300: 液晶

10: コンタクトホール

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/49 (2006.01) H 0 1 L 21/88 Z
H 0 1 L 21/3205 (2006.01)
H 0 1 L 23/52 (2006.01)

(72)発明者 升谷 雄一
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 福田 知喜

(56)参考文献 特開2004-177545(JP,A)
特開2001-033814(JP,A)
特開平10-020338(JP,A)
特開2000-028993(JP,A)
特開平11-002836(JP,A)
特開2004-163622(JP,A)

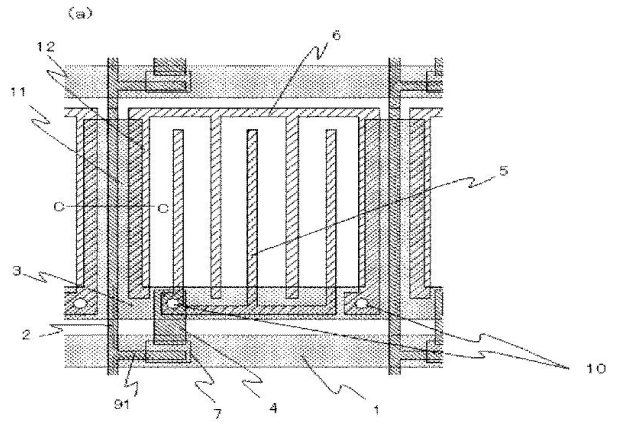
(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 4 3

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4385993B2	公开(公告)日	2009-12-16
申请号	JP2005137211	申请日	2005-05-10
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	永野慎吾 升谷雄一		
发明人	永野 慎吾 升谷 雄一		
IPC分类号	G02F1/1368 G02F1/1343 H01L21/28 H01L29/417 H01L29/423 H01L29/49 H01L21/3205 H01L23/52		
CPC分类号	G02F1/134363 G02F2001/136218		
FI分类号	G02F1/1368 G02F1/1343 H01L21/28.301.R H01L29/50.M H01L29/58.G H01L21/88.Z		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA15 2H092/GA24 2H092/GA26 2H092/GA29 2H092/GA33 2H092/HA03 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB11 2H092/JB23 2H092/JB32 2H092/JB56 2H092/JB57 2H092/JB64 2H092/JB68 2H092/JB69 2H092/KA04 2H092/KA12 2H092/KA18 2H092/KB25 2H092/MA04 2H092/MA05 2H092/MA07 2H092/MA08 2H092/MA13 2H092/MA17 2H092/NA04 2H092/NA07 2H092/NA16 2H092/QA06 2H092/QA09 2H192/AA24 2H192/BB03 2H192/BB84 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA02 2H192/DA12 2H192/GA03 2H192/GA42 2H192/JA33 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB05 4M104/BB08 4M104/BB09 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB36 4M104/CC01 4M104/CC05 4M104/DD34 4M104/DD37 4M104/DD63 4M104/GG09 4M104/GG20 5F033/HH07 5F033/HH08 5F033/HH11 5F033/HH13 5F033/HH14 5F033/HH17 5F033/HH18 5F033/HH20 5F033/HH21 5F033/HH38 5F033/KK07 5F033/KK08 5F033/KK11 5F033/KK13 5F033/KK14 5F033/KK17 5F033/KK18 5F033/KK19 5F033/KK20 5F033/KK21 5F033/PP15 5F033/PP19 5F033/UU04 5F033/VV03 5F033/VV06 5F033/VV15		
代理人(译)	高桥省吾 稻叶忠彦 村上佳菜子		
审查员(译)	福田 知喜		
其他公开文献	JP2006317516A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少由于来自源布线2的泄漏电场引起的液晶300的对准扰动的液晶显示装置，孔径比高，并且几乎不会引起源之间的短路布线2和对电极6不增加制造步骤，并提供其制造方法。解决方案：源极布线2的泄漏电场被沿着源极布线2和第二电极图案12经由栅极绝缘膜8设置在比源极布线2低的层中的第一电极图案11有效地屏蔽。在基本上不与源极布线2重叠的位置，经由层间绝缘膜9沿源极布线2设置在比源极布线2高的层中。第一电极图案11和第二电极图案12是通过分别使用与栅极布线1和对电极6相同的层中的导电膜来形成。 Z

【圖 1】



11 第1電界遮蔽電極
12 第2電界遮蔽電極