

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4327493号
(P4327493)

(45) 発行日 平成21年9月9日(2009.9.9)

(24) 登録日 平成21年6月19日(2009.6.19)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

H03K 19/0175 (2006.01)

H04L 25/02 (2006.01)

G09G 3/36

G02F 1/133 505

G09G 3/20 611J

G09G 3/20 633P

G09G 3/20 633U

請求項の数 8 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-113706 (P2003-113706)
 (22) 出願日 平成15年4月18日(2003.4.18)
 (65) 公開番号 特開2004-317910 (P2004-317910A)
 (43) 公開日 平成16年11月11日(2004.11.11)
 審査請求日 平成18年3月8日(2006.3.8)

(73) 特許権者 302062931
 NECエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100095740
 弁理士 関口 宗昭
 (72) 発明者 細川 朗央
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式
 会社内
 (72) 発明者 山口 雅之
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式
 会社内
 審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置における信号伝送回路

(57) 【特許請求の範囲】

【請求項1】

出力端子での振幅電圧を制御する機能を備え、該出力端子は第一の伝送配線の入力端子に接続される第一のトランスミッタ回路と、

前記伝送配線の出力端子から出力される信号を入力端子に入力し、電位調整用入力端子に入力される電位変動に応じて入力端子の電位を変動させて出力する電位調整回路と、当該電位調整回路からの出力信号を制御入力端子に入力し、該制御入力端子の電位に応じて出力端子の電位を第一の電位或いは第二の電位とする波形生成回路と、当該波形生成回路の後段に縦列に接続されて該波形生成回路の出力信号を反転させる反転バッファとを備える第一のレシーバ回路と、

前記反転バッファからの出力信号を入力し、当該出力信号のデューティに応じて充放電の時間比が変動することで実効的な充放電電圧が変動する容量を備え、当該容量の一端は出力端子に接続され、該出力端子は前記電位調整回路の電位調整用入力端子に接続されるバイアス回路と

を備える液晶表示装置用信号伝送回路。

【請求項2】

前記バイアス回路は、前記反転バッファからの出力信号のデューティの増大に応じて充電時間を増大させ、前記容量の実効的な放電電圧の低下を抑制する機能を有し、

前記電位調整回路は、前記容量の実効的な放電電位の低下による前記電位調整用入力端子の電位低下に応じて、出力端子の電位と入力端子の電位との差を増大させる機能を有する

10

20

請求項 1 記載の液晶表示装置用信号伝送回路。

【請求項 3】

第一の前記トランスミッタ回路は、一個の p 型 MOS トランジスタと一個の n 型 MOS トランジスタとからなるインバータ回路を有し、当該インバータ回路の出力端子と前記 MOS トランジスタの少なくとも一方のドレインとの間に抵抗調整機能を有する MOS トランジスタが配置される

請求項 1 又は 2 記載の液晶表示装置用信号伝送回路。

【請求項 4】

前記第一のレシーバ回路が備える電位調整回路は第一の n 型 MOS トランジスタを備え、当該第一の n 型 MOS トランジスタは、前記バイアス回路の出力端子がゲートに接続され、前記伝送配線の出力端子及び定電圧電源の一方の出力端子がドレインに接続され、前記波形生成回路の制御入力端子がソースに接続され、前記波形生成回路の制御入力端子は、抵抗として機能する MOS トランジスタを介して前記定電圧電源の他方の出力端子と接続する

請求項 1 から 3 のいずれか記載の液晶表示装置用信号伝送回路。

【請求項 5】

前記第一のレシーバ回路は第二の n 型 MOS トランジスタを備え、

当該第二の n 型 MOS トランジスタは、

前記定電圧電源の他方の出力端子がソースに接続され、

前記第一の伝送配線の出力端子と前記第一の n 型 MOS トランジスタのドレインとがドレインに接続され、

電位調整可能な電源の出力端子にゲートは接続されて、

前記第一のレシーバ回路の定電流源をなす

請求項 4 記載の液晶表示装置用信号伝送回路。

【請求項 6】

前記バイアス回路は二個の MOS トランジスタを備え、

当該二個の MOS トランジスタのうち、第一の MOS トランジスタのゲートには前記第一のレシーバ回路の出力端子が接続され、第二の MOS トランジスタのゲートには前記第一のレシーバ回路の出力端子が信号反転回路を介して接続され、

前記第一或いは第二の MOS トランジスタのいずれか一方をスイッチとして前記容量の放電が制御され、他方の MOS トランジスタをスイッチとして前記容量の充電が制御される

請求項 1 から 5 のいずれか記載の液晶表示装置用信号伝送回路。

【請求項 7】

前記第一のトランスミッタ回路と同一のディメンジョン及び同一のレイアウトを備える第二のトランスミッタ回路と、

前記第一のレシーバ回路と同一のディメンジョン及び同一のレイアウトを備える第二のレシーバ回路とを備え、

前記第二のトランスミッタ回路と前記第二のレシーバ回路とは第二の伝送配線を介して接続され、

前記第二のレシーバ回路が備える電位調整回路の電位調整入力端子には前記バイアス回路の出力端子が接続され、

前記第一のトランスミッタ回路にはクロック信号が入力され、前記第二のトランスミッタ回路にはデータ信号が入力される

請求項 1 から 6 のいずれか記載の液晶表示装置用信号伝送回路。

【請求項 8】

前記第一のトランスミッタ回路と同一のディメンジョン及び同一のレイアウトを備える複数のトランスミッタ回路と、

前記第一のレシーバ回路と同一のディメンジョン及び同一のレイアウトを備える複数のレシーバ回路とを備え、

前記複数のトランスミッタ回路のそれぞれは、前記複数のレシーバ回路の一と伝送配線を

10

20

30

40

50

介して接続され、

前記複数のレシーバ回路が備える電位調整回路の電位調整入力端子のそれぞれには前記バイアス回路の出力端子が接続され、

前記第一のトランスミッタ回路にはクロック信号が入力され、前記複数のトランスミッタ回路にはデータ信号が入力される

請求項 1 から 6 のいずれか記載の液晶表示装置用信号伝送回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、液晶表示装置における信号伝送装置に関するものである。更に詳述すれば、本発明は、ガラス基板上に高い抵抗値を持つ配線であっても高速信号伝送を可能とした液晶表示装置の信号伝送回路に関するものである。

10

【従来の技術】

【 0 0 0 2 】

近年、液晶表示装置について、コストダウンを目的として C O G (Chips On Glass) 化若しくは S O G (System On Glass) 化が進んでいる。同時に、信号伝達手段の一方法として、ガラス基板上にアルミ配線を設け、タイミングコントローラから L C D (Liquid Crystal Display : 液晶表示装置) ドライバ L S I (Large Scale Integrated Circuit : 大規模集積回路) 間若しくは L C D ドライバ L S I から L C D ドライバ L S I 間をカスケードに接続する方法が検討されている。

20

【 0 0 0 3 】

図 5 は、ガラス基板上にアルミ配線を設けて、L C D ドライバ L S I 間をカスケードに接続している様子を示したものである。同時に、液晶表示装置における信号伝送回路の適用範囲を示す概念図でもある。図 5 に示すように、L C D 表示パネルに複数の L C D ドライバ L S I が形成され、それらが信号伝送路により相互に接続されている構成である。尚、L C D ドライバ L S I で R x、T x とあるのは、それぞれレシーバ回路、トランスミッタ回路を表す。

【 0 0 0 4 】

信号伝送路は、液晶表示装置の高精細化、大画面化に伴って、多量のデータを転送する必要があるため、近年、高速に信号を伝送することが要求されている。

30

【 0 0 0 5 】

図 6 は、従来からある信号伝送回路の代表例の一つである C M O S 回路構成である。C O M S とは、Complementary M O S (Metal Oxide Semiconductor) の略であって相補型金属酸化物半導体である。

【 0 0 0 6 】

この信号伝送回路は、トランスミッタ回路と信号伝送路とレシーバ回路とから構成される。トランスミッタ回路とレシーバ回路は C M O S 回路で構成される。

【 0 0 0 7 】

トランスミッタ回路は、C M O S 回路構成、即ち一個の p 型 M O S トランジスタと一個の n 型 M O S トランジスタとから構成される。前記 p 型 M O S トランジスタ M₁ のソースは電源電圧端子 V D D に接続され、前記 p 型 M O S トランジスタ M₁ のゲートは入力端子 I N に接続され、前記 p 型 M O S トランジスタ M₁ のドレインは前記 n 型 M O S トランジスタ M₂ のドレイン及び信号伝送路に接続され、前記 n 型 M O S トランジスタ M₂ のゲートは前記入力端子 I N に接続され、前記 n 型 M O S トランジスタ M₂ のソースは G N D 端子に接続されている。

40

【 0 0 0 8 】

前記レシーバ回路も同様に、一個の p 型 M O S トランジスタと一個の n 型 M O S トランジスタとから構成される。前記 p 型 M O S トランジスタ M₃ のソースは電源電圧端子 V D D に接続され、前記 p 型 M O S トランジスタ M₃ のゲートは信号伝送路に接続され、前記 p 型 M O S トランジスタ M₃ のドレインは前記 n 型 M O S トランジスタ M₂ のドレイン及び

50

出力端子に接続され、前記 n 型 MOS トランジスタ M_2 のゲートは前記信号伝送路に接続され、前記 n 型 MOS トランジスタ M_2 のソースは GND 端子に接続されている。ここで、 R は信号伝送路の配線抵抗を、 C_{p1} はトランスミッタ回路の入力寄生容量を、 C_{p2} はレシーバ回路の出力寄生容量を表す。

【0009】

図6の回路の動作を説明する。入力端子 IN が GND 端子と同レベルになった場合、 p 型 MOS トランジスタ M_1 はオンに、 n 型 MOS トランジスタ M_2 はオフになり、トランスミッタ回路の出力は電源電圧 VDD と同じになる。入力端子 IN に入力信号が印加されると、 p 型 MOS トランジスタ M_1 はオフに、 n 型 MOS トランジスタ M_2 はオンになり、トランスミッタ回路の出力は GND 端子と同じレベルになる。このように、トランスミッタ回路は入力信号を反転して電源電圧 VDD の振幅信号に変換して信号伝送路にする。信号伝送路からの出力信号を受けるレシーバ回路の動作も同様であって、その結果、トランスミッタ回路の入力端子 IN に入力された信号がレシーバ回路の出力端子 OUT に伝送されることとなる。

【0010】

トランスミッタ回路及びレシーバ回路の消費電力を P 、動作周波数を f 、電源電圧を V 、CMOS 回路のトランスミッタ回路若しくはレシーバ回路の入力寄生容量若しくは出力寄生容量を C_p とすると、 $P = f \cdot C_p \cdot V^2$ で表されるので、CMOS 回路構成の信号伝送回路には高速化と低消費電力化にトレードオフの関係があるという欠点がある。

【0011】

図7は、別の信号伝送回路の一つである、RSDS (Reduced Swing Differential Signaling) 方式を示す。これは、米国 NS 社準拠のインターフェイスを意味する。この信号伝送回路は差動で「H」レベルと「L」レベルを出力するトランスミッタ回路と、配線の終端に接続される終端抵抗と、電圧コンパレータによるレシーバ回路とで構成される。 IN は入力端子、 INB は反転入力端子、 R_1 及び R_{1B} は信号伝送路の配線抵抗、 R_s は終端抵抗、 OUT はレシーバ回路の出力端子である。

【0012】

図8は、配線抵抗 R_1 を接続するトランスミッタ回路出力+端子とレシーバ回路入力+端子の動作波形を示す。横軸は時間、縦軸は電圧である。以下に動作を説明する。トランスミッタ回路の入力 IN に「L」レベル信号、 INB に「H」レベル信号を与えると、 R_{1B} を接続するトランスミッタ回路出力-端子から、伝送路 R_{1B} 、終端抵抗 R_s 、伝送路 R_1 、 R_1 を接続するトランスミッタ回路出力+端子へ電流が流れ、終端抵抗 R_s には電位が発生するため、配線抵抗 R_1 を接続するレシーバ入力+端子の電位は「L」レベルとなる。次に、信号が反転すると、 R_1 を接続するトランスミッタ回路出力+端子から、伝送路 R_1 、終端抵抗 R_s 、伝送路 R_{1B} 、 R_{1B} を接続するトランスミッタ回路出力-端子へ電流が流れて、終端抵抗 R_s には電位が発生するため、配線抵抗 R_1 を接続するレシーバ入力+端子の電位は「H」レベルとなる。しかしながら、高い周波数領域の場合では、レシーバ回路入力+端子の電位は「H」レベルまで到達できない。更に、RSDSは、トランスミッタ回路で2.0mA、レシーバ回路にも数100 μ A必要であり、消費電力が大きいうえに、信号1本あたり2本の配線が必要になるという欠点がある。

【0013】

図9は、更に別の信号伝送回路の一つとして、特許文献1の伝送回路を示す。この特許文献1では、「従来のCMOSインバータ対を利用した回路では、伝送線路上の信号振幅が大きくなるので、伝送線路の寄生容量を充放電する時間が長くなり高速動作が困難である。また、従来のプリチャージ型回路では、伝送線路上の信号振幅を小さくして高速動作が可能であるが、直流電力を消費するので消費電力が大きくなるという問題と、小信号振幅で信号伝送し、高感度領域までプリチャージした受信回路を利用するためにノイズに弱いという問題」に対して、「第1のドレインを第1の接続点に接続し、第1のゲートを第1のスイッチ手段を介して第1の入力端子に接続し、第1のソースを第1の負の電源に接続した第1のN型MOSトランジスタと、第1の接続点と第2の接続点を接続する第1の

伝送線路と、第1の接続点あるいは第2の接続点あるいは第1の伝送線路の途中に接続されていて第1の伝送線路を電圧 V_1 に昇圧する第1のプリチャージ手段と、第2のドレインを第3の接続点に接続し、第2のゲートを第1のバイアス手段に接続し、第2のソースを第2の接続点に接続し、閾値電圧が V_{th} である第2のN型MOSトランジスタと、第3の接続点と第1の正の電源を接続する第2のスイッチ手段と、第3の接続点と第1の出力端子の間に接続した第1のインバータ回路と、からなり、第1のスイッチ手段をオフ、第2のスイッチ手段をオン、第1のバイアス手段により第2のゲートに第2のN型MOSトランジスタをオフする電圧を印加して、第1の伝送線路のプリチャージを行い、第1のスイッチ手段をオン、第3のスイッチ手段をオフ、第1のバイアス手段により第2のゲートを $(V_1 + V_{th})$ より低い電圧 V_2 を印加して、第1の入力信号から第1の出力端子へ信号を伝送する。また、第1の入力端子にローレベルが入力されている場合は、第1の伝送線路をプリチャージする。さらに、第1のプリチャージ手段を第1の伝送線路の少なくとも2個所以上に分散して備える」と言った解決手段が開示されている。

10

【0014】

以下に、この回路の動作を簡単に説明する。IN1からのDATAを入力する前にN3電位が「H」レベルになるようにプリチャージを行う。プリチャージ完了後、IN1からデータを入力する。「H」信号の伝送時は、N3電位が変化しないから「H」レベルとなる。一方、「L」信号の伝送時は、Tr1がオンし、N3電位が「L」レベルになる。レシーバ回路側の入力「L」レベルになるとTr2がオフし、不要な電流は流れない。しかしながら、プリチャージのためのCLKが必要であること、制御回路が複雑であること、という欠点がある。

20

【0015】

更に、以上の3種類の信号伝送回路では、ガラス基板上のアルミ配線は数100Ωであり、LCDドライバLSIの入力寄生容量もしくは出力寄生容量は3~4pFであるため、RCの時定数による波形なまりが影響を及ぼし、200MHz以上のような高周波領域での信号伝送ができないという欠点がある。

【0016】

【特許文献1】

特開2001-156180号公報

【0017】

【発明が解決しようとする課題】

本発明は、以上のような従来技術の信号伝送回路の問題点を解決し、ガラス基板上のアルミ配線のような高い抵抗値を持つ配線であっても、配線領域や消費電力を増やすことなく、高速で信号伝送が可能な液晶表示装置における信号伝送回路を提供することを解決の課題とするものである。

30

【0018】

【課題を解決するための手段】

前記課題を解決するために提供される本願第一の発明に係る液晶表示装置用信号伝送回路は、出力端子での振幅電圧を制御する機能を備え、その出力端子は第一の伝送配線の入力端子に接続される第一のトランスミッタ回路と、伝送配線の出力端子から出力される信号を入力端子に入力し、電位調整用入力端子に入力される電位変動に応じて入力端子の電位を変動させて出力する電位調整回路と、その電位調整回路からの出力信号を制御入力端子に入力し、この制御入力端子の電位に応じて出力端子の電位を第一の電位或いは第二の電位とする波形生成回路と、その波形生成回路の後段に縦列に接続されて波形生成回路の出力信号を反転させる反転バッファとを備える第一のレシーバ回路と、反転バッファからの出力信号を入力し、その出力信号のデューティに応じて充放電の時間比が変動することで実効的な充放電電圧が変動する容量を備え、この容量の一端は出力端子に接続され、その出力端子は前記電位調整回路の電位調整用入力端子に接続されるバイアス回路とを備える。

40

第一のトランスミッタ回路の振幅電圧を制御する機能によって、第一のトランスミッタ回

50

路から出力される信号の振幅電圧には上限が設定される。また、第一のレシーバ回路の反転バッファによって、伝送配線を伝達する高周波信号は波形の立ち上がりに遅れが発生する。このため、伝送配線を伝達する信号の電圧振幅が抑制される。伝送配線における消費電力は信号の電圧振幅の2乗に比例するので、係る構成によって伝送配線での信号伝送に由来する消費電力が抑制される。

また、伝送された電圧振幅が少ない信号は、電位調整回路によって増幅され、波形生成回路の入力として適切な信号に調整される。この調整はバイアス回路が出力するバイアス電圧によって行われるが、このバイアス電圧はレシーバ回路の出力信号のデューティに応じて変動するようにバイアス回路は構成されている。このため、レシーバ回路の出力信号が設計上規定される所定のデューティになるようにバイアス電圧が自律的に制御される。

10

すなわち、トランスミッタ回路に入力された信号は伝送配線での消費電力が少ない信号に変換されてレシーバ回路へと伝送され、その信号は適切に調整されてレシーバ回路から所定のデューティを有する信号が所定の電圧振幅で出力されることとなる。従って、係る構成を備える信号伝送回路を用いることで、高周波信号であっても低消費電力で適切な信号伝送が可能となる。

【0019】

また、本願第二の発明に係る液晶表示装置用信号伝送回路は本願第一の発明に係る信号伝送回路であって、バイアス回路は、反転バッファからの出力信号のデューティの増大に応じて充電時間を増大させ、容量の実効的な放電電圧の低下を抑制する機能を有し、電位調整回路は、容量の実効的な放電電位の低下による電位調整用入力端子の電位低下に応じて

20

出力端子の電位と入力端子の電位との差を増大させる機能を有する。
係る構成を備えることで、トランスミッタ回路への高周波信号入力を開始すると、信号入力開始前に充電が完了していたバイアス回路の容量は放電を開始し、そのため出力されるバイアス電圧が徐々に低下する。レシーバ回路に伝送された信号に対してバイアス電圧の低下によって上昇する所定の電圧が重畳された信号がレシーバ回路に生成され、その信号の電位が波形生成回路のスイッチング電位に達することで第一のレシーバ回路からも高周波信号が出力されるようになる。第一のレシーバ回路から出力される信号のデューティが増加すると、バイアス回路が備える容量における充電時間が相対的に長くなり、バイアス電圧の低下傾向が抑制される。バイアス電圧の低下傾向が抑制されると、第一のレシーバ回路に伝送された信号に重畳する電圧の上昇傾向も抑制されるので、デューティの変動も抑制され、最終的には、第一のレシーバ回路からの出力信号のデューティが所定の値になることでバイアス電圧は一定となる。このため、第一のレシーバ回路に伝送された信号の電圧振幅が少なくても、その信号の周波数で所定のデューティの信号がレシーバ回路から出力される。従って、トランスミッタ回路に入力された信号と同一の周波数の信号がレシーバ回路から出力される。

30

【0020】

また、本願第三の発明に係る液晶表示装置用信号伝送回路は本願第一又は第二の発明に係る信号伝送回路であって、第一のトランスミッタ回路は、一個のp型MOSトランジスタと一個のn型MOSトランジスタとからなるインバータ回路を有し、そのインバータ回路の出力端子とMOSトランジスタの少なくとも一方のドレインとの間に抵抗調整機能を有するMOSトランジスタが配置される。

40

係る構成を備えることで、抵抗調整機能を有するMOSトランジスタの実効的な抵抗値に応じて第一のトランスミッタ回路の出力信号における最大電圧振幅が抑制される。このため、伝送配線における消費電力が抑制される。

【0021】

また、本願第四の発明に係る液晶表示装置用信号伝送回路は本願第一から第三のいずれかの発明に係る信号伝送回路であって、第一のレシーバ回路が備える電位調整回路は第一のn型MOSトランジスタを備え、その第一のn型MOSトランジスタは、バイアス回路の出力端子がゲートに接続され、伝送配線の出力端子及び定電圧電源の一方の出力端子がドレインに接続され、波形生成回路の制御入力端子がソースに接続され、波形生成回路の制

50

御入力端子は、抵抗として機能するMOSトランジスタを介して定電圧電源の他方の出力端子と接続する。

係る構成を備えることで、バイアス回路からのバイアス電位が低下すると第一のn型MOSトランジスタの実効的な抵抗値が上昇し、その結果第一のn型MOSトランジスタに直列に接続されるMOSトランジスタ（抵抗値として機能している）との間に設定されるノードの電位が上昇する。このMOSトランジスタ間のノードは波形生成回路の制御入力に接続されるので、バイアス電位の低下によって波形生成回路の制御入力に入力される電位が上昇する構成が実現される。

【0022】

また、本願第五の発明に係る液晶表示装置用信号伝送回路は本願第一から第四のいずれかの発明に係る信号伝送回路であって、第一のレシーバ回路は第二のn型MOSトランジスタを備え、この第二のn型MOSトランジスタは、定電圧電源の他方の出力端子がソースに接続され、第一の伝送配線の出力端子と前記第1のn型MOSトランジスタのドレインとがドレインに接続され、電位調整可能な電源の出力端子にゲートは接続されて、第一のレシーバ回路の定電流源をなす。

10

係る構成を備えることで、レシーバ回路に過剰な電流が流れることが防止され、レシーバ回路での低消費電力が実現される。

【0023】

また、本願第六の発明に係る液晶表示装置用信号伝送回路は本願第一から第五のいずれかの発明に係る信号伝送回路であって、バイアス回路は二個のMOSトランジスタを備え、その二個のMOSトランジスタのうち、第一のMOSトランジスタのゲートには第一のレシーバ回路の出力端子が接続され、第二のMOSトランジスタのゲートには第一のレシーバ回路の出力端子が信号反転回路を介して接続され、第一或いは第二のMOSトランジスタのいずれか一方をスイッチとして容量の放電が制御され、他方のMOSトランジスタをスイッチとして容量の充電が制御される。

20

係る構成を備えることで、第一のレシーバ回路の出力信号のデューティに応じてバイアス回路における容量の充放電の時間比が変動する構成が実現される。

【0024】

また、本願第七の発明に係る液晶表示装置用信号伝送回路は本願第一から第六のいずれかの発明に係る信号伝送回路であって、第一のトランスミッタ回路と同一のディメンジョン及び同一のレイアウトを備える第二のトランスミッタ回路と、第一のレシーバ回路と同一のディメンジョン及び同一のレイアウトを備える第二のレシーバ回路とを備え、第二のトランスミッタ回路と第二のレシーバ回路とは第二の伝送配線を介して接続され、第二のレシーバ回路が備える電位調整回路の電位調整用入力端子にはバイアス回路の出力端子が接続され、第一のトランスミッタ回路にはクロック信号が入力され、第二のトランスミッタ回路にはデータ信号が入力される。

30

係る構成を備えることで、クロック信号の伝送回路に基づいて設定されたバイアス電圧がデータ信号を伝送する伝送回路にも印加される。上記のごとくクロック信号伝送用の回路とデータ信号伝送用の回路との構成が同一である場合には、クロック伝送用の回路で決定されたバイアス電圧を用いても、伝送されたデータ信号はデータ信号伝送用の回路における波形生成回路のスイッチングを適切に行うことができるように調整される。このため、バイアス回路をデータ信号伝送回路用に別に用意する必要がない。また、本発明では、レシーバ回路に入力する伝送信号の特性が定常的であることを前提として、波形生成回路の制御入力の電位設定をするためのフィードバックループをレシーバ回路とバイアス回路とで実行する。このため、データ信号よりも信号特性の経時変化が少ないクロック信号の方がより適切にバイアス電圧の設定できる。さらに、係る構成では、クロック信号用伝送配線とデータ信号用伝送配線とでは配線抵抗の相対誤差が少なければ、基板ごとに伝送配線の絶対値が変動しても各基板ごとに適切なバイアス電圧が自律的に設定される。従って、高周波信号を低消費電力で伝送する伝送回路が比較的簡便に構成される。

40

【0025】

50

また、本願第八の発明に係る液晶表示装置用信号伝送回路は本願第一から第六のいずれかの発明に係る信号伝送回路であって、第一のトランスミッタ回路と同一のディメンジョン及び同一のレイアウトを備える複数のトランスミッタ回路と、第一のレシーバ回路と同一のディメンジョン及び同一のレイアウトを備える複数のレシーバ回路とを備え、複数のトランスミッタ回路のそれぞれは、複数のレシーバ回路の一つと伝送配線を介して接続され、複数のレシーバ回路が備える電位調整回路の電位調整用入力端子のそれぞれにはバイアス回路の出力端子が接続され、第一のトランスミッタ回路にはクロック信号が入力され、複数のトランスミッタ回路にはデータ信号が入力される。

係る構成を備えることで、複数のデータ信号の伝送回路にとって適切なバイアス電圧を一つのクロック信号用の伝送回路で設定することとなり、回路の構成が簡略化される。

10

【 0 0 2 6 】

【発明の実施の形態】

以下、発明の実施の形態を実施例に基づき、かつ添付図を参照しつつ詳細に説明する。

【 0 0 2 7 】

< 実施例 1 >

実施例 1 の液晶表示装置の信号伝送回路は、電圧振幅制御機能を備え、GND 端子レベルを基準にして動作するように構成して成るトランスミッタ回路 0、1 と、電流と電圧振幅の制御機能を備え、該制御機能の調整のための定電流源バイアス入力端子と定電流源回路とを備え、GND 端子レベルを基準にして動作するように構成して成るレシーバ回路 0、1 と、差動入力回路を備え、該差動入力回路のうちの一方の入力端子に CLK 信号レシーバ回路の出力信号を入力し、他方の入力端子には前記 CLK 信号レシーバ回路の反転出力信号を入力し、出力端子にはコンデンサを接続し、前記 CLK 信号レシーバ回路の出力信号に応じて前記出力端子に接続したコンデンサを充放電する機能を備え、更に前記出力端子を前記 CLK 信号レシーバ回路及び DATA 信号レシーバ回路のバイアス入力端子に接続し、GND 端子レベルを基準にして動作するように構成して成るバイアス回路と、から構成して成る。

20

【 0 0 2 8 】

ここでは、クロックを CLK、データを DATA と表記している。また、GND とは Ground の簡略語であって接地、或いはアースの意味である。

【 0 0 2 9 】

即ち、信号伝送回路は 4 ブロックから構成される。トランスミッタ回路 0 は CLK 信号を送信するブロックであり、レシーバ回路 0 は CLK 信号を受信するブロックである。トランスミッタ回路 1 は DATA 信号を送信するブロックであり、レシーバ回路 1 は DATA 信号を受信するブロックである。バイアス回路は信号伝送回路の全てのレシーバ回路に最適なバイアス電圧を供給するブロックである。

30

【 0 0 3 0 】

前記トランスミッタ回路 0、1 は、電圧振幅制御機能を備え、GND 端子レベルを基準にして動作するように構成した。

【 0 0 3 1 】

即ち、前記トランスミッタ回路 0、1 は、一個の p 型 MOS トランジスタと二個の n 型 MOS トランジスタとから成り、前記 p 型 MOS トランジスタのソースは電源電圧端子 VDD に接続し、前記 p 型 MOS トランジスタのゲートは CLK 信号入力端子に接続し、前記 p 型 MOS トランジスタのドレインは前記第一の n 型 MOS トランジスタのソースに接続し、前記第一の n 型 MOS トランジスタのゲートは電圧振幅制限バイアス入力端子に接続し、前記第一の n 型 MOS トランジスタのドレインは前記第二の n 型 MOS トランジスタのドレイン及び信号伝送路に接続し、前記第二の n 型 MOS トランジスタのゲートは前記 CLK 信号入力端子に接続し、前記第二の n 型 MOS トランジスタのソースは GND 端子に接続して構成した。

40

【 0 0 3 2 】

前記レシーバ回路 0、1 は、電流と電圧振幅の制御機能を備え、その調整のための定電流

50

源バイアス入力端子と定電流源回路とを備え、GND端子レベルを基準にして動作するように構成した。

【0033】

即ち、前記レシーバ回路0、1は、一個のp型MOSトランジスタと二個のn型MOSトランジスタと二個の反転バッファとから成り、前記p型MOSトランジスタのソースは電源電圧端子に接続し、前記p型MOSトランジスタのゲートと前記p型MOSトランジスタのソースとは前記二個の反転バッファを縦列に接続したその入力側のノードに接続し、前記第一のn型MOSトランジスタのソースは前記ノードに接続し、前記第一のn型MOSトランジスタのゲートは前記バイアス回路の出力端子に接続し、前記第一のn型MOSトランジスタのドレインは前記第二のn型MOSトランジスタのドレイン及び前記信号伝送路とに接続し、前記第二のn型MOSトランジスタのゲートは前記定電流源バイアス入力端子に接続し、前記第二のn型MOSトランジスタのソースはGND端子に接続し、前記二個の反転バッファを縦列に接続したその出力はレシーバ回路出力端子に接続して構成した。尚、CLK信号用レシーバ回路の場合には、該反転バッファの出力を前記バイアス回路の入力端子に接続した。

10

【0034】

ここで、 R_0 及び R_1 は、LCDパネルのガラス基板上アルミ配線抵抗を示し、抵抗値は現在のプロセスでは一般的には数100Ωである。 C_{P1} 及び C_{P101} はトランスミッタ回路の出力寄生容量、 C_{P2} 及び C_{P102} はレシーバ回路の入力寄生容量を示し、容量値は3～4pFである。

20

【0035】

前記トランスミッタ回路0とトランスミッタ回路1は同じディメンジョン、同じレイアウトに構成した。レシーバ回路0とレシーバ回路1も同じディメンジョン、同じレイアウトで構成した。そして、トランスミッタ回路のMOSトランジスタ M_2 と M_{102} のゲートには同じ電圧 V_{B1} を、レシーバ回路のMOSトランジスタ M_6 と M_{106} のゲートには同じ電圧 V_{B2} を供給した。

【0036】

更に、前記トランスミッタ回路のMOSトランジスタ M_1 と M_3 、若しくは M_{101} と M_{103} とは相補的にオンするように構成した。レシーバ回路のMOSトランジスタ M_6 若しくは M_{106} は、そのゲートに適当な電圧 V_{B2} を供給することで定電流源を構成した。トランスミッタ回路のMOSトランジスタ M_2 若しくは M_{102} は、そのゲートに適当な電圧 V_{B1} を供給することで、「H」レベルを電源電圧VDD以下、例えば1V程度に電圧を制限するように構成した。但し、正確に言えば、「H」レベルはトランスミッタ回路0とレシーバ回路0（若しくはトランスミッタ回路1とレシーバ回路1）の両方の作用で決定されることとなる。レシーバ回路のMOSトランジスタ M_5 若しくは M_{105} は電子スイッチを構成し、ノード N_2 若しくは N_{102} の電位は電源電圧VDD付近若しくはGND端子レベル付近とする。そして、レシーバ回路のMOSトランジスタ M_4 と M_5 若しくは M_{104} と M_{105} は、電流制限の役割も有しており、数kΩで構成した。反転バッファINV₁及びINV₁₀₁は主に波形生成且つ反転バッファINV₂及びINV₁₀₂のゲート容量の充放電駆動を行なうように構成され、INV₂及びINV₁₀₂は反転出力用のバッファとして用いた。

30

40

【0037】

前記バイアス回路は、差動入力回路を備え、該差動入力回路のうちの一方の入力端子にCLK信号レシーバ回路の出力信号を入力し、他方の入力端子には前記CLK信号レシーバ回路の反転出力信号を入力し、出力端子にはコンデンサを接続し、前記CLK信号レシーバ回路の出力信号に応じて前記出力端子に接続したコンデンサを充放電する機能を備え、更に前記出力端子を前記CLK信号レシーバ回路及びDATA信号レシーバ回路のバイアス入力端子に接続し、GND端子レベルを基準にして動作するように構成した。

【0038】

前記バイアス回路の差動入力回路は、二個のp型MOSトランジスタと一個の反転バッ

50

アとから成り、前記第一のp型MOSトランジスタのゲートを前記差動入力回路の一方の入力端とし、前記第二のp型MOSトランジスタのゲートに前記反転バッファを接続して前記差動入力回路の他方の入力端として構成した。

【0039】

前記バイアス回路の入力端には、前記CLK信号のレシーバ回路0の出力 OUT_{CLK} に接続した。そして、前述のように、その入力の反転信号を得るように INV_{11} を構成し、バイアス回路のMOSトランジスタ M_{12} がオンするときはコンデンサ C_{11} の充電を、 M_{11} がオンするときは、バイアス回路のMOSトランジスタ M_{13} と M_{14} とを介して C_{11} に蓄積された電荷を放電するように回路を構成した。デューティ = 50%を得るために、 M_{11} と M_{12} は同じディメンジョン、同じレイアウトにし、また、 M_{13} と M_{14} も同じディメンジョン、同じレイアウトで構成した。尚、バイアス回路のMOSトランジスタ M_{15} は電子スイッチとして構成し、レシーバ回路0が高周波で自己発振することを防いでいる。

10

【0040】

更に、前記バイアス回路は1つのみで、CLK信号のレシーバ回路0のバイアス入力のほか、DATA信号のレシーバ回路1のバイアス入力にもバイアス回路の出力 OUT_{BIAS} を供給するように構成した。

【0041】

以下、回路動作の説明を行なう。CLK信号伝送の動作波形を図2に、DATA信号伝送の動作波形を図3に示す。何れも横軸は時間(sec)で、縦軸は電圧(V)である。図2及び図3の動作波形は、電源電圧 $V_{DD} = 2.5V$ 、周波数 $f = 250MHz$ 、LCDパネルのガラス基板上アルミ配線抵抗 R_0 及び $R = 100\Omega$ の結果である。

20

【0042】

まず、CLK信号の伝送を行なう。最初、 IN_{CLK} に「L」レベルを与えたときの初期電圧は、トランスミッタ回路0の出力およびレシーバ回路0の入力は OUT_{BIAS} からMOSトランジスタの V_{gs} 分だけ下がった電圧で「H」レベルを出力する。例えば、 $V_{B1} = 2.0V$ で、トランスミッタ回路0の出力電圧 = 1.2Vとなる。このとき、レシーバ回路0の N_1 電位は電源電圧 V_{DD} 付近であり、従って、レシーバ回路0の出力、即ち、 OUT_{CLK} は「H」レベルを出力する。そして、バイアス回路のMOSトランジスタ M_{11} はオフ、 M_{12} がオンすることで、 OUT_{BIAS} に接続された容量 C_{11} には電源電圧 V_{DD} まで電荷が蓄積される。つまり、 OUT_{BIAS} は電源電圧 V_{DD} 電位となる。

30

【0043】

次に、 IN_{CLK} にデューティ50%の信号を与えると、バイアス回路の位相調整機能が作用し、 OUT_{BIAS} は電源電圧 V_{DD} から徐々に電位が下がる。そして、レシーバ回路0の出力、即ち、 OUT_{CLK} が、デューティ50%で出力できるようになるまで、 OUT_{BIAS} の電位は下がる。その後は、 OUT_{CLK} がデューティ50%で出力が維持できるように OUT_{BIAS} の電位が追従する。ここで、電圧バイアスの設定が完了し、 $OUT_{BIAS} = 1.6V$ 付近を得る。また、CLK信号のしきい値は0.2V付近を得る。

40

【0044】

OUT_{BIAS} が安定するとDATA信号 IN_{D1} を動作させることができる。図3は、その OUT_{BIAS} が安定した後に、DATA信号を伝送している波形を示している。 OUT_{BIAS} はレシーバ回路0と同様にレシーバ回路1にも電圧を供給しているため、レシーバ回路1のバイアス電圧は最適な条件にある。つまり、CLK信号のしきい値と同様にDATA信号のしきい値も0.2V付近を得ている。その結果、データ信号 IN_{D1} の状態に応じて、レシーバ回路1の出力、即ち OUT_{D1} が期待通りのファンクションを行なうこととなる。

【0045】

従って、実施例1の液晶表示装置における信号伝送回路においては、位相調整回路を応用

50

したバイアス回路がレシーバ回路に最適なバイアス電圧を供給し、目的とするデューティを得るという作用が実現している。つまり、デューティ = 50% を期待値となるように設定することで、高周波領域においても信号を正確に伝送するという効果を得ることが出来る。また、トランスミッタ回路には電圧振幅を制限する作用、レシーバ回路には電流および電圧振幅を制限するという作用があり、消費電力を P 、動作周波数を f 、電源電圧を V 、トランスミッタ回路若しくはレシーバ回路の入力寄生容量、若しくは出力寄生容量を C_p とすると、 $P = f \cdot C_p \cdot V^2$ で表すことができるため、低消費電力という効果を得ることができる。

【0046】

更に、定常動作する CLK 信号伝送回路から、レシーバ回路のバイアス電圧を作り出す回路構成であるため、定常状態にならない積分波形であっても、最適なしきい値を得ることができる。つまり、高周波領域においても信号を正確に伝送するという効果を得ることができる。然も、配線抵抗の相対誤差が小さければ、抵抗値の絶対変動に対しても動作領域が広いという効果も発揮する。

【0047】

また、レシーバ回路 0、1 の MOS トランジスタ M_4 と M_5 若しくは M_{104} と M_{105} は電流制限の役割があり、数 $k\Omega$ で構成しているため、トランスミッタ回路 0、1 の MOS トランジスタ M_3 若しくは M_{103} がオンしても伝送回路の消費電流は 1 mA 程度となり、低消費電力を達成している。

【0048】

従って、実施例 1 の液晶表示装置における信号伝送回路によれば、ガラス基板上のアルミ配線のような高い抵抗値を持つ配線であっても、配線領域や消費電力を増やすことなく、高速で信号伝送が可能な液晶表示装置における信号伝送回路を提供することが可能なこととなる。

【0049】

< 実施例 2 >

図 4 は、実施例 2 の液晶表示装置における信号伝送回路の説明図である。信号伝送回路は、電圧振幅制御機能を備え、電源電圧を基準にして動作するように構成して成るトランスミッタ回路 0、1 と、電流と電圧振幅の制御機能を備え、その調整のためのバイアス入力端子と定電流源回路とを備え、電源電圧を基準にして動作するように構成して成るレシーバ回路 0、1 と、差動入力回路を備え、該差動入力回路のうちの一方の入力端子に CLK 信号レシーバ回路の出力信号を入力し、他方の入力端子には前記 CLK 信号レシーバ回路の反転出力信号を入力し、出力端子にはコンデンサを接続し、前記 CLK 信号レシーバ回路の出力信号に応じて前記出力端子に接続したコンデンサを充放電する機能を備え、更に前記出力端子を前記 CLK 信号レシーバ回路及び DATA 信号レシーバ回路のバイアス入力端子に接続し、電源電圧を基準にして動作するように構成して成るバイアス回路と、から構成して成る。

【0050】

実施例 2 の液晶表示装置における信号伝送回路は、実施例 1 と異なり、前記トランスミッタ回路 0、1、前記レシーバ回路 0、1 及び前記バイアス回路は、電源電圧を基準にして動作するように構成したことである。基準となる電圧を、GND 端子レベルから電源電圧に変えるため、使用する MOS トランジスタの極性や接続する端子の位置を必要に応じて変更する必要があるが、それは適宜に行なうことが出来る。

【0051】

従って、実施例 2 の液晶表示装置における信号伝送回路によれば、高速に信号伝送が可能な液晶表示装置における信号伝送回路の基準電圧を電源電圧に設定することが出来ることとなる。回路の動作や効果は、実施例 1 の液晶表示装置における信号伝送回路と同様であるので、説明は省略する。

【0052】

【発明の効果】

本発明に係る液晶表示装置における信号伝送回路によれば、ガラス基板上のアルミ配線のような高い抵抗値を持つ配線であっても、配線領域や消費電力を増やすことなく、高速で信号伝送が可能な液晶表示装置における信号伝送回路を提供することが可能なこととなる。

【図面の簡単な説明】

【図 1】 実施例 1 の液晶表示装置における信号伝送回路の説明図である。

【図 2】 図 1 の液晶表示装置における信号伝送回路の C L K 信号動作波形の説明図である。

【図 3】 図 1 の液晶表示装置における信号伝送回路の D A T A 信号動作波形の説明図である。

10

【図 4】 実施例 2 の液晶表示装置における信号伝送回路の説明図である。

【図 5】 液晶表示装置における信号伝送回路の適用範囲を説明する概念図である。

【図 6】 従来の C M O S 回路の説明図である。

【図 7】 従来の R S D S 回路の説明図である。

【図 8】 従来の R S D S 回路での動作波形の説明図である。

【図 9】 特許文献 1 の回路の説明図である。

【符号の説明】

M₁ ~ M₁₀₆ 信号伝送回路を構成する M O S トランジスタ

I N V₁ ~ I N V₁₀₂ 信号反転バッファ

C_{P1} ~ C_{P102} L S I の寄生容量

20

R、R₀ ~ R_{1B} 信号伝送路の配線抵抗

R_S 終端抵抗

V D D 電源電圧端子

G N D G N D (Ground) 端子

I N C L K C L K 信号のトランスミッタ回路入力端子

I N D₁ D A T A 信号のトランスミッタ回路入力端子

I N トランスミッタ回路入力端子

I N B トランスミッタ回路反転入力端子

O U T C L K C L K 信号のレシーバ回路出力端子

O U T D₁ D A T A 信号のレシーバ回路出力端子

30

O U T B I A S バイアス回路の出力端子

O U T レシーバ回路出力端子

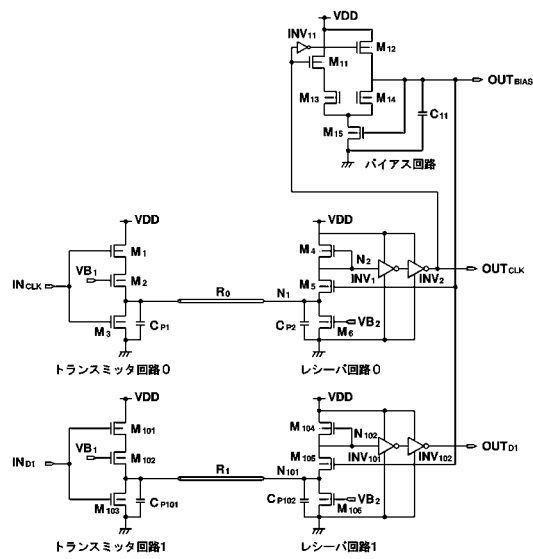
N₁、N₁₀₁ レシーバ回路入力端子

N₂、N₁₀₂ ノード (レシーバ回路内部のソースフォロア出力端子)

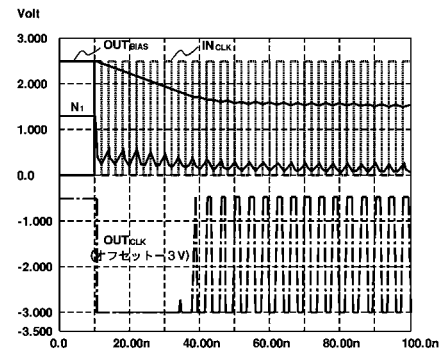
V B₁ トランスミッタ回路の電圧振幅制限バイアス入力端子

V B₂ レシーバ回路の定電流源バイアス入力端子

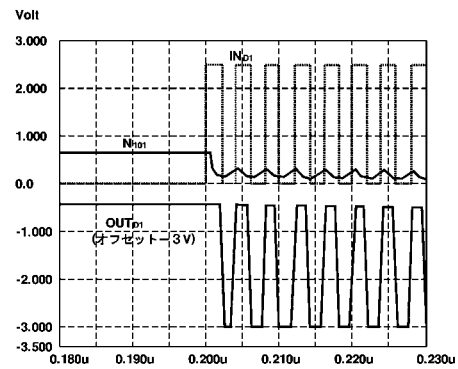
【図 1】



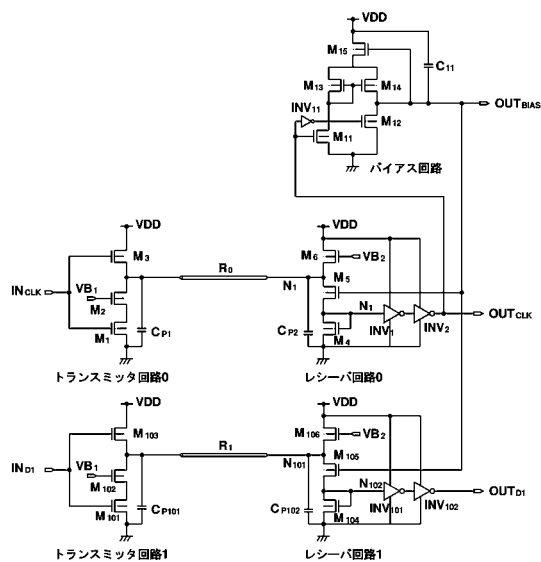
【図 2】



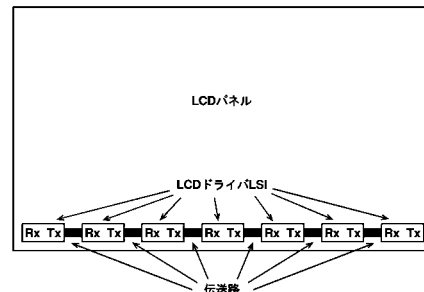
【図 3】



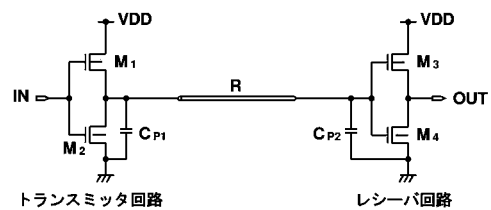
【図 4】



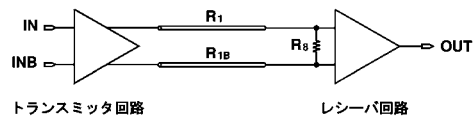
【図 5】



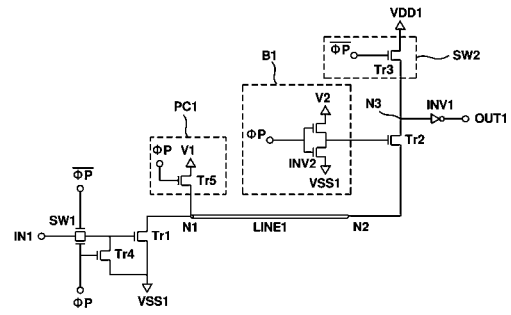
【図 6】



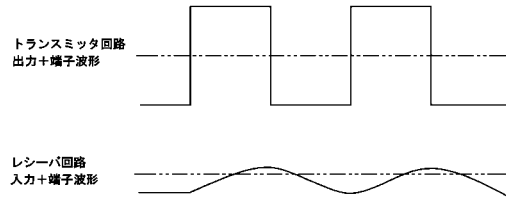
【図 7】



【図 9】



【図 8】



 フロントページの続き

(51)Int.Cl.		F I	
H 0 4 L	25/06	(2006.01)	
		H 0 3 K	19/00 1 0 1 F
		H 0 3 K	19/00 1 0 1 K
		H 0 4 L	25/02 R
		H 0 4 L	25/02 S
		H 0 4 L	25/06

(56)参考文献 特開平 1 1 - 1 6 3 7 1 5 (J P , A)
 特開昭 6 2 - 1 0 9 4 2 6 (J P , A)
 特開 2 0 0 2 - 1 3 5 3 3 9 (J P , A)
 特開昭 6 3 - 1 3 2 5 1 0 (J P , A)
 特開昭 6 1 - 1 4 2 8 1 7 (J P , A)
 特開平 0 9 - 0 0 8 6 3 7 (J P , A)
 特開平 1 1 - 0 1 5 4 4 9 (J P , A)
 特開 2 0 0 0 - 2 5 2 8 1 3 (J P , A)
 特開 2 0 0 0 - 1 6 5 2 2 6 (J P , A)
 特開平 1 1 - 2 7 4 9 9 3 (J P , A)
 国際公開第 9 9 / 0 6 0 5 5 8 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
 G09G 3/00 - 3/38
 G02F 1/133
 H04L 25/00 - 25/66

专利名称(译)	液晶显示装置中的信号传输电路		
公开(公告)号	JP4327493B2	公开(公告)日	2009-09-09
申请号	JP2003113706	申请日	2003-04-18
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	NEC电子公司		
[标]发明人	細川朗央 山口雅之		
发明人	細川 朗央 山口 雅之		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H03K19/0175 H04L25/02 H04L25/06		
CPC分类号	G09G3/3688 G09G3/3648 G09G3/3677 G09G2310/0248 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.J G09G3/20.633.P G09G3/20.633.U H03K19/00.101.F H03K19/00.101.K H04L25/02.R H04L25/02.S H04L25/06 H03K19/0175.220 H03K19/0175.240		
F-TERM分类号	2H093/NB30 2H093/NC03 2H093/ND32 2H093/NE03 2H193/ZF03 2H193/ZP03 5C006/AA01 5C006/AF50 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF84 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF37 5C006/FA13 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD08 5C080/JJ03 5C080/JJ04 5C080/KK07 5C080/KK47 5J056/AA01 5J056/AA05 5J056/BB07 5J056/CC00 5J056/CC01 5J056/CC04 5J056/DD13 5J056/DD29 5J056/DD51 5J056/EE06 5J056/FF01 5J056/FF08 5J056/GG09 5J056/KK01 5K029/AA11 5K029/BB03 5K029/CC01 5K029/DD04 5K029/GG07 5K029/HH01		
代理人(译)	开宗明		
其他公开文献	JP2004317910A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置的信号传输电路，该液晶显示装置即使通过玻璃基板上的铝线等具有高电阻值的导线也能够高速传输信号，而不会增加布线面积和功耗。解决方案：提供一种偏置电路，其具有根据来自接收器电路的输出信号的占空比改变偏置电位的功能，通过发送器电路的电压幅度控制功能降低传输线上的信号的电压幅度。具有接收器电路所具有的反相缓冲器。此外，接收器电路配备有通过根据偏置电位放大输入的发送信号产生信号的电路，并且通过使用产生的信号控制接收器电路具有的波形产生电路的输出，从而输出从接收器电路输出对应于发送信号的电位变化的信号。 2

