

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-20007
(P2010-20007A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 21/336 (2006.01)	HO1L 29/78 612D	5F110
HO1L 29/786 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号	特願2008-179361 (P2008-179361)	(71) 出願人	302020207 東芝モバイルディスプレイ株式会社 東京都港区港南4-1-8
(22) 出願日	平成20年7月9日(2008.7.9)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100075672 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

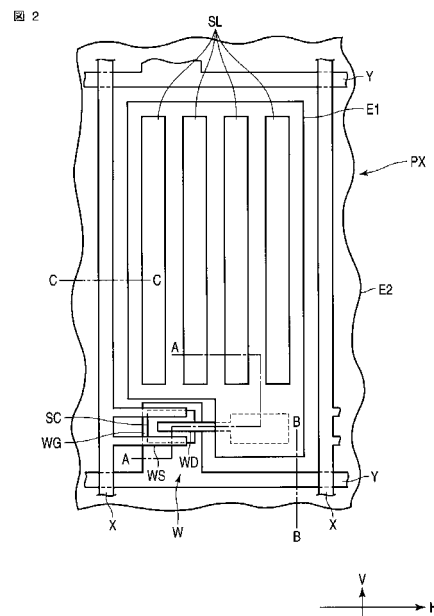
(57) 【要約】

【課題】 良好な表示品位を実現することが可能な液晶表示装置を提供することを目的とする。

【解決手段】 アレイ基板ARと対向基板CTとの間に液晶層LQを保持した構成の液晶表示装置であって、

アレイ基板ARは、絶縁基板30と、絶縁基板の上において各画素PXの行方向に沿って延出したゲート線Yと、ゲート線を覆うように配置された第1絶縁膜IL1と、第1絶縁膜の上において各画素に配置された画素電極E1と、第1絶縁膜の上において画素電極の間を列方向に沿って延出したソース線Xと、画素電極及びソース線を覆うように配置された第2絶縁膜IL2と、第2絶縁膜の上において各画素の画素電極と対向するとともにゲート線と対向するように配置され画素電極と対向するスリットSLが形成された共通電極E2と、を備えたことを特徴とする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 基板と第 2 基板との間に液晶層を保持した構成の液晶表示装置であって、
 前記第 1 基板は、
 絶縁基板と、
 前記絶縁基板の上において各画素の行方向に沿って延出したゲート線と、
 前記ゲート線を覆うように配置された第 1 絶縁膜と、
 前記第 1 絶縁膜の上において各画素に配置された画素電極と、
 前記第 1 絶縁膜の上に配置され、前記画素電極の間を列方向に沿って延出したソース線と、
 前記画素電極及び前記ソース線を覆うように配置された第 2 絶縁膜と、
 前記第 2 絶縁膜の上において、各画素の前記画素電極と対向するとともに前記ゲート線と対向するように配置され、前記画素電極と対向するスリットが形成されたコモン電極と、
 を備えたことを特徴とする液晶表示装置。

10

【請求項 2】

前記コモン電極は、さらに前記ソース線と対向するように配置され、画素がマトリクス状に配置された表示エリアの全域にわたって一面に形成されたことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 2 基板は、前記ゲート線および前記ソース線と対向する格子状の遮光層を備えたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記コモン電極は、前記第 2 絶縁膜の前記画素電極と前記ソース線との間に形成された溝に配置されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記コモン電極は、画素電極を囲むように形成された溝に配置されたことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 絶縁膜の上に配置され前記画素電極に接続されたドレイン電極を含むスイッチング素子を備えたことを特徴とする請求項 1 に記載の液晶表示装置。

30

【請求項 7】

前記画素電極及び前記コモン電極は、光透過性を有する導電材料によって形成されたことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に係り、特に、液晶表示装置を構成する一方の基板に画素電極及びコモン電極を備えた構造の液晶表示装置に関する。

【背景技術】

40

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。このような液晶表示装置は、一对の基板間に液晶層を保持した構成であり、画素電極とコモン電極との間の電界によって液晶層を通過する光に対する変調率を制御し、画像を表示するものである。

【0003】

このような液晶表示装置において、広視野角化の観点から、横電界（フリッジ電界も含む）を利用した構造が特に注目されている。

【0004】

In - Plane Switching (IPS) モードや、Fringe Field

50

d Switching (FFS) モードなどの横電界モードの液晶表示装置は、アレイ基板に形成された画素電極とコモン電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする（例えば、特許文献 1 参照）。

【特許文献 1】特開 2007 - 86205 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

この発明の目的は、良好な表示品位を実現することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

この発明の態様による液晶表示装置は、
第 1 基板と第 2 基板との間に液晶層を保持した構成の液晶表示装置であって、
前記第 1 基板は、
絶縁基板と、
前記絶縁基板の上において各画素の行方向に沿って延出したゲート線と、
前記ゲート線を覆うように配置された第 1 絶縁膜と、
前記第 1 絶縁膜の上において各画素に配置された画素電極と、
前記第 1 絶縁膜の上に配置され、前記画素電極の間を列方向に沿って延出したソース線と、

前記画素電極及び前記ソース線を覆うように配置された第 2 絶縁膜と、
前記第 2 絶縁膜の上において、各画素の前記画素電極と対向するとともに前記ゲート線と対向するように配置され、前記画素電極と対向するスリットが形成されたコモン電極と

を備えたことを特徴とする。

【発明の効果】

【0007】

この発明によれば、良好な表示品位を実現することが可能な液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0008】

以下、この発明の一実施の形態に係る液晶表示装置について図面を参照して説明する。ここでは、一方の基板に画素電極及びコモン電極を備え、これらの間に形成される横電界（基板の主面にほぼ平行な電界）を主に利用して液晶分子をスイッチングする液晶モードとして、FFS モードの液晶表示装置を例に説明する。

【0009】

図 1 に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示装置であって、液晶表示パネル LPN を備えている。この液晶表示パネル LPN は、アレイ基板（第 1 基板）AR と、アレイ基板 AR に対向して配置された対向基板（第 2 基板）CT と、これらのアレイ基板 AR と対向基板 CT との間に保持された液晶層 LQ と、を備えて構成されている。このような液晶表示パネル LPN は、画像を表示する表示エリア DSP を備えている。この表示エリア DSP は、 $m \times n$ 個のマトリクス状に配置された複数の画素 PX によって構成されている。

【0010】

アレイ基板 AR は、表示エリア DSP において、各画素 PX に配置された $m \times n$ 個の画素電極（第 1 電極）E1、各画素 PX の行方向 H に沿ってそれぞれ延出した n 本のゲート線 Y（Y1 ~ Yn）、各画素 PX の列方向 V に沿ってそれぞれ延出した m 本のソース線 X（X1 ~ Xm）、各画素 PX においてゲート線 Y とソース線 X との交差部を含む領域に配置された $m \times n$ 個のスイッチング素子 W、画素電極 E1 と層間絶縁膜を介して対向するように配置されたコモン電極（第 2 電極）E2 などを備えている。

10

20

30

40

50

【0011】

アレイ基板ARは、さらに、表示エリアDSPの周辺の駆動回路領域DCTにおいて、n本のゲート線Yに接続されたゲートドライバYDを構成する少なくとも一部や、m本のソース線Xに接続されたソースドライバXDを構成する少なくとも一部などを備えている。ゲートドライバYDは、コントローラCNTによる制御に基づいてn本のゲート線Yに順次走査信号（駆動信号）を供給する。また、ソースドライバXDは、コントローラCNTによる制御に基づいて各行のスイッチング素子Wが走査信号によってオンするタイミングでm本のソース線Xに映像信号（駆動信号）を供給する。これにより、各行の画素電極E1は、対応するスイッチング素子Wを介して供給される映像信号に応じた画素電位にそれぞれ設定される。

10

【0012】

アレイ基板ARの構造について、以下により詳細に説明する。

【0013】

図2ないし図5に示すように、アレイ基板ARは、ガラス板などの光透過性を有する絶縁基板20を用いて形成されている。すなわち、このアレイ基板ARにおいて、ゲート線Yは、絶縁基板20の上に配置されている。この絶縁基板20及びゲート線Yは、第1絶縁膜IL1によって覆われている。この第1絶縁膜IL1は、例えば窒化シリコン(SiN)などの無機系材料によって形成されている。

【0014】

ソース線Xは、第1絶縁膜IL1の上に配置されている。このソース線Xは、第1絶縁膜IL1を介してゲート線Yと略直交している。このようなゲート線Y及びソース線Xは、例えばモリブデン、アルミニウム、タングステンなどの導電材料によって形成されている。

20

【0015】

画素電極E1は、第1絶縁膜IL1の上に配置されている。つまり、この画素電極E1は、ソース線Xと同一層に配置されている。各ソース線Xは、隣接する画素電極E1の間に配置されている。画素電極E1は、ソース線Xなどとは異なる材料によって形成され、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されている。また、この画素電極E1は、各画素PXにおいて画素形状に対応した島状、例えば、略四角形に形成されている。

30

【0016】

各スイッチング素子Wは、例えば、薄膜トランジスタによって構成されている。スイッチング素子Wの半導体層SCは、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能である。この半導体層SCは、ゲート電極WGと対向するように、第1絶縁膜IL1の上に配置されている。

【0017】

スイッチング素子Wのゲート電極WGは、ゲート線Yに接続されている（あるいはゲート線Yと一体的に形成されている）。スイッチング素子Wのソース電極WSは、ソース線Xに接続される（あるいはソース線Xと一体に形成される）とともに、半導体層SCのソース領域にコンタクトしている。スイッチング素子Wのドレイン電極WDは、画素電極E1に接続されるとともに、半導体層SCのドレイン領域にコンタクトしている。つまり、画素電極E1とスイッチング素子Wのドレイン電極WDとは、スルーホールを介することなく直接接続されている。これらのソース電極WS及びドレイン電極WDは、第1絶縁膜IL1の上に配置され、ソース線Xと同一材料によって形成可能である。

40

【0018】

これらの画素電極E1、ソース線X、スイッチング素子Wのソース電極WS及びドレイン電極WDは、第2絶縁膜IL2によって覆われている。この第2絶縁膜IL2は、例えば窒化シリコン(SiN)などの無機系材料によって形成されている。

【0019】

50

コモン電極 E 2 は、第 2 絶縁膜 I L 2 の上に配置されている。このコモン電極 E 2 は、第 2 絶縁膜 I L 2 を介して各画素 P X の画素電極 E 1 と対向する。つまり、第 2 絶縁膜 I L 2 は、画素電極 E 1 との間に介在する層間絶縁膜として機能する。

【 0 0 2 0 】

このようなコモン電極 E 2 には、画素電極 E 1 と対向するスリット S L が形成されている。ここでは、コモン電極 E 2 のスリット S L は、例えば、略長形状に形成されている。また、コモン電極 E 2 は、画素電極 E 1 と同様に、例えば I T O や I Z O などの光透過性を有する導電材料によって形成されている。

【 0 0 2 1 】

このコモン電極 E 2 は、コモン電位のコモン配線 C O M に電氣的に接続されている。コモン配線 C O M は、たとえば、絶縁基板 2 0 の上、つまり、ゲート線 Y などと同一層に配置され、ゲート線 Y などと同一材料によって形成可能である。コモン配線 C O M とコモン電極 E 2 との間には、第 1 絶縁膜 I L 1 及び第 2 絶縁膜 I L 2 が介在しており、これらを通ずるスルーホールを介してコモン配線 C O M とコモン電極 E 2 とが電氣的に接続されている。

10

【 0 0 2 2 】

アレイ基板 A R の液晶層 L Q に接する面は、配向膜 A L 1 によって覆われている。

【 0 0 2 3 】

一方、対向基板 C T は、ガラス板などの光透過性を有する絶縁基板 3 0 を用いて形成されている。図 3 に示したように、対向基板 C T は、絶縁基板 3 0 の内面（すなわち液晶層 L Q に対向する面）に、各画素 P X を区画するブラックマトリクス 3 2 を備えている。

20

【 0 0 2 4 】

ブラックマトリクス 3 2 は、絶縁基板 3 0 上において、アレイ基板 A R に設けられたゲート線 Y やソース線 X、さらにはスイッチング素子 W などの配線部に対向するように格子状に配置されている。このブラックマトリクス 3 2 は、例えば黒色に着色された着色樹脂によって形成されている。

【 0 0 2 5 】

特に、カラー表示タイプの液晶表示装置においては、対向基板 C T は、ブラックマトリクス 3 2 によって囲まれた領域にカラーフィルタ層 3 4 を備えている。カラーフィルタ層 3 4 は、絶縁基板 3 0 上に配置され、互いに異なる複数の色、例えば赤色、青色、緑色といった 3 原色にそれぞれ着色された着色樹脂によって形成されている。赤色着色樹脂、青色着色樹脂、及び緑色着色樹脂は、それぞれ赤色画素、青色画素、及び緑色画素に対応して配置されている。

30

【 0 0 2 6 】

上述したような横電界を利用した液晶モードにおいては、対向基板 C T の液晶層 L Q に接する面が平坦であることが望ましく、対向基板 C T は、さらに、カラーフィルタ層 3 4 の表面の凹凸を平坦化するように比較的厚い膜厚で配置されたオーバーコート層などを備えていることが望ましい。

【 0 0 2 7 】

対向基板 C T の液晶層 L Q に接する面は、配向膜 A L 2 によって覆われている。

40

【 0 0 2 8 】

このような対向基板 C T と上述したようなアレイ基板 A R とをそれぞれの配向膜 A L 1 及び配向膜 A L 2 が対向するように配置したとき、両者の間に配置された図示しないスペーサ（例えば、樹脂材料を用いて一方の基板に一体的に形成された柱状スペーサ）により、所定のギャップが形成される。液晶層 L Q は、ギャップに封入された液晶分子 L M を含む液晶組成物によって構成されている。

【 0 0 2 9 】

配向膜 A L 1 及び配向膜 A L 2 は、液晶層 L Q に含まれる液晶分子 L M の配向を規制するようにラビング処理されている。液晶層 L Q に含まれる液晶分子 L M は、配向膜 A L 1 及び配向膜 A L 2 による規制力によって配向されている。配向膜 A L 1 及び配向膜 A L 2

50

のラビング方向は、コモン電極 E 2 に形成されたスリット S L の長軸と非平行且つ非直角である。

【 0 0 3 0 】

画素電極 E 1 の電位とコモン電極 E 2 の電位との間に電位差が形成されていない（つまり、画素電極 E 1 とコモン電極 E 2 との間に電界が形成されていない）無電界時には、液晶分子 L M は、その長軸 D が配向膜 A L 1 及び配向膜 A L 2 のラビング方向と平行な方位を向くように配向されている。

【 0 0 3 1 】

この液晶表示装置は、液晶表示パネル L P N の一方の外面（すなわちアレイ基板 A R の液晶層 L Q と接触する面とは反対の面）に設けられた光学素子 O D 1 を備え、また、液晶表示パネル L P N の他方の外面（すなわち対向基板 C T の液晶層 L Q と接触する面と反対の面）に設けられた光学素子 O D 2 を備えている。これらの光学素子 O D 1 及び O D 2 は、偏光板を含み、例えば、無電界時において、液晶表示パネル L P N の透過率が最低となる（つまり黒色画面を表示する）ノーマリーブラックモードを実現している。

【 0 0 3 2 】

さらに、液晶表示装置は、液晶表示パネル L P N に対してアレイ基板 A R 側に配置されたバックライトユニット B L を有している。

【 0 0 3 3 】

このような液晶表示装置において、画素電極 E 1 の電位とコモン電極 E 2 との間に電位差が形成された場合（つまり、画素電極 E 1 にコモン電位とは異なる電位の電圧が印加された電圧印加時）には、画素電極 E 1 とコモン電極 E 2 との間に電界が形成される。このとき、液晶分子 L M は、その長軸 D がラビング方向から電界と平行な方位に配向するように駆動される。

【 0 0 3 4 】

このように、液晶分子 L M の長軸 D の方位がラビング方向から変化すると、液晶層 L Q を透過する光に対する変調率が変化する。このため、バックライトユニット B L から液晶表示パネル L P N を透過したバックライト光の一部は、第 2 光学素子 O D 2 を透過し、白色画面を表示する。つまり、液晶表示パネル L P N の透過率は、電界の大きさに依存して変化する。横電界を利用した液晶モードでは、このようにして選択的にバックライト光を透過し、画像を表示する。

【 0 0 3 5 】

上述したように、横電界を利用した液晶モードでは、縦電界を利用した液晶モードとは異なり、対向基板側が電氣的にフロート状態となるため、アレイ基板側の電界の影響を受けて帯電しやすい。特に、配線部に対向するように配置されたブラックマトリクス 3 2 は、ゲート線 Y のゲート電位の影響により帯電しやすい。

【 0 0 3 6 】

すなわち、ゲート電位のレベルがシフトしたタイミングでは、ブラックマトリクス 3 2 の電位もシフトし、配線部付近において一時的に不所望な縦電界が形成されることがある。あるいは、液晶分子の駆動に必要な実質的な横電界とは異なる不所望な横電界が形成されることもある。一旦帯電したブラックマトリクス 3 2 の電位は、時間の経過に伴ってグラウンドレベル（接地電位）に緩和するが、緩和に要する時間では、光抜けやフリッカーが発生し、表示品位の低下を招くおそれがある。

【 0 0 3 7 】

そこで、この実施の形態においては、図 2 の B - B における断面図である図 4 に示すように、コモン電極 E 2 は、第 1 絶縁膜 I L 1 及び第 2 絶縁膜 I L 2 を介してゲート線 Y と対向するように配置されている。

【 0 0 3 8 】

つまり、ゲート線 Y と対向基板 C T との間には、コモン電位に設定されたコモン電極 E 2 が介在している。図 4 の断面図を対向基板 C T 側から見れば、ゲート線 Y は、第 1 絶縁膜 I L 1、第 2 絶縁膜 I L 2 及びコモン電極 E 2 によって覆われている。言い換えれば、

10

20

30

40

50

図 2 の平面図では、ゲート線 Y とコモン電極 E 2 は重なっている。

【 0 0 3 9 】

上述の構造にすることにより、コモン電極 E 2 は、ゲート線 Y からのゲート電位によって生じる電界を遮蔽するため、対向基板側のブラックマトリクス 3 2 の帯電を抑制することが可能となる。

【 0 0 4 0 】

これにより、配線部付近での光抜けやフリッカーの発生を防止することができ、良好な表示品位を実現することが可能となる。

【 0 0 4 1 】

上述したコモン電極 E 2 は、少なくとも各画素 P X の画素電極 E 1 とゲート線 Y とに対向するように配置されても良いが、表示エリア D S P の全域にわたって一帯的に形成されても良い。言い換えれば、コモン電極 E 2 は、表示エリア D S P の全体を覆って形成しても良い。この場合、コモン電極 E 2 は、全ての画素 P X に共通であるとともに、図 5 に示したように、さらにソース線 X とも対向するように配置されている。当然のことながら、この場合のコモン電極 E 2 は、画素電極 E 1 とゲート線 Y 及びソース線 X との間の領域にも対向している。この場合、図 2 の平面図で見れば、コモン電極 E 2 は、画素電極 E 1 、ゲート線 Y 及びソース線 X と重なっている。

10

【 0 0 4 2 】

このような配置のコモン電極 E 2 は、上述したように、光透過性を有する導電材料によって形成されているため、画素電極 E 1 と対向する領域のみならず、画素電極 E 1 とソース線 X との間の領域や、画素電極 E 1 とゲート線 Y との間の領域についても、所望の横電界を利用して液晶分子を駆動することができ、これらの領域が表示に寄与する。したがって、各画素 P X の表示に寄与する開口率を向上することができ、各画素 P X の透過率あるいは輝度を向上することが可能となる。

20

【 0 0 4 3 】

また、コモン電極 E 2 を表示エリア D S P の一面にわたって形成する場合には、ソース線 X から生じる電界を遮蔽し対向基板側のブラックマトリクス 3 2 の帯電を抑制することが出来る。したがって、上述のゲート線 Y を第 1 絶縁膜 I L 1 、第 2 絶縁膜 I L 2 及びコモン電極 E 2 で覆うことと同様の効果を奏する。

【 0 0 4 4 】

一方で、図 2 の C - C における断面図である図 5 に示すように、第 1 絶縁膜 I L 1 上の同一層において、画素電極 E 1 とソース線 X とが設けられている。第 1 絶縁膜 I L 1 上の同一層において、画素電極 E 1 とソース線 X が近接して配置される場合には、画素電極 E 1 とソース線 X との電氣的結合（カップリング）が無視できなくなる。このような不所望なカップリングが生じる場合には、所望の画素電位が得られず、表示不良を招くおそれがある。また、カップリングを低減するために、画素電極 E 1 とソース線 X との間の距離を大きく確保した場合には、開口率の低下を招くおそれがある。

30

【 0 0 4 5 】

そこで、上述のような不所望なカップリングが生じる場合には、この実施の形態において、更に、図 6 に示すように、溝 G を第 2 絶縁膜 I L 2 の画素電極 E 1 とソース線 X との間に形成し、コモン電極 E 2 をこの溝 G にも配置する。つまり、同一層に配置された画素電極 E 1 とソース線 X との間には、コモン電位に設定されたコモン電極 E 2 が介在している。コモン電極 E 2 は、画素電極 E 1 とソース線 X との間をシールドするため、不所望なカップリングを抑制することが可能となる。

40

【 0 0 4 6 】

これにより、開口率の低下を招くことなく、良好な表示品位を実現することが可能となる。

【 0 0 4 7 】

ここで、第 2 絶縁膜 I L 2 に形成された溝 G について説明する。溝 G には、コモン電極 E 2 が配置されるため、当然のことながら溝 G は、下層の導電層まで貫通しないように形

50

成されている。このような溝 G は、例えば、成膜された第 2 絶縁膜 I L 2 にスルーホールを形成する過程において、ハーフトーン露光などを適用したフォトリソグラフィ工程で第 1 絶縁膜 I L 1 まで貫通しない深さ D E に形成される。溝 G の深さ D E とは、図中の破線で示した成膜時の厚みと、図中の実線で示したフォトリソグラフィ工程後の厚みとの差に相当する。

【 0 0 4 8 】

つまり、図 7 に示すように、溝 G と第 1 絶縁膜 I L 1 との間に残った第 2 絶縁膜 I L 2 の厚み T 1 は、画素電極 E 1 の厚み t 2 及びソース線 X の厚み t 3 よりも小さい ($T 1 < t 2$ 、 $T 1 < t 3$)。また、厚み T 1 は、画素電極 E 1 の上の第 2 絶縁膜 I L 2 の厚み T 2 及びソース線 X の上の第 2 絶縁膜 I L 2 の厚み T 3 よりも小さい ($T 1 < T 2$ 、 $T 1 < T 3$)。

10

【 0 0 4 9 】

このような溝 G を形成したことにより、画素電極 E 1 とソース線 X との間にコモン電極 E 2 を介在させることが可能となり、画素電極 E 1 とソース線 X とのカップリングを抑制できる。

【 0 0 5 0 】

図 8 に示すように、溝 G は、画素電極 E 1 を囲むように形成しても良い。つまり、溝 G は、画素電極 E 1 とソース線 X との間のみではなく、画素電極 E 1 とゲート線 Y との間にも形成し、実質的にループ状としても良い。この場合、コモン電極 E 2 は、このような画素電極 E 1 を囲む溝 G に配置されている。

20

【 0 0 5 1 】

このような構成とした場合には、画素電極 E 1 のシールド効果がさらに向上し、安定的に所望の画素電位を得ることが可能となる。

【 0 0 5 2 】

なお、画素電極 E 1 とソース線 X との間に形成される溝 G は、下層の導電層まで貫通しない深さであれば良く、この溝 G に配置されるコモン電極 E 2 によるシールド効果をさらに高めるために、第 2 絶縁膜 I L 2 のみならず第 1 絶縁膜 I L 1 の中途まで到達 (つまり、第 1 絶縁膜 I L 1 を貫通しない程度の深さに形成) していても良い。

【 0 0 5 3 】

また、上述の溝 G の深さについては、下層にある配線を断線させない、あるいは、コモン電極 E 2 と他の配線とのショートを防止する趣旨であって、このような断線あるいはショートが起こらない箇所に溝 G を設ける場合には、溝 G は第 1 絶縁膜 I L 1 を貫通しても良い。

30

【 0 0 5 4 】

以上説明したように、この実施の形態によれば、良好な表示品位を実現することが可能な液晶表示装置を提供することができる。

【 0 0 5 5 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

40

【 図面の簡単な説明 】

【 0 0 5 6 】

【 図 1 】 図 1 は、この発明の一実施の形態に係る横電界を利用した液晶モードの液晶表示装置の構成を概略的に示す図である。

【 図 2 】 図 2 は、図 1 に示した液晶表示装置に適用される画素の構成を概略的に示す平面図である。

【 図 3 】 図 3 は、図 2 に示した画素を A - A 線で切断した構造を示す断面図である。

【 図 4 】 図 4 は、図 2 に示した画素を B - B 線で切断した構造を示す断面図である。

50

【図5】図5は、図2に示した画素をC - C線で切断した構造を示す断面図である。

【図6】図6は、本実施の形態に適用可能なアレイ基板の他の構造を概略的に示す断面図である。

【図7】図7は、図6に示した溝付近を拡大した断面図である。

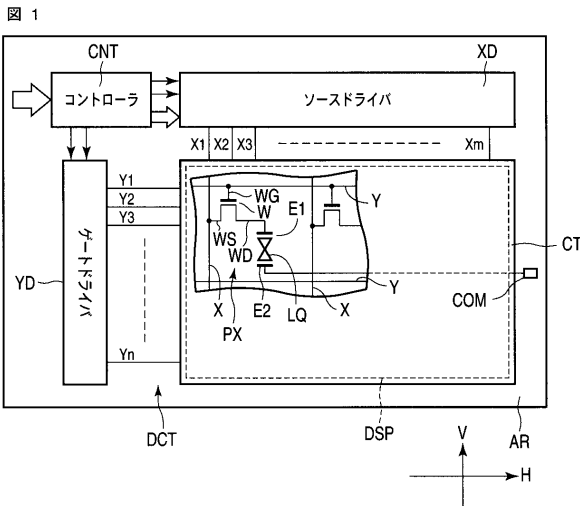
【図8】図8は、本実施の形態に適用可能なアレイ基板の他の構造を概略的に示す平面図である。

【符号の説明】

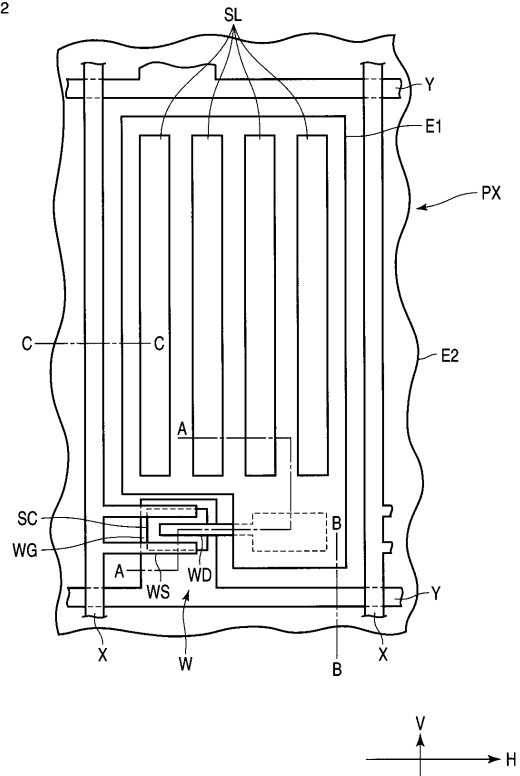
【0057】

- L P N ... 液晶表示パネル
- A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層
- D S P ... 表示エリア P X ... 画素
- Y ... ゲート線 X ... ソース線
- W ... スwitching素子 E 1 ... 画素電極 E 2 ... コモン電極 S L ... スリット
- C O M ... コモン配線 I L 1 ... 第1絶縁膜 I L 2 ... 第2絶縁膜 G ... 溝
- 3 0 ... 絶縁基板 3 2 ... ブラックマトリクス 3 4 ... カラーフィルタ層

【図1】

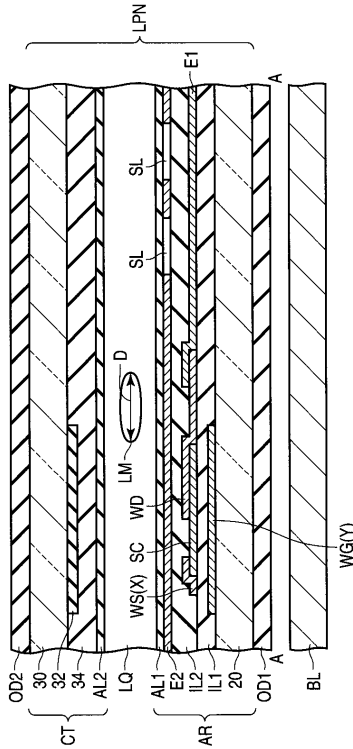


【図2】



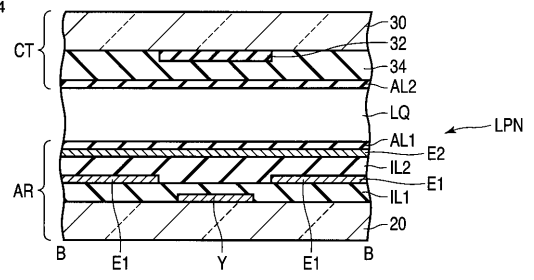
【 図 3 】

図 3



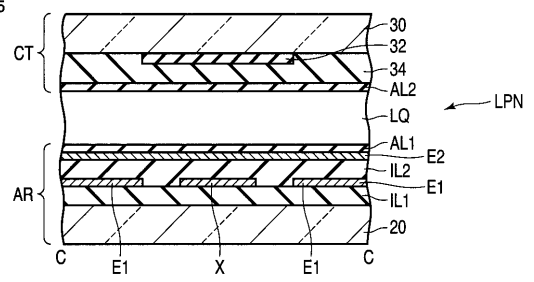
【 図 4 】

図 4



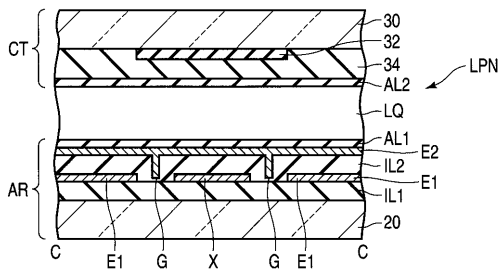
【 図 5 】

図 5



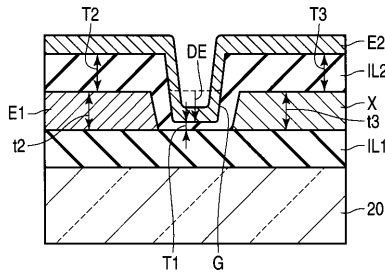
【 図 6 】

図 6



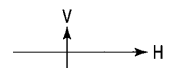
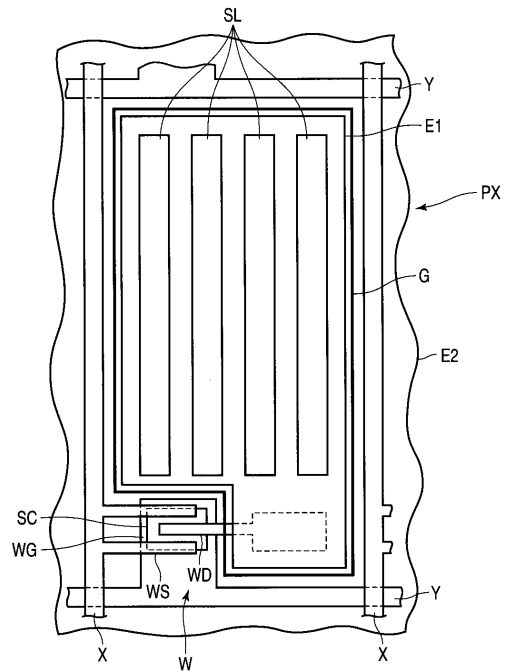
【 図 7 】

図 7



【 図 8 】

図 8



 フロントページの続き

- (74)代理人 100095441
 弁理士 白根 俊郎
- (74)代理人 100084618
 弁理士 村松 貞男
- (74)代理人 100103034
 弁理士 野河 信久
- (74)代理人 100119976
 弁理士 幸長 保次郎
- (74)代理人 100153051
 弁理士 河野 直樹
- (74)代理人 100140176
 弁理士 砂川 克
- (74)代理人 100100952
 弁理士 風間 鉄也
- (74)代理人 100101812
 弁理士 勝村 紘
- (74)代理人 100070437
 弁理士 河井 将次
- (74)代理人 100124394
 弁理士 佐藤 立志
- (74)代理人 100112807
 弁理士 岡田 貴志
- (74)代理人 100111073
 弁理士 堀内 美保子
- (74)代理人 100134290
 弁理士 竹内 将訓
- (74)代理人 100127144
 弁理士 市原 卓三
- (74)代理人 100141933
 弁理士 山下 元
- (72)発明者 藤本 貴光
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- (72)発明者 森田 伸
 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内
- F ターム(参考) 2H092 GA11 JA24 JA41 JB22 JB31 JB51 JB52 JB56 MA16 NA25
 PA01 PA02 PA06 PA08 QA05
 5F110 AA30 BB01 CC07 DD02 EE03 EE04 FF03 GG02 GG13 GG15
 HK03 HK04 HM18 NN02 NN24 QQ02 QQ08

专利名称(译)	液晶表示装置		
公开(公告)号	JP2010020007A	公开(公告)日	2010-01-28
申请号	JP2008179361	申请日	2008-07-09
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	藤本貴光 森田伸		
发明人	藤本 貴光 森田 伸		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/134363 G02F1/133512 G02F2001/134318 G02F2001/136218		
FI分类号	G02F1/1368 H01L29/78.612.D G02F1/1343		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB52 2H092/JB56 2H092/MA16 2H092/NA25 2H092/PA01 2H092/PA02 2H092/PA06 2H092/PA08 2H092/QA05 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HM18 5F110/NN02 5F110/NN24 5F110/QQ02 5F110/QQ08 2H192/AA24 2H192/BB12 2H192/BB42 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA74 2H192/EA22 2H192/EA43 2H192/GA03 2H192/HA44 2H192/JA33		
代理人(译)	河野 哲 中村 诚 河野直树 冈田 隆 山下 元		
其他公开文献	JP5172508B2		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种能够实现良好的显示质量的液晶显示装置。液晶显示装置具有在阵列基板AR与对向基板CT之间保持有液晶层LQ的结构，阵列基板AR包括绝缘基板30，沿着绝缘基板上的每个像素PX的行方向延伸的栅极线Y，布置为覆盖栅极线的第一绝缘膜IL1和第一绝缘膜IL1。像素电极E1布置在绝缘膜上的每个像素中，源极线X布置在第一绝缘膜上并沿列方向在像素电极之间延伸，并覆盖像素电极和源极线。以这样的方式形成的公共电极形成有第二绝缘膜IL2，并且狭缝SL形成在第二绝缘膜上以面对每个像素的像素电极并且还面对栅极线。它的特征是具有E2和。[选择图]图2

